

控制晶片間歇式工作時的現象與影響

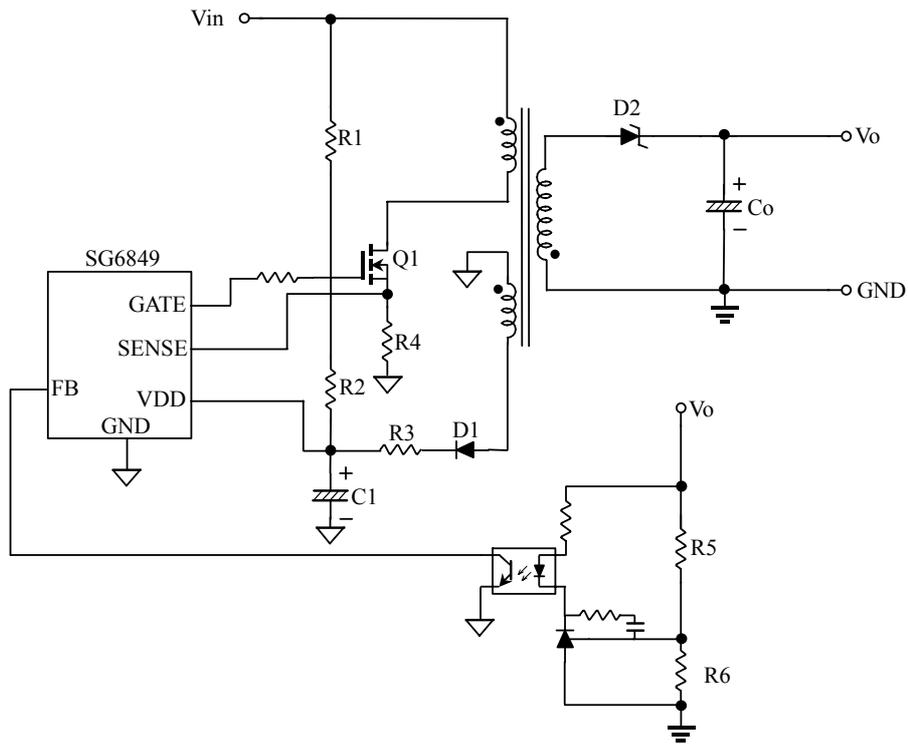
呂宜興 林宋宜
崇貿科技股份有限公司

摘要

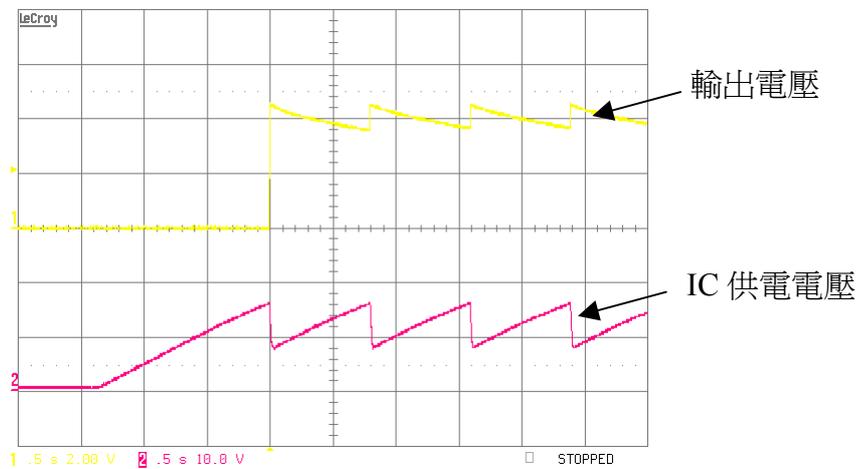
增加 IC 供電繞組路徑的阻抗，會使電路於無載或極輕載時，輸出電壓有跳動的情形發生，輸出負載必須加到更大的情況之下，輸出電壓才會回到原設定值。減低輸出電壓掉落有兩種方式，其一為縮小啟動電阻與 IC 供電電容所決定的時間常數，另一為增加輸出電容之容值。

說明

圖一為採用 SG6849 控制的逆磁式(flyback)轉換器電路。其供電繞組經由 D1, R3, 與 C1 提供控制晶片工作所需的能量，若在設計時刻意將此路徑的阻抗變大則 IC 將較難取得能量。當電路於無載時，由於開關責任週期相當小，且 SG6849 會進入省電模式(green mode)而降低其切換頻率，所以儲存於變壓器的能量相當少，若 IC 供電繞組路徑的阻抗過大，則儲存的能量將會在阻抗較低的輸出側進行釋能，因此造成 C1 因分配不到能量而使得 IC 供電電壓快速下降到 IC 的截止電壓，迫使 IC 停止工作。只有當輸入電壓經由啟動電阻(R1, R2)重新對 IC 供電電容(C1)充電到 IC 的啟動電壓後，IC 才能再度動作，輸出電壓才能上升到原本設定值，這種現象造成輸出電壓有跳動不穩定的情形。若輸出端加點載時，由於透過變壓器轉換的能量增加，供電繞組也可以分到一些能量，此時 IC 就能正常工作，輸出電壓將不會有跳動情形。若 IC 供電繞組路徑的阻抗越大則需加載越大才能使得輸出電壓不會有跳動的情況發生。圖二為圖一電路無載時輸出電壓與 IC 供電電壓波形，此種現象為電路於無載時，供電繞組無法持續提供足夠能量給控制 IC 使用所造成的結果。



圖一 使用 SG6849 的逆磁式轉換器電路

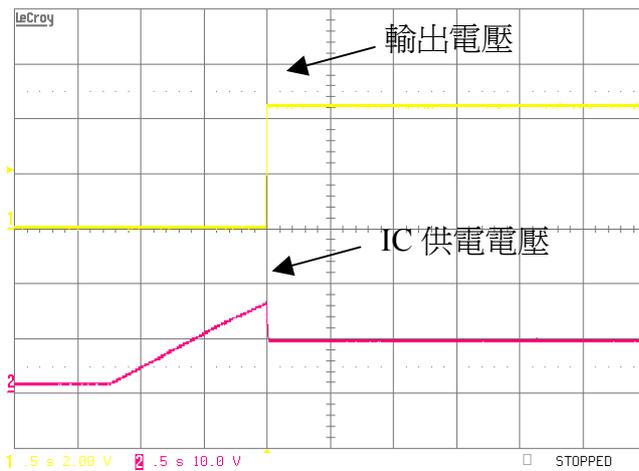


圖二 無載時輸出電壓與 IC 供電電壓波形

實驗驗證

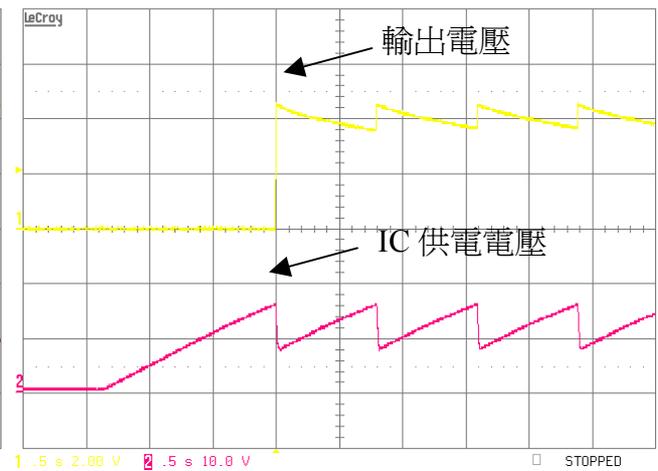
1、IC 供電繞組路徑阻抗對輸出電壓的影響

由上述說明可知，IC 供電繞組路徑的阻抗增加時，則在無載時，輸出電壓的跳動將會產生。在圖一中，改變 R3 電阻值可改變 IC 供電繞組路徑的阻抗。圖三與圖四為無載下，使用不同 R3 電阻值與所對應的輸出電壓波形。當 R3=50Ω時，輸出電壓在無載時並沒有跳動的現象，當將 R3 阻值增加到 100Ω時，輸出電壓產生跳動。



圖三 無載時輸出電壓與 IC 供電電壓波形

(C1=6.8uF, Co=330uF, R3=50Ω)

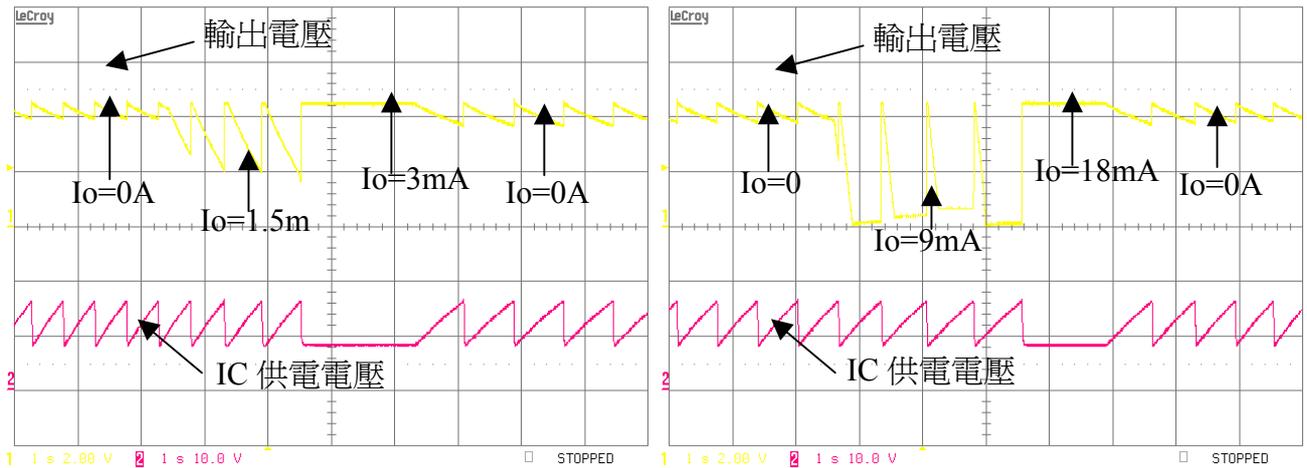


圖四 無載時輸出電壓與 IC 供電電壓波形

(C1=6.8uF, Co=330uF, R3=100Ω)

2、IC 供電繞組路徑阻抗與輸出電流對輸出電壓的影響

由實驗結果 1 可知，增加 IC 供電繞組路徑的阻抗，在無載時，輸出電壓的跳動將會產生。越大的阻抗將會使得 IC 更難分得能量，直到負載增加到某一個程度時，供電繞組才分得到足夠能量讓 IC 工作。因此，使用越大的 R3 阻值，輸出負載必須加到更大的情況之下，IC 才可得能量而正常工作。圖五與圖六說明此種狀況。當 R3=100Ω時，輸出加到 3mA 時，輸出電壓可正常；當 R3=180Ω時，輸出必須加到 18mA 時，輸出電壓才正常。



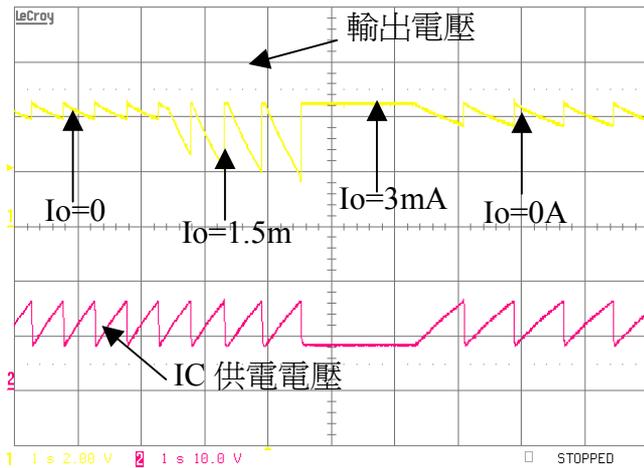
圖五 不同負載情況下，輸出電壓與 IC 供電電壓波形
圖六 不同負載情況下，輸出電壓與 IC 供電電壓波形

(C1=6.8uF, Co=330uF, R3=100Ω)

(C1=6.8uF, Co=330uF, R3=180Ω)

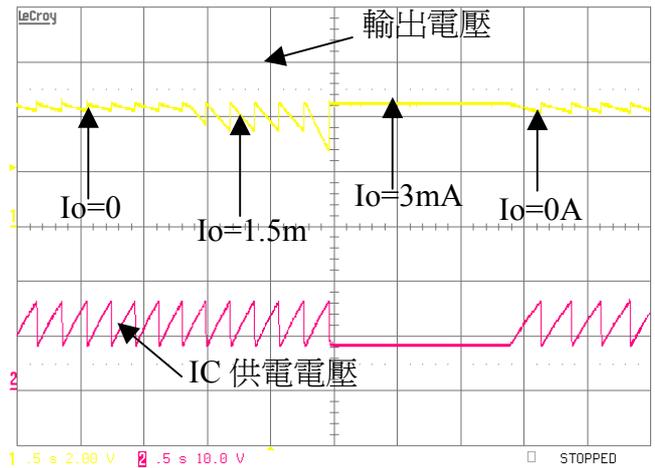
3、IC 供電電容對輸出電壓的影響

在無載時，IC 供電繞組路徑阻抗大小決定輸出電壓是否會有跳動的情形發生，而輸出電壓掉落程度，可經由減少 IC 供電電容來改善。這是因為 IC 的重新啟動是經由啟動電阻(R1, R2)對 IC 供電電容(C1)充電到 IC 的啟動電壓後，IC 才能再度動作。因此，較小的 C1 擁有較小的 RC 時間常數，所以 IC 會在較短的時間內重新啟動，輸出電壓所造成的掉落也會較小，實驗結果如圖七及圖八所示。



圖七 無載時輸出電壓與 IC 供電電壓波形

($C_1=6.8\mu\text{F}$, $C_o=330\mu\text{F}$, $R_3=100\Omega$)

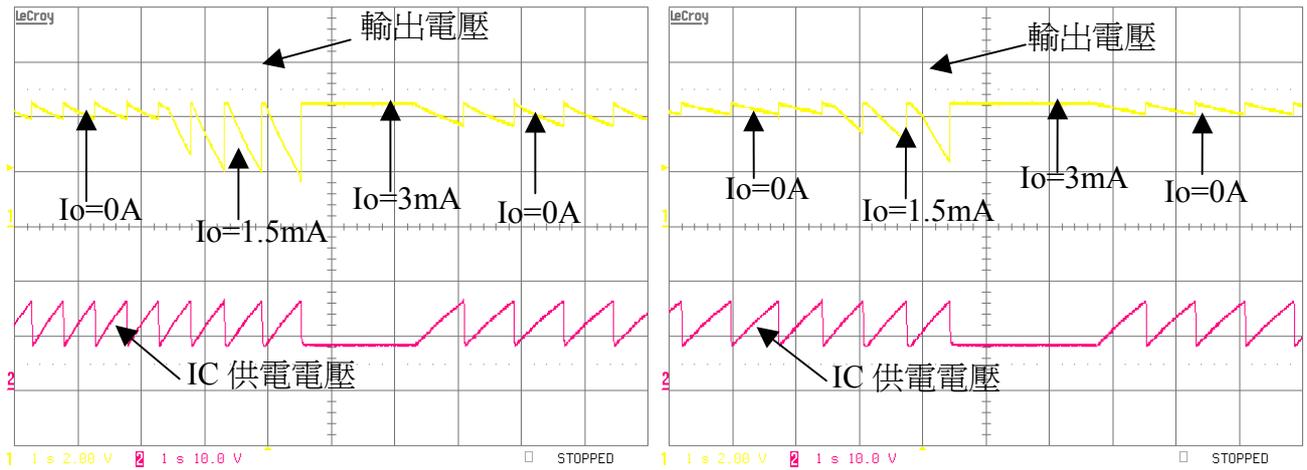


圖八 無載時輸出電壓與 IC 供電電壓波形

($C_1=2.2\mu\text{F}$, $C_o=330\mu\text{F}$, $R_3=100\Omega$)

4、輸出電容對輸出電壓的影響

由實驗 3 可知，啟動電阻(R_1 , R_2)與 IC 供電電容(C_1)所決定的時間常數會影響輸出電壓的掉落程度。若在相同的時間常數內，在輸出側使用較大的輸出電容時，輸出電壓的電落情形也會較小，實驗結果如下兩圖所示（在圖九中 $C_o=330\mu\text{F}$ ，圖十中 $C_o=680\mu\text{F}$ ）。



圖九 不同負載下，輸出電壓與 IC 供電電壓波 圖十 不同負載下，輸出電壓與 IC 供電電壓波

形 ($C1=6.8\mu\text{F}$, $C_o=330\mu\text{F}$, $R3=100\Omega$)

形 ($C1=6.8\mu\text{F}$, $C_o=680\mu\text{F}$, $R3=100\Omega$)

***警告:**

以上刊載內容版權屬崇貿科技股份有限公司所有，未經本公司授權，任何人均嚴禁對該內容作任何形式之修改、節錄、轉載或出版，違者將依著作權法追究之。