

基于CPLD的全数字脉宽调制器的研究

摘要: 基于计数器的工作原理, 本文提出了一种具有复位功能的全数字脉宽调制器的实现电路, 并对电路的工作原理和工作过程进行了详细的分析, 借助于MAXplusII设计平台, 最后给出了实验波形和实验数据。实验结果验证了全数字脉宽调制器原理的正确性和电路的实用性。

关键词: 同步信号 数字脉宽调制器 (DPWM)

Design and Implementation of digital Pulse Width Modulator with reset

Abstract: The paper introduces a circuit scheme of digital high frequency Pulse Width Modulator with reset based on the principle of counters. The structure and operational principle of the circuit are analyzed in detail and the circuit is simulated by MAXplusII. The simulative and experimental results show that the circuit is accurate and practical.

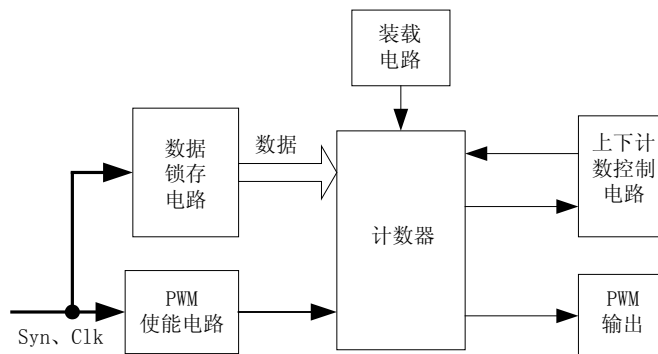
Keywords: Synchron signal; digital Pulse Width Modulator;

1 引言

随着近几年半导体技术的迅速发展, 数字控制技术已经广泛应用于电力电子、自动控制等领域, 作为数字控制技术中一个重要的环节, 数字脉宽调制技术也日趋成熟。目前, 这些领域中大部分应用的是数字脉宽调制器与处理器集为一体的专用控制芯片, 像TI公司的TMS320C24X系列芯片^[1], ADI公司的ADMC系列芯片^[2]等。然而在一些控制精度要求高的系统中, 由于这种芯片中的PWM数据宽度小, 导致精度低, 因而并不能满足系统的要求。此外, 这类芯片中的PWM实际是由DSP的定时器来控制, 在对定时器资源使用要求严格的系统中, 这也占用了一部分重要的资源。在这些情况下, 应用片外PWM电路无疑是一种理想的选择。本文提出的DPWM电路基于计数器上/下计数的原理, 结构简单、控制精度高, 作为一个独立的功能模块, 它还可以灵活的组成多相PWM调制电路, 应用于相关领域。而且还可以把DPWM与其他功能模块作为一个系统集成到一个芯片上去, 实现所谓的片上系统 (System on a chip)。

2 工作原理

全数字脉宽调制电路的结构框图如图一所示。



图一 PWM电路结构框图

从图中可以看出, 基于计数器的PWM电路主要由四部分组成:

装载电路: 在计数器达到计数值0或终端计数值M时, 载入占空比数据DATA;

计数电路: 从DATA开始向下或向上计数, 当计数器达到计数值0或终端计数值M后, 产生装载脉冲电平;

上下计数控制电路：当计数器载入数据或达到计数值0，M后，由装载脉冲电平控制计数器向上或向下计数。

PWM使能电路：只有在复位无效，同步信号Syn上升沿到来时，PWM才开始工作；在复位信号Reset有效时，PWM输出为0；

当计数器载入数据DATA后，计数器开始向上计数，在此期间，PWM输出为“1”；当计数器计数到满值“M”再向上计数时，Mark_value被重新载入，计数器开始向下计数，在此期间，PWM输出为“0”；当计数到终端计数值“0”再向下计数时，新的Mark_value被载入，PWM开始了一个新的周期。

如果设数据Mark_value的更新周期为 T_{syn} ，则由PWM工作原理可以得出，时钟周期 T_{clk} 与数据更新周期 T_{syn} 有如下关系：

$$T_{syn} = 2^n \cdot T_{clk} \quad (1)$$

式中，n为Mark_value的数据宽度，计数器满值 $M=2^n$ 。

PWM占空比D为：

$$D = 1 - \frac{Mark_value}{2^n} \quad (2)$$

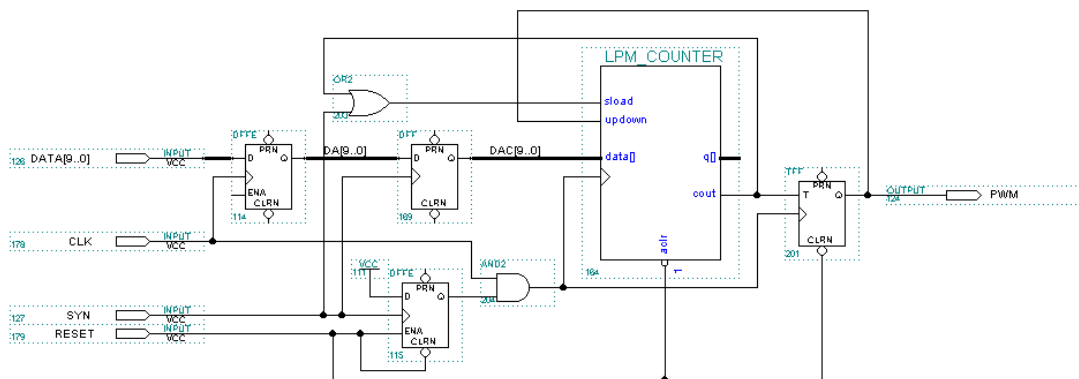
占空比最低有效位（Least Significant Bit）：

$$\Delta D = \frac{1}{2^n} \quad (3)$$

3 实现电路

在实现电路中，计数器采用Altera公司开发环境MaxplusII10.1中的模块，因为这个计数器模块有三个信号可以很好的构建原理结构中的大部分电路。一个是进/借位输出，当计数器计数值计满时，能够产生一个脉冲电平；第二个是上下计数输入，可以通过改变输入高低电平来控制计数器上/下计数；还有一个是装载输入，只要输入为高电平，计数时钟到来时，就能载入数据。

为了便于与微处理器接口，实现电路还在数据装载电路前加了一级数据锁入，由外加同步时钟信号Syn来控制。下图就是具体的PWM实现电路图。



图二 PWM实现电路图

工作过程：

初态进/借位Cout为高电平，Up/down信号为低电平，复位信号Reset低电平有效。

初始运行时，通过片选线#CS选中PWM电路，使能D1触发器，在时钟CLK的上升沿将数据线上的数据Mark_value锁存进寄存器D1，此后等待同步信号Syn的到来。当Syn信号来到时，它的上升沿将D1锁存的数据Mark_value锁入D2，与此同时计数器将Mark_value载入

计数器，在时钟CLK的下一个上升沿，PWM输出跟随Cout变为高电平，所以计数器开始向上计数，在此期间，PWM输出为：“1”；当计数器计到满值“M”时，再向上计数，Cout就产生进位高电平脉冲，Load电路重新将Mark_value载入计数器，在时钟CLK的下一个上升沿，PWM输出变为低电平，计数器开始向下计数，在此期间，PWM输出为“0”；当计数器计到“0”时，再向下计数，Cout就产生借位高电平脉冲，Load电路将载入新的Mark_value值，开始新的一个PWM周期，整个工作过程周而复始。

上面叙述的是在整个工作过程中，没有出现复位信号Reset有效情况下的PWM工作原理。如果在正常工作过程中，Reset复位有效，那么工作原理就稍不同，可分两种情况：

一种情况是在一个周期内复位有效，计数器就停止当前计数，清除计数器计数值为0，并清除PWM输出也为0。

另一种情况是在复位Reset有效期间，有同步信号Syn到来，那么计数器就不能有效的载入数据，进入正常工作，只能让电路在接下来的这个周期PWM输出都为0。直到复位无效、同步信号到来时，再载入数据，进入正常工作过程。

2 装载(Load)电路和PWM使能(Enable)电路的设计

根据PWM运行原理，装载信号应该由计数器的进/借位来产生。然而由于复位信号的存在，如果在某一个周期内复位有效，那么本周期的计数值就清0，使得计数器不能在下一个周期开始时像正常工作那样产生进/借位，来载入本周期的占空比数值。考虑到在所有的输入信号中，只有同步信号是在每个周期的开始时有一个脉冲，所以为了确保在每个周期的开始时都能正确的载入数据值，让同步信号和计数器的进/借位两个信号来组成或逻辑来产生计数器的载入数据信号。

由于上/下计数器即使在Disable的情况下，只要输入时钟还存在，那么进/借位就会跟着变化，导致PWM也变化，这并不是我们所期望的。因为，在计数器Disable的情况下，PWM占空比输出应为0，因而应给计数器加入一个时钟的控制信号。当复位信号无效，同步信号Syn上升沿到来时，计数器时钟信号有效；另一方面，在PWM工作期间，如果复位信号有效，此时计数器的时钟必须被屏蔽且计数值必须清0，PWM占空比输出也应为0，以便在接下来复位信号无效的周期开始时，计数器能载入新的值，开始新的占空比输出。根据以上所述，最终确定的PWM时钟控制电路是以D触发器为中心，包括同步脉冲时钟信号Syn、时钟信号Cik和复位信号Reset的一个逻辑组合电路。而且复位信号必须在复位有效时对计数器进行清0，否则即使复位有效，计数器停止了工作，但计数值仍然会保留在某个值，使得在下一个周期开始时，数据不能被载入，PWM输出错误。

4 仿真波形及分析

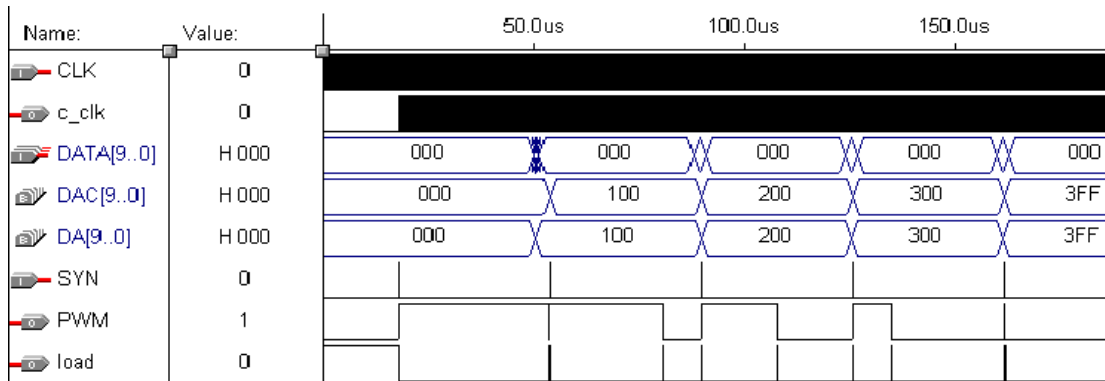
仿真条件：时钟频率：28.636MHz，同步信号Syn频率：28KHz，数据位宽n：10位。

仿真时，使PWM连续输出波形占空比分别为1、0.75、0.5、0.35和0。根据公式（2），可以得出对应的Mark_value数据值分别为0x0、0x100、0x200、0x300、0x3FF。

例：D=0.75 根据公式（2）得：

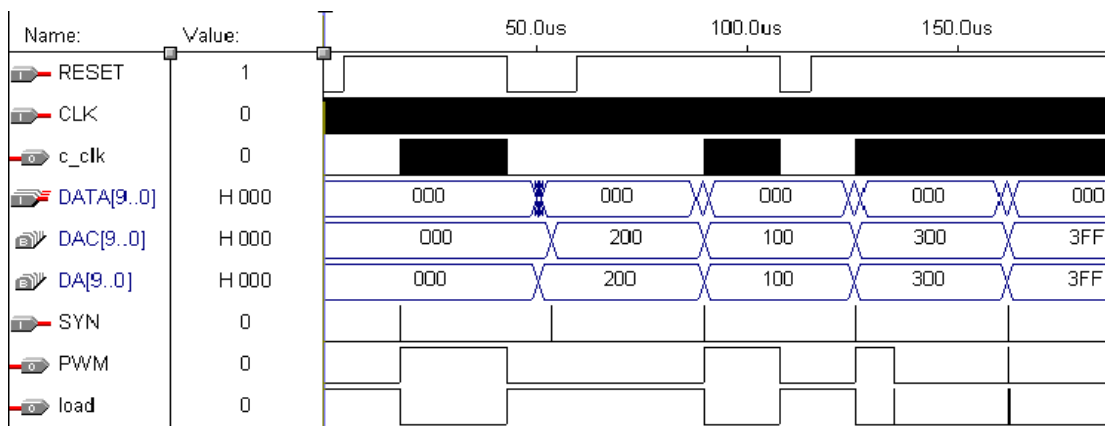
$$\text{Mark_value}=2^n(1-D)=2^{10}\times 0.25=256=0x100$$

下图是PWM电路在连续输出时的仿真波形图



图三 PWM工作过程中Reset无效的时序图

图三所示是PWM连续五个周期的输出时序图，从PWM输出波形来看，它能够按数据值Mark_value所对应的占空比正确输出。实际上，在每个PWM周期都有一定的误差，这可以从图中的PWM输出占空比分别为1和0的两种情况看出，实际PWM输出占空比并不是完全为1和0，而是会有几个时钟周期的误差。产生这种误差的原因是进位和借位到数据的载入这个期间有一个过渡状态，一般是1~2个时钟周期，这个过渡状态每个周期都会出现，这是由PWM原理所决定的，是无法避免的。因而理论PWM精度为 $2/1024 \approx 0.002$ 。



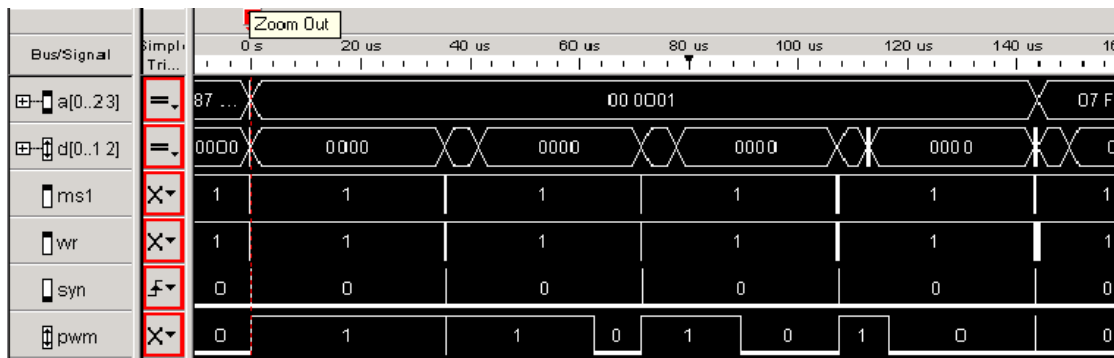
图四 PWM工作过程中Reset有效的仿真波形图

5 实验结果

实验中采用的时钟频率为28.636M Hz，Mark_value数据宽度取10位，根据公式（1），可计算出同步信号Syn的频率为27.96K Hz，实际采用28 K Hz。

芯片选用Altera公司的EPM2128A100^[4]，其工作电压为3.3V。

实验时，由DSP向CPLD中的PWM电路连续写入五个数据值，为便于验证，写入的值仍采用仿真时的数据值0x0、0x100、0x200、0x300、0x3FF，对应理论占空比分别为1、0.75、0.5、0.25和0。下图为连续输出时的实验波形。



图四 PWM输出实验波形

基于图四的实验波形，测出了PWM周期和占空比时间的实验数据如表1。

表1 占空比D理论值和实验值对比表

实测D时间 (μs)	0.700	9.010	17.950	26.890	35.828
实测PWM周期(μs)	35.8625	35.8650	35.8625	35.8625	35.8625
实际占空比D _实	0.0018	0.251	0.501	0.75	0.999
理论占空比D _理	0	0.25	0.5	0.75	1

从表1的实验数据可以看出，实际PWM输出占空比D_实与理论占空比D_理几乎相等，这充分证明了这种实现电路的正确性。此外，从实验数据还可以看出占空比误差的来源，也就是前面提到的过渡状态产生的几个多余周期。当占空比为0时，实测D为70 ns，正好是两个时钟周期，占空比为1时，占空比的偏差值为35.8625-35.828=35 ns，正好是一个时钟周期，这与理论分析是一致的。从整个实验结果来看，本文所提出的实现电路无论是在PWM输出波形还是控制精度方面都达到了很好的效果。

6 结论

综上所述，本文提出的这种PWM实现电路，具有结构简单，控制精度高的优点，此外它还可以灵活的组成多相PWM电路，应用于自动控制、电力电子等领域。这种PWM实现电路已经应用于DSP控制的PFC电源中。

参考文献

- [1] TMS320C240, TMS320F240 DSP Controllers Data Sheet.
- [2] Single Chip DSP Motor Controller ADMC331 Data Sheet.
- [3] Albert M .Wu, Jinwen Xiao et al . Digital PWM Control: Application in Voltage Regulation Modules. IEEE PESC'99 Vol.1, 1999: 77~83.
- [4] MAX3000A Programmable Logic Device Family Data Sheet ,Altera, October 2001 Ver 2.1.
- [5] 曾繁泰、侯压宁等著 可编程逻辑器件应用导论 清华大学出版社 2001年