

印制板设计规范

(第一版)

苏州矽科电子信息科技有限公司

2005.1.29

1 适用范围

本公司 CAD 设计的所有印制电路板（简称 PCB）。

2 主要目的

- 2.1 规范 PCB 的设计流程。
- 2.2 保证 PCB 设计质量和提高设计效率。
- 2.3 提高 PCB 设计的可生产性、可测试性、可维护性。

3 PCB 设计前准备

3.1 硬件工程师需提供的资料

1. 准确无误的原理图包括书面文件和电子档以及无误的网络表。
 2. 带有元件编码的正式 BOM。对于封装库中没有的元件硬件工程师应提供 DATASHEET 或实物，并指定引脚的定义顺序。
 3. 提供 PCB 大致布局图或重要单元、核心电路摆放位置。提供 PCB 结构图，应标明 PCB 外行、安装孔、定位元件、禁布区等相关信息。
 4. 设计要求
 - A. 1A 以上大电流元件、网络。
 - B. 重要的时钟信号、差分信号以及高速数字信号。
 - C. 模拟小信号等易被干扰信号。
 - D. 其它特殊要求的信号。
- 3 PCB 特殊要求说明：
- A. 差分布线、需屏蔽网络、特性阻抗网络、等延时网络等。
 - B. 特殊元件的禁止布线区、锡膏偏移、阻焊开窗以及其它结构的特殊要求。

3.2 细阅读原理图，了解电路架构，理解电路的工作条件。

3.3 与硬件工程师充分交流的基础上，确认 PCB 中关键的网络，了解高速元件的设计要求。

4 设计流程

4.1 定元件的封装

1. 打开网络表（可以利用一些编辑器辅助编辑），将所有封装浏览一遍，确保所有元件的封装都正确无误并且元件库中包含所有元件的封装，网络表中所有信息全部大写，一面载入出问题，或 PCB BOM 不连续。元件具体命名规则详见《苏州矽科常用元件封装命名规则》。
2. 标准元件全部采用公司统一元件库中的封装。
3. 元件库中不存在的封装，应让硬件工程师提供元件 DATASHEET 或实物由专人建库并请对方确认。

4.2 建立 PCB 板框

1. 根据 PCB 结构图，或相应的模板建立 PCB 文件，包括安装孔、禁布区等相关信息。
2. 尺寸标注。在钻孔层中应标明 PCB 的精确结构，且不可以形成封闭尺寸标注。

4.3 载入网络表

1. 载入网表并排除所有载入问题，具体请看《PROTEL 技术大全》。其他软件载入问题有很多相似之处，可以借鉴。
2. 如果使用 PROTEL，网表须载入两次以上（没有任何提示信息）才可以确认载入无误。

4.4 布局

1. 首先要确定参考点。

一般参考点都设置在左边和底边的边框线的交点（或延长线的交点）上或印制板的插件的第一个焊盘。
2. 一旦参考点确定以后，元件布局、布线均以此参考点为准。布局推荐使用 25MIL 网格。
3. 根据要求先将所有有定位要求的元件固定并锁定。
4. 布局的基本原则

- A. 遵循先难后易、先大后小的原则。
- B. 布局可以参考硬件工程师提供的原理图和大致的布局，根据信号流向规律放置主要原器件。
- C. 总的连线尽可能的短，关键信号线最短。
- D. 强信号、弱信号、高电压信号和弱电压信号要完全分开。
- E. 高频元件间隔要充分。
- F. 模拟信号、数字信号分开。
- 5. 相同结构电路部分应尽可能采取对称布局。
- 6. 按照均匀分布、重心平衡、版面美观的标准来优化布局。
- 7. 同类行的元件应该在 X 或 Y 方向上一致。同一类行的有极性分立元件也要力争在 X 或 Y 方向上一致，以便于生产和调试。
- 8. 元件的放置要便于调试和维修，大元件边上不能放置小元件，需要调试的元件周围应有足够的空间。发热元件应有足够的空间以利于散热。热敏元件应远离发热元件。
- 9. 双列直插元件相互的距离要大于 2 毫米。BGA 与相邻元件距离大于 5 毫米。阻容等贴片小元件相互距离大于 0.7 毫米。贴片元件焊盘外侧与相邻插装元件焊盘外侧要大于 2 毫米。压接元件周围 5 毫米不可以放置插装原器件。焊接面周围 5 毫米内不可以放置贴装元件。
- 10. 集成电路的去耦电容应尽量靠近芯片的电源脚，高频最靠近为原则。使之与电源和地之间形成回路最短。
- 11. 旁路电容应均匀分布在集成电路周围。
- 12. 元件布局时候，使用同一种电源的元件应考虑尽量放在一起，以便于将来的电源分割。
- 13. 用于阻抗匹配目的的阻容器件的放置，应根据其属性合理布局。
- A. 匹配电容电阻的布局要分清楚其用法，对于多负载的终端匹配一定要放在信号的最远端进行匹配。
- B. 联匹配电阻布局时候要靠近该信号的驱动端，距离一般不超过 500MIL。
- 14. 调整字符。所有字符不可以上盘，要保证装配以后还可以清晰看到字符信息。所有字符在 X 或 Y 方向上应一致。字符、丝引大小要统一。
- 15. 放置 PCB 的 MARK 点。

5 设置规则

5.1 压层顺序的安排

在高速数字电路中，电源与地层应尽量靠在一起，中间不安排布线。所有布线层都尽量靠近一平面，优先选择地平面作为隔离层。

为了减少信号间的干扰，相邻布线层信号走向应相互垂直，如果无法避免同一方向则应极力避免相邻信号层同一方向的信号重叠。

可以根据需求设置几个阻抗层，阻抗层要按要求标注清楚，注意参考层的选择，将所有有阻抗要求的信号安排在阻抗层上面。

5.2 线宽和线间距的设置

1. 当信号平均电流比较大的时候，需要考虑线宽与电流的关系，具体情况可以参考下表

不同厚度、不同宽度的铜箔的载流表：

铜皮厚度 线宽 (MM)	铜皮厚度 35UM 铜皮 T=10	铜皮厚度 50UM 铜皮 T=10	铜皮厚度 70UM 铜皮 T=10
0.15	0.20	0.50	0.70
0.20	0.55	0.70	0.90
0.30	0.80	1.10	1.30
0.40	1.10	1.35	1.70
0.50	1.35	1.70	2.00
0.60	1.60	1.90	2.30
0.80	2.00	2.40	2.80
1.00	2.30	2.60	3.20
1.20	2.70	3.00	3.60
1.50	3.20	3.50	4.20
2.00	4.00	4.30	5.10
2.50	4.50	5.10	6.00

注：

- A. 在 PCB 设计加工中常用 OZ (盎司) 作为铜皮的厚度单位。1 OZ 铜厚定义为一平方英寸面积内铜铂的重量为一盎司，对应的物理厚度为 35UM
- B. 当铜皮作导线通过较大电流时，铜铂宽度与载流量的关系应参考表中的数据降额 50% 去选择使用。

2. 信号线设定。当单板的密度越高越倾向于使用更细的线宽和更小的线间距。
3. 电路工作电压。线间距的设置应考虑其介电强度。
4. 可靠性要求较高的时候应使用较宽的布线和较大的线间距。
5. 等长、差分等设置。
6. 有阻抗要求的信号线，应计算其线宽线间距并选好参考层，且其压层顺序和层厚度一旦定下来就可以在更改。

5.3 过孔设置

1. 过孔焊盘与孔径的设置可以参照下表：

孔径	0.15mm	8mil	12mil	16mil	20mil	24mil	32mil	40mil
焊盘直径	0.45mm	24mil	30mil	32mil	40mil	48mil	60mil	62mil

1. BGA 表贴焊盘、过孔焊盘、过孔孔径可以参照下表：

BGA 节距	50mil	1mm	0.8mm	0.7mm
BGA 焊盘直径	25mil	0.5mm	0.35mm	0.35mm
过孔孔径	12mil	8mil	0.15mm	0.15mm
过孔焊盘直径	25mil	24mil	0.45mm	0.35mm
线宽/线间距	8/8mil	6/6mil	0.12/0.11mm	0.12/0.11mm

更小节距的 BGA，根据具体情况结合 PCB 厂的生产工艺设定。

2. 盲孔和埋孔

盲孔是连接表层和内层而不贯穿的过孔，埋孔是连接内层而表层看不到的过孔。这两种过孔尺寸可以参照普通过孔来设置。

应用盲孔和埋孔设计时应与 PCB 生产厂取得联系，根据具体工艺要求来设定。

4. 径厚比

印制板的板厚决定了该板的最小过孔，板厚孔径比应小于 10~12

印制板厚度与最小过孔关系表：

板厚	1.0mmj 以下	1.6mm	2.0mm	2.5mm	3.0mm
最小过孔	8mil	8mil	8mil	12mil	16mil
焊盘直径	24mil	24mil	24mil	30mil	32mil

5.4 测试孔

测试孔可以兼做导通孔使用，焊盘直径应不小于 25MIL，测试孔中心距应不小于 50MIL。测试孔避免放置在芯片底下。

5.5 特殊布线规则设定

特殊布线规则设定主要是指某些特殊区域需要用到不同于一般设置的布线参数。如某些高密度元件需要用到较细的线宽、较小的线间距和较小的过孔。某些网络的布线参数需要调整等。在布线前需要将所有规则加以设置和确认。

5.6 平面的定义与分割

1. 平面层一般用于电路的电源和地层（参考层），由于电路中可能用到不同的电源和地层，需要对电源层和地层进行分隔，其分隔宽度要考虑不同电源之间的电位差，电位差大于 12V 时，分隔宽度大于 50mil，反之，可选 20~25mil，小板，如内存条等，可以使用小到 15mil 宽分割线。条件允许的情况下，分隔线应尽可能的宽。

2. 平面分隔要考虑高速信号回流路径的完整性。

3. 当由于高速信号的回流路径遭到破坏时，应当在其它布线层给予补偿。例如可用接地的铜箔将该信号网络包围，以提供信号的地回路。

4. 平面分割后，要确认没有形成孤立的分割区域，实际有效区域足够宽。

5.7 布线前仿真（布局评估，待扩充）

6 PCB 布线

6.1 布线优先次序

1. 密度疏松原则：从印制板上连接关系简单的器件着手布线，从连线最疏松的区域开始布线，以调节个人状态。
2. 核心优先原则：例如 DDR、RAM 等核心部分应优先布线，类似信号传输线应提供专层、电源、地回路。其他次要信号要顾全整体，不可以和关键信号想抵触。
3. 关键信号线优先：电源、模拟小信号、高速信号、时钟信号和同步信号等关键信号优先布线。

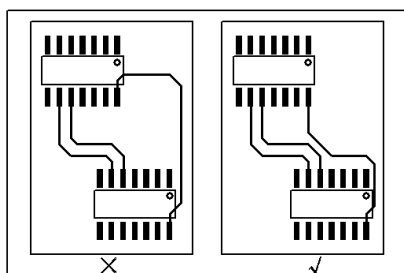
6.2 尽量为时钟信号、高频信号、敏感信号等关键信号提供专门的布线层，并保证其最小的回路面积。应采取手工优先布线、屏蔽和加大安全间距等方法，保证信号质量。

6.3 电源层和地层之间的 EMC 环境较差，应避免布置对干扰敏感的信号。

6.4 有阻抗控制要求的网络应布置在阻抗控制层上，相同阻抗的差分网络应采用相同的线宽和线间距。

7 PCB 设计遵循的规则

7.1 地线回路规则：



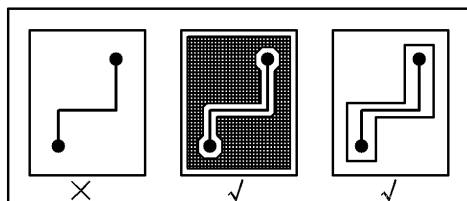
环路最小规则，即信号线与其回路构成的环面积要尽可能小，环面积要尽可能小，环面积越小，对外的辐射越少，接收外界的干扰也越小。针对这一规则，在地平面分割时，要考虑到地平面与重要信号走线的分布，防止由于地平面开槽等带来的问题；在双层板设计中，在为电源留下足够空间的情况下，应该将留下的部分用参考地填充，且增加一些必要的过孔，将双面信号有效连接起来，对一些关键信号尽量采用地线隔离，对一些频率较高的设计，需特别考虑其地平面信号回路问题，建议采用多层板为宜。

7.2 窜扰控制

窜扰 (CrossTalk) 是指 PCB 上不同网络之间因较长的平行布线引起的相互干扰，主要是由于平行线间的分布电容和分布电感的作用。克服窜扰的主要措施是：

1. 加大平行布线的间距，遵循 3W 规则。
2. 在平行线间插入接地的隔离线。
3. 减少布线层与地平面的距离。

7.3 屏蔽保护



对应地线回路规则，实际上也是为了尽量减小信号的回路面积，多用于一些比较重要的信号，如时钟信号，同步信号；对一些特别重要，频率特别高的信号，应该考虑采用铜轴电缆屏蔽结构设计，即将所布的线上下左右用地线隔离，而且还要考虑好如何有效的让屏蔽地与实际地平面有效结合。

7.4 走线方向控制规则

相邻层的走线方向成正交结构，避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰；当由于板结构限制（如某些背板）难以避免出现该情况，特别是信号速率较高时，应考虑用地平面隔离各布线层，用地信号线隔离各信号线。

7.5 走线的开环检查规则

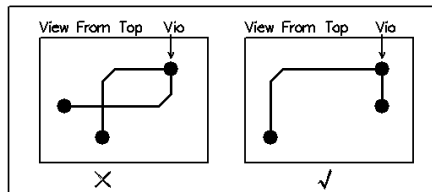
一般不允许出现一端浮空的布线，主要是为了避免产生“天线效应”，减少不必要的干扰辐射和接受，否则可能带来不可预知的结果。

7.6 阻抗匹配检查规则

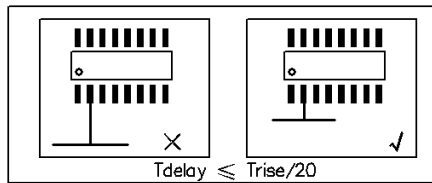
同一网络的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，当传输的速度较高时会产生反射，在设计中应该尽量避免这种情况。在某些条件下，如接插件引出线，BGA封装的引出线类似的结构时，可能无法避免线宽的变化，应该尽量减少中间不一致部分的有效长度。

7.7 走线闭环检查规则

防止信号线在不同层间形成自环。在多层板设计中容易发生此类问题，自环将引起辐射干扰。

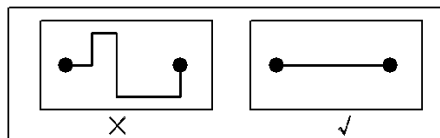


7.8 分支长度控制规则



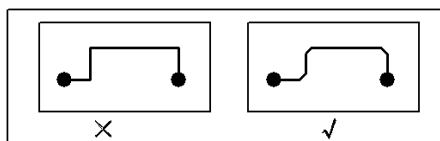
尽量控制分支的长度，分支的长度应尽量短，一般的要求是 $T_{delay} \leq T_{rise}/20$ 。

7.9 走线长度控制规则



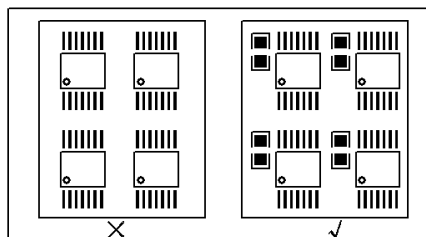
走线长度控制规则即短线规则，在设计时应该尽量让布线长度尽量短，以减少走线长度带来的干扰问题，特别是一些重要信号线，如时钟线，务必将其振荡器放在离器件很近的地方。对驱动多个器件的情况，应根据具体情况决定采用何种网络拓扑结构。

7.10 倒角规则



PCB 设计中应避免产生锐角和直角，产生不必要的辐射，同时工艺性能也不好。所有线与线的夹角应 135° 。

7.11 器件去藕规则



1. 在印制板上增加必要的去藕电容，滤除电源上的干扰信号，使电源信号稳定，在多层板中，对

去藕电容的位置一般要求不太高，但对双层板，去藕电容的布局及电源的布线方式将直接影响到整个系统的稳定性，有时甚至关系到设计的成败。

2. 在双层板设计中，一般应该使电流先经过滤波电容滤波再供器件使用，同时还要充分考虑到由于器件产生的电源噪声对下游器件的影响，一般来说，采用总线结构设计比较好，在设计时还要考虑到由于传输距离过长而带来的电压跌落给器件造成的影响，必要时增加一些电源滤波环路，避免产生电位差。

3. 在高速电路设计中，能否正确地使用去藕电容，关系到整个板的稳定性。

7.12 滤波电容的配置规则（高速电路设计参考）

1. 高频滤波电容的配置

A. 小于 10 个输出的小规模集成电路，工作频率 50MHz 时，至少配接一个 $0.1\mu\text{f}$ 的滤波电容。工作频率 50MHz 时，每个电源引脚配接一个 $0.1\mu\text{f}$ 的滤波电容。

B. 对于中大规模集成电路，每个电源引脚配接一个 $0.1\mu\text{f}$ 的滤波电容。对电源引脚冗余量较大的电路也可按输出引脚的个数计算配接电容的个数，每 5 个输出配接一个 $0.1\mu\text{f}$ 滤波电容。

C. 对无源器件的区域，每 6cm^2 至少配接一个 $0.1\mu\text{f}$ 。

D. 对于超高频电路，每个电源引脚配接一个 1000pf 的滤波电容。对电源引脚冗余量较大的电路也可按输出引脚的个数计算配接电容的个数，每 5 个输出配接一个 1000pf 滤波电容。

E. 专用电路可参照应用手册推荐的滤波电容配置。

F. 对于有多种电源存在的电路或区域，应对每种电源分别按 1、2 和 3 条配接滤波电容。

G. 高频滤波电容应尽可能靠近 IC 电路的电源引脚处。

H. 滤波电容焊盘至连接盘的连线应采用 0.3mm 的粗线连接，互连长度应 $< 1.27\text{mm}$ 。

2. 低频滤波电容的配置

A. 每 5 只高频滤波电容至少配接一只 $10\mu\text{f}$ 低频的滤波电容；

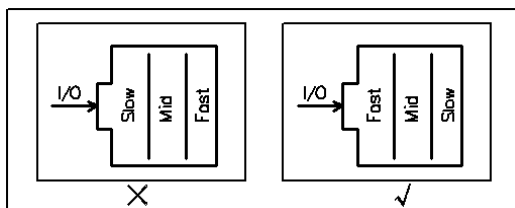
B. 每 5 只 $10\mu\text{f}$ 至少配接两只 $47\mu\text{f}$ 低频的滤波电容；

C. 每 100cm^2 范围内，至少配接 1 只 $220\mu\text{f}$ 或 $470\mu\text{f}$ 低频滤波电容；

D. 每个模块电源出口周围应至少配置 2 只 $220\mu\text{f}$ 或 $470\mu\text{f}$ 电容，如空间允许，应适当增加电容的配置数量；

E. 低频的滤波电容应围绕被滤波的电路均匀放置。

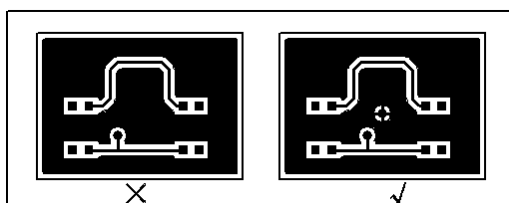
7.13 器件布局分区/分层规则



1. 主要是为了防止不同工作频率的模块之间的互相干扰，同时尽量缩短高频部分的布线长度。通常将高频的部分设在接口部分以减少布线长度，当然这样的布局也要考虑到低频信号可能受到的干扰。同时还要考虑到高/低频部分地平面的分割问题，通常采用将二者的地分割，再在接口处单点相接。

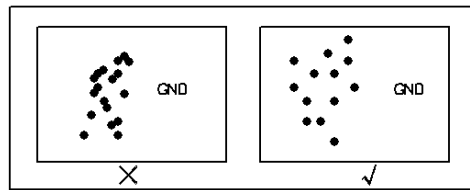
2. 对混合电路，也有将模拟与数字电路分别布置在印制板的两面，分别使用不同的层布线，中间用地层隔离的方式。

7.14 孤立铜区控制规则



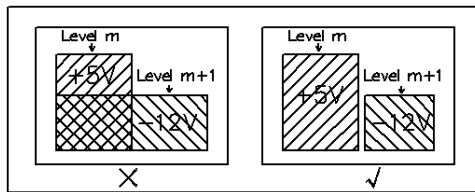
孤立铜区也叫铜岛，它的出现，将带来一些不可预知的问题，因此将孤立铜区与别的信号相连，有助于改善信号质量。通常是将孤立铜区接地或删除。在实际的制作中，PCB 厂家将一些板的空置部分增加了一些铜箔，这主要是为了方便印制板加工，同时对防止印制板翘曲也有一定的作用。

7.15 电源与地线层的完整性规则



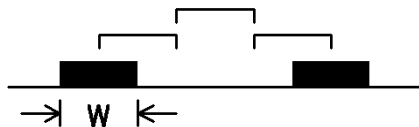
对于导通孔密集的区域，要注意避免孔在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号线在地层的回路面积增大。

7.16 重叠电源与地线层规则



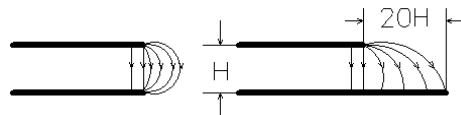
不同电源层在空间上要避免重叠，主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

7.17 3W 规则



为了减少线间串扰，应保证线间距足够大，当线中心距不少于 3 倍线宽时，则可保持 70% 的电场不互相干扰，称为 3W 规则。如要达到 98% 的电场不互相干扰，可使用 10W 规则。

7.18 20H 规则



由于电源层与地层之间的电场是变化的，在板的边缘会向外辐射电磁干扰。称为边缘效应。可以将电源层内缩，使得电场只在接地层的范围内传导。以一个 H (电源和地之间的介质厚度) 为单位，若内缩 20H 则可以将 70% 的电场限制在接地边沿内；内缩 100H 则可以将 98% 的电场限制在内。

7.19 5~5 规则

印制板层数选择规则，即时钟频率到 5MHz 或脉冲上升时间小于 5ns，则 PCB 板须采用多层板，这是一般的规则，有的时候出于成本考虑，采用双层板结构时，这种情况下，最好将印制板的一面做为一个完整的地平面。

8 设计评审

设计完成后，根据 PCB 设计者须自行检查以下项目。

- 8.1 检查高频、高速、时钟即其它脆弱信号线，是否回路面积最小、是否远离干扰源、是否有多余的过孔和绕线、是否有跨地层分割区。
- 8.2 检查是否有平行线过长，平行线是否尽量分开。
- 8.3 检查晶体、变压器、光藕、电源模块下面是否有信号线穿过，应尽量避免在其下穿线，特别是晶体下面应尽量铺设接地的铜皮。
- 8.4 检查定位孔、定位件是否与结构图一致，SMT 定位光标是否加上并符合工艺要求。

- 8.5 检查器件的序号是否按从左到右、从下到上的原则归属无误的摆放，并且无丝印覆盖焊盘；检查须标注的板号、版本号是否符合用户要求。
- 8.6 报告布线完成情况是否百分之百；是否有线头；是否有孤立的铜皮。
- 8.7 检查电源、地的分割是否正确，单点共地已作正确处理。
- 8.8 PCB 生成的网表和原网表进行校对，确认连接关系的正确。
- 8.9 工艺审查中发现的问题，积极改进，并有所记录，避免同样的问题再犯。

附录 B：混合信号 PCB 分区设计

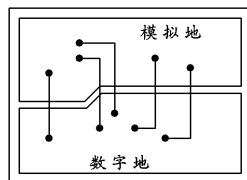
混合信号电路 PCB 的设计很难，零件的布局,布线以及电源和地线的处理将影响到电路性能和电磁相容性能。本文介绍的地和电源的分区设计能最佳化混合信号电路的性能。

如何降低数字信号和模拟信号的相互干扰呢?在设计之前必须了解电磁相容(EMC)的两个基本原则。

1. 尽可能降低电流回路的面积；
2. 系统只采取一个参考面。

如果系统存在两个参考面，就有可能形成一个偶极天线（注：小型偶极天线的辐射大小与线的长度，流过电流的大小的频率成正比）；而如果信号不能由尽可能小的环路返回，就有可能形成一个大的环状天线（注：大型环状天线的辐射大小与环路面积，流过环路的电流大小及频率的平方成正比）。在设计中应该尽量避免。

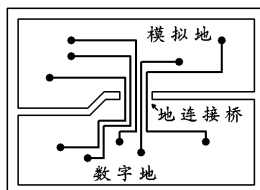
有人建议将混合信号电路板上的数字地和模拟地分开，这样能实现数字地与模拟地之间的隔离。尽管这种方法可行，但是存在很多潜在的问题，在复杂的大系统中问题尤其突出。一旦跨越分割间隙布线，电磁辐射和信号串扰会急剧增加。在 PCB 设计中最常见的问题就是信号线跨越分割地或电源而产生 EMI 问题。



如上图所示，我们采用上述分割方法，而且信号线跨越了两地间的间隙，信号返回的路径是什么呢？假定被分割的两个地在某处连在一起（通常情况下是在某个位置单点连接），在这种情况下，地电流将形成一个大的环路。流经大环路的高频电流会产生辐射和很高的地电感，如果流过环路的是低电平模拟电流，该电流很容易受到外部信号干扰。最糟糕的是当把分割地在电源处连接在一起时，将形成一个非常大的电流环路。另外，模拟地和数字地由一个长导线连接在一起会构成偶极天线。

了解电流回流到地的路径和方式是最佳化混合信号电路板设计的关键，不能仅仅考虑信号从何处流过，而忽略了电流的具体的路径。

如果必须对地线层进行分割，而且必须由分割之间的间隙布线，可以先在被分割的地之间进行单点连接，形成两个地之间的连接桥，然后由该连接桥布线。这样，在每一个信号线的下方都能够提供一个直接的电流回流路径，从而使形成的环路面积很小。



混合信号 PCB 设计是一个复杂的过程,设计过程要注意以下几点:

1. 将 PCB 分区为独立的模拟部分和数字部分；

2. 合适的零件布局；
3. A/D 转换器跨分区放置；
4. 不要对地进行分割. 在电路板的模拟部分和数字部分下面设统一地；
5. 在电路板的所有层中, 数字信号只能在电路板的数字部分布线, 模拟信号只能在电路板的模拟部分布线；
6. 实现模拟类比和数字电源分割；
7. 布线不能跨越分割电源面之间的间隙；
8. 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上；
9. 分析返回地电流实际流过的路径和方式；
10. 采用正确的布线规则。

路人乙 整理修订

二零零五年三月三日