

# 48V 输入电压调节模块的现状 & 未来

梁小国 危建 阮新波 南京航空航天大学 (210016)

**摘要:** 本文分析 48V 输入 VRM 设计的难点, 系统地分析在主电路拓扑选择、同步整流器选择、输入输出滤波器的设计应遵循的原则。同时简要讨论 VRM 设计时在电路布局、控制环设计、变压器设计时应注意的问题。

**叙词:** 直流-直流变换器 电压调节模块(VRM)

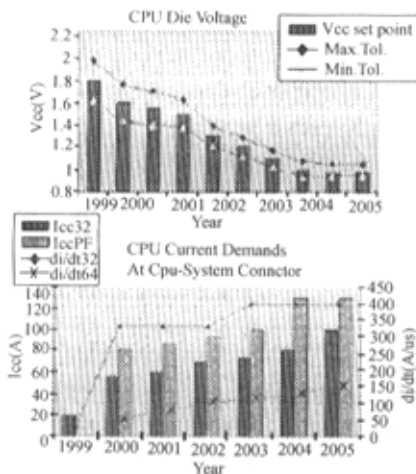


图1 Intel CPU 工作电压电流趋势

## 1 引言

信息技术的迅猛发展对数字处理技术提出了前所未有的要

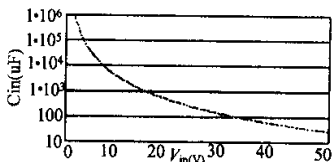


图2 输入电容和输入电压的关系

求, 而这又极大地促进了低压 IC 特别是微处理器领域极大的发展。总的说, 未来 IC 对供电要求呈现下列趋势:

1) 工作电压越来越低。新的 0.1 $\mu$ m 技术采用将会使未来的 IC 工作电压降低到 1.2V 甚至低于 1V。降低 IC 工作电压主要是出于下面考虑: ①提高微处理器的速度。数字处理基本单元可以等效为一个电容, 它的充放电可以提供 '1' 和 '0' 两种状态, 但由于寄生参数的影响, 它的充放电需要一定的时间, 低的稳态电压可以缩短充放电时间, 有利于提高微处理器的速度。②提高 IC 的集成度。低的工作电压可以使 IC 的绝缘距离减小, 利于提高集成度。③基本单元的功耗降低。

2) 电流越来越大。虽然工作电压的降低使得 IC 基本单元的功耗降低, 但由于系统处理容量的增加使得总功耗仍在增加, 这样 IC 需要的总电流成倍增加。

3) 负载变化率越来越高。为了节能, 延长电源工作时间(特别是在便携式系统中), IC 供电将要求提供电源管理功能, 比如现在的 PC 都有休眠模式(Sleep mode)和工作模式(Active mode), 这使得微处理器成为一个非常动态的负载。图 1 是 Intel 公司微处理器所需的电压电流发展趋势。可以看出负载变化率在不远的未来就会高达 150A/us。

而电压调节模块(Voltage Regulator Modules, 简称 VRM)是专门为微处理器设计的供电单元。上面所提到的所有这些因素都对 VRM 的设计提出了前所未有的挑战。

早期的 VRM 是从 5V 的直流母线直接供电。最近的一些台式计算机、工作站和服务器已经把 12V 输入作为 VRM 供电电压, 在一些笔记本电脑上 VRM 已经直接把 16 - 24V 输入变换到 1.5V 输出<sup>[1]</sup>。可以预测不久的将来, 正如把 48V 输入作为电信行业的标准输入电压, 计算机 VRM 也会把输入母线电压提高到 48V。提高输入母线电压的原因是: ①VRM 输出功率不断增加, 而提高输入电压能够减小输入电流从而使得母线损耗减小, 利于效率提高。②负载的瞬变对输入母线的电压影响较小, 从而对其它供电单元影响较小。③输入滤波器体积大大减小, 图 2 可以很明显的看出这一点<sup>[2]</sup>。

本文首先分析 48V 输入的 VRM 在设计时碰到的难点, 然后给出在拓扑的选择、同步整流管选择、输入输出滤波器的设计、控制环设计等所要遵循的原则。

## 2 VRM 设计的难点

VRM 设计的难点所在集中体现在体积, 效率和动静态性能之间的矛盾。具体地说:

其一, 由于计算机主板上的空间非常宝贵(cost-effective), 但就传统的直流-直流变换器来说, 为了满足负载的瞬态突变时仍能输出电压稳定在允许的范围内, 就需要增加输出滤波电容从而使滤波器体积过大(从后面的滤波器计算公式可以看出)<sup>[3]</sup>。如果减小输出滤波电感, 在从轻载到满载瞬态突变时负载可以从电源端更快获取能量, 在从满载到轻载瞬态突变时电

感电流可以下降的更快,有利于提高动态特性,但由于电感电流纹波会增加,从而给滤波电容增加负担(静态电压纹波增加),同时还造成效率略有降低。另外就目前的功率电子半导体元器件和磁性元件的发展水平,通过提高开关频率来减小磁性元件体积的程度是有限的。

其二,奔腾第四代处理器要求 VRM 的效率不低于 80%,就今天的功率半导体元器件的发展水平来说,满载效率如果能达到这个标准本身就是一个挑战,但同时为了满足“能源之星”(Energy Star)等绿色能源的标准,VRM 需要在轻载和重载时均能保持高效率,这就更增添了设计的难度。

其三,由于未来微处理器对 VRM 快速动态性能要求,这使得 VRM 的线路布局,连接点都显得比一般场合要慎重的多。这是因为在负载动态变化过程中,线路寄生参数,电容,电感的寄生参数的影响都显得举足轻重。比如 VRM 输出端与解耦电容间如采用传统的铜箔方式连接,则连接线的寄生参数使得 VRM 无法满足将来微处理器对动态性能的高要求<sup>[4]</sup>。实际上现在的 PC 有些已经把 VRM 和主板集成在一起,未来将和 CPU 直接集成。这也是设计的难点所在。

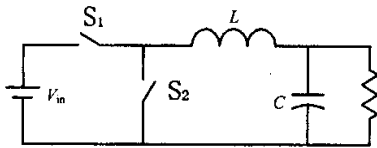


图3 传统的 Buck 变换器

### 3 拓扑的选择

适合于 VRM 的电路拓扑概括起来可分为两类:隔离变换器和非隔离变换器。

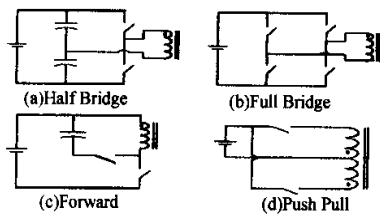


图4 原边常见拓扑

尽管非隔离的拓扑有许多,但 Buck 电路因为结构简单、设计容易、成本低等优点过去一直被采用,如图 3 所示。但是对于 48V 输入的 VRM 来说,采用 Buck 变换器由于稳态占空比过小,会造成下面几个问题:①开关管的选择较为困难。输入端的开关管在导通时承担输出大电流,关断时承担输入电压,这就对它的电流定额和 SOA(Safe Operation Area)都有高的要求。②在输出电流纹波不变时,小的占空比会使输出滤波电感较大 ③过小的占空比会使系统更容易受干扰因素影响。④过小的占空比不利于

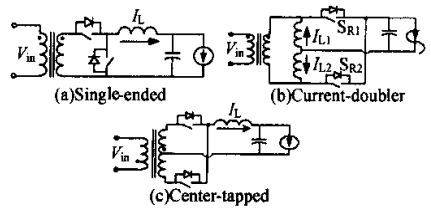


图5 副边常见拓扑

输出滤波器的优化设计,这在后面会分析。因此 Buck 电路不能适应未来 VRM 的需要,必须有新的拓扑来满足这一要求,采用隔离型变换器已经成为必然。

隔离型变换器有如图 4 所示的几种结构:

全桥、半桥、正激和推挽电路。副边整流电路如图 5 所示的几种结构:单端整流、倍流整流和全波整流电路。适合 VRM 的拓扑可以是它们适当的组合。

文献[5]指出,倍流整流电路在大电流场合具有下列优点:首先,它可以很方便地把变压器和电感进行磁集成,利于减小变换器的体积。其次,变压器的匝比比采用其它整流电路小,使得变压器更易设计。当然倍流整流电路中两个电感器做的比较一致也是设计的难点。从优化整流管的损耗来说,适合倍流电路的原边拓扑应工作在对称状态。因此适合倍流整流的原边结构为桥式电路或推挽电路。但从原边开关管承受的电压电流应力考虑,桥式电路更适合 48V 输入的 VRM,全桥电路兼顾了原边管子电压应力和半桥一样,电流应力和推挽电路一样的优点,而且便于考虑采用软开关技术,提高变换器的效率。而半桥电路具有结构简单,所用元器件少,设计时变压器匝比相对小的优点,但难以实现软开关。

正激变换器结构简单,但需要复位手段。而且由于它的变压器在复位期间不能向负载提供能量,所以从提高瞬态响应的快速性来说,正激变化器要比桥式电路和推挽电路差一些。

另外值得一提的是采用隔离式变化器由于变压器的引入使得可以通过选择合适的匝比来实现占空比的优化设计,这对效率,动态响应,纹波的优化都非常有利<sup>[2]</sup>。

由上分析可以看出在选择适合 48V 输入的 VRM 拓扑时还应考虑具体情况和具体设计要求来选择。

### 4 整流管的选择

因为在影响 VRM 效率的诸多因素中,整流管的导通损耗占据了最主要的部分,因此它的选择至关重要。

#### A. 肖特基二极管和同步整流管的比较

从目前的功率半导体元器件的性能参数来看,肖特基(Schotky)二极管和同步整流管(MOSFET SRs)的正向压降已经可以相差无几,当然肖特基二极管因无需额外的驱动使用起来更方便。但是由于它们不同的 I-V 外特性使得在并联使用时

MOSFET SRs 的特性更好。如图 6(a) 所示, 比较单只 Schottky 和 SRs 在通过 70A 电流时的正向导通压降可以发现 SRs 更高一些。但如果比较两只并联即每只流过 35A 的电流, 可以发现 SRs 的正向压降下降 50%, 而 Schottky 只下降 22%。这是因为 SRs 的 I-V 外特性是线性的, 而 Schottky 则是按照指数规律变化的缘故。可以想象并联的管子数目增加时, SRs 的这种优势会更明显。如图 6(b) 所示, 电流为 70A 时, 在并联管子数目增加时, SRs 的损耗明显的比 Schottky 小。此外, MOSFET 具有负温度系数特征, Schottky 具有正温度系数特征, 这使得 MOSFET 具有更好的并联特性。因此 MOSFET SRs 是目前适合作为 VRM 整流器来使用的器件。但这并不意味着目前的 SRs 就能很好满足 VRM 设计的需要, 只是一种目前最好的选择而已。

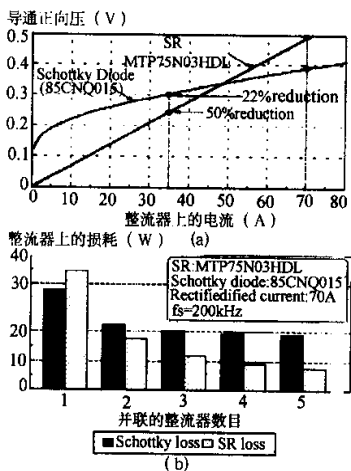


图 6 肖特基和 SR 的压降及损耗比较

B. 同步整流管发展现状、瓶颈及趋势

通常我们总希望 SRs 的导通电阻  $R_{DS(ON)}$

越小越好。以目前低压 SRs 常用工艺结构如图 7 所示, 下式可以说明影响  $R_{DS(ON)}$  的因素:

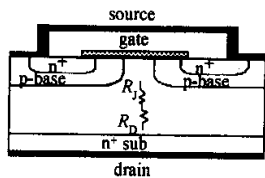


图 7 传统 MOSFET 结构

$$R_{DS(ON)} \cdot \text{Area} = 8.3 \cdot 10^{-9} \cdot BV^{2.5} \Omega \cdot \text{cm}^2 \quad (1)$$

其中 Area 表示的 MOS 的极板面积, BV 表示极间击穿电压。因此 Area 越大, BV 越小意味着  $R_{DS(ON)}$  可以越小。但当  $R_{DS(ON)}$  小到一定程度(几个毫欧), 它的 1/3 甚至一半主要来自封装带来的阻抗。以 N 沟道 STV160NF02 MOSFET (BV = 20V,  $I_D = 160A$ ,

Power SO-10<sup>TM</sup> 封装) 来说, 虽然它的  $R_{DS(ON)} = 1.6m\Omega$ , 但  $R_{DS(ON)}$  的 40% 是由封装带来的。因此需要采用更好的办法来减小这一部分的电阻。另外减小 BV 的值也可以减小  $R_{DS(ON)}$ , 但目前的 MOS 制造工艺使得 BV 的值最多能小到 15V-20V 这个级别<sup>[6]</sup>。由于同时 SRs 的损耗通常可以分为三个部分: 导通损耗、开关损耗、门极驱动损耗, 因此并不是导通电阻越低, 效率就越高。这主要看三部分损耗那一部分或那几部分在总损耗中占居主导地位。以 IRL3803 ( $R_{ds(on)} = 6m\Omega$ ) 为例, 图 8 给出了  $f_s = 300kHz$ ,  $I_{load} = 50A$  时, SRs 上的损耗和并联管子数目的关系。从图中可以看出当管子并联数目为 5 时总的损耗基本达最小值。那么如何衡量一个 SR 的性能呢? 文献[7]研究表明一个 SR 的损耗可以由下式近似表示:

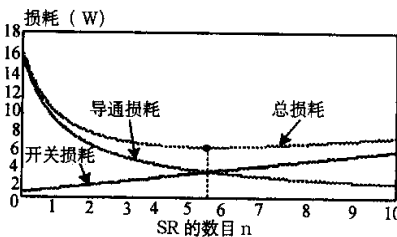


图 8 SRs 的损耗和并联数目的关系

表 1 目前和未来 MOSFET 性能比较

$V_{in} = 3V$ $V_{out} = 1.5V$	FOM (mΩ DC)	单高效率		
		300kHz	700kHz	1MHz
IRL3102**	981	87.6	78.6	73.4
IRL3302**	821	90.0	82.7	78.2
SUD SON03-10*	761	90.1	83.3	78.9
Si4410DY*	750	90.9	84.1	79.9
Si4466DY*	585	92.2	86.0	86.0
Best VDMOS #	216	94.1	90.4	88.2
LDDMOS-SOI #	82	95.5	93.3	92.0

\*\* : 传统的 VDMOS 技术

\* : 沟道型 MOSFET

# : 采用 0.25um 技术后的仿真结果

$$P_{loss} = I_{rms}^2 \frac{R_{on,sp}}{A} + C_{in,sp} A V_G^2 f \quad (2)$$

其中 A 是器件面积 (cm<sup>2</sup>)

$I_{rms}$  是流过器件的电流有效值,

$R_{on,sp}$  代表特定的导通电阻 ( $\Omega \cdot \text{cm}^2$ )  $C_{in,sp}$  表示特定输入电容 (F/cm<sup>2</sup>)

$V_G$  是门极电压  $f$  是开关频率

在这个式子里面, A 是变量, 为了求得损耗最小值 令  $dP/dA = 0$ , 可以得到:

$$P_{loss, min} = 2I_{rms} V_G \sqrt{f R_{on,sp} C_{in,sp}} \quad (3)$$

因此通常用常数  $K = R_{on,sp} * C_{in,sp} = R_{DS(ON)} * A * C_{in}/A =$

$R_{DS(ON)} * C_m$  这个参数来判定 MOSFET 的综合性能,有时也用另一个常数  $FOM = Q_g * R_{DS(ON)}$ ,二者是等价的。就目前的制造工艺来说,因为 VDMOS 技术仍停留在微米水平,这是 SRs 的性能仍不够理想的瓶颈。沟道型 MOS 虽然比传统的 VDMOS 性能好,但其衬底电阻的存在成为它性能进一步提高的障碍。研究表明如采用亚微米技术和超大规模集成技术(VLSI),VDMOS 的性能还有很大的潜力可以挖掘。而且 LDDMOS-SOI (Lightly Doped Drain built on a thin Silicon-on-Insulator) 是一种很适合未来 VRM 的 SRs<sup>[6]</sup>。表 1 中的数据很清楚的比较了目前和未来的 SRs 的性能以及它们分别能够获得的效率。

### 5 滤波器的设计

由于 VRM 的滤波器设计和它的瞬态响应有着直接的关系,因此首先讨论一下它的瞬态响应过程。

VRM 不同于普通 DC-DC 变换器的其中一点就是它的瞬态响应(Transient)要求很高。通常讲提高 VRM 动态响应速度,就是为了满足在快速的负载瞬态转变时,变换器仍能将输出电压稳定在要求的范围内。负载从满载到轻载时称为 Step-down 瞬态响应,相反从轻载到满载时称为 Step-up 瞬态响应。图 9 给出了典型的 Step-down 瞬态转变过程中输出滤波电容上电压的波形。可以看出负载突变在输出电压上引起了两个尖峰,文献[3]研究表明,第一个尖峰主要由输出电容的 ESR 和 ESL 造成,第二个尖峰则和输出滤波电感,控制环等设计有关。未来微处理器的输出电压不断降低,同时允许的输出电压纹波也由原来的 5% 降低到 2% 甚至更低,这使得电压纹波绝对值已经降到很小,比如 3.3V 的 5% 为 165mV,但 1V 的 2% 只有 20mV,而负载突变电流却不断增加,这使得把上面的两个电压尖峰控制在允许的范围内变得非常困难。文献[9]表明,未来微处理器对电流上升/下降斜率的苛刻要求并不是问题,要求的负载电流过大,输出电压纹波过小才是问题所在。实际上从本质上讲,负载电流变化率基本不影响瞬态响应过程主要是因为负载电流变化率已经足够大以至于相对其它回路时间常数来说,都可以把负载的变化看成—一个具有无穷大斜率的阶跃输入。这给滤波器的设计提出了苛刻的要求。

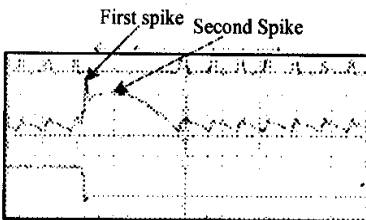


图 9 Step-down 瞬态响应

VRM 滤波器的设计和普通 DC-DC 变换器有所不同,但总的

是思路是除了考虑满足稳态特性,更重要的是要满足动态特性。而且还要照顾到体积不能太大。

#### A. 输出滤波器的设计

输出滤波电感的计算和常规的变换器的设计并无差别,对隔离型变换器一般按照下式计算:

$$L \geq \frac{10 \times (V_{rec} - V_o) \times D}{I_o \times f_s} \quad (4)$$

其中 D: 占空比

$V_{rec}$ : 变压器副边峰值电压

$V_o$ : 输出电压

$I_o$ : 满载输出电流

$f_s$ : 电感工作频率

由于在 Step-up 瞬态过程中输出滤波电容需要提供的能量如图 10 所示,则其可以由下式估算:

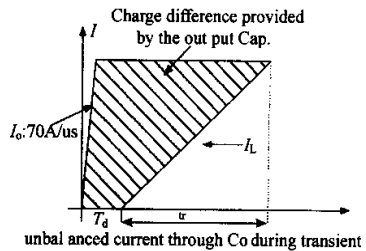


图 10 瞬态过程中电容提供的能量

$$C_o \geq \frac{\Delta I_o \cdot T_d}{\Delta V_o} + \frac{\Delta I_o^2}{2 \cdot SR(I_L) \cdot \Delta V_o} \quad (5)$$

其中  $T_d$ : 瞬态过程中时间延迟

$\Delta I_o$ : 负载电流突变量

$\Delta V_o$ : 输出电压纹波

$SR(I_L)$ : 有效电感电流上升率

如图 11 所示,因为设计时要考虑最坏的情况,即瞬态响应发生在开关管关断的时刻,这样控制回路只有到下个周期才能

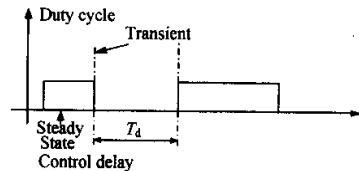


图 11 瞬态过程中时间延迟

作出反应,此时对应的  $T_d = (1 - D) T_s$ 。而图 12 则给出在传统电压控制环控制时占空比在瞬态过程中典型变化曲线。显然占空比不可能在整个过程中保持为最大值 1,因此电感电流上升率也不可能一直保持最大值,故要由一个折合系数  $K$ 。  $SR(I_L)$  的值可以由下式估算:

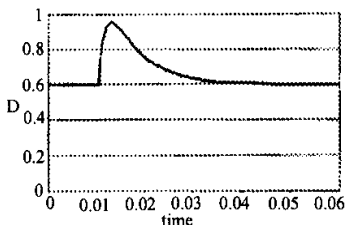


图 12 瞬态过程中占空比的变化

$$SR(I_L) = \frac{dI_L}{dt} = K \left( \frac{dI_L}{dt} \right)_{max} \quad (6)$$

为了分析系统的延迟时间 Td 对输出电容的影响,定义 C-Td 为 Td 带来的输出电容的增加量。图 13 是在开关频率为 300kHz 时, C-Td 和占空比及电感电流变化率的关系曲线。可以看出占空比增加时, C-Td 在输出电容中所占的份额减小;电感电流变化率增加时, C-Td 在输出电容中所占的份额增加。图 14 是在 SR(I<sub>L</sub>) = 10A/us 时, C-Td 和占空比及开关频率的关系曲线。可以看出开关频率的增加可以使得 C-Td 在 C<sub>o</sub> 中所占的份额有效减小。由此可以看出在开关频率较低,电感电流变化率较大时, Td 对输出滤波电容的影响更大。此时如能减小 Td 则能大大减小输出滤波电容。而在开关频率较高,电感电流变化率较小时, Td 的影响较小。

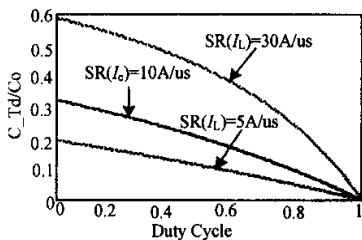


图 13 C-Td 和占空比及电流变化率的关系

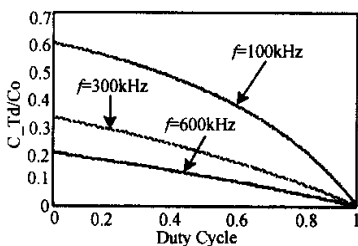


图 14 C-Td 和占空比及开关频率的关系

由上面的分析可以看出,输出电感的设计是从稳态性能出发,而滤波电容则是满足动态性能出发。但是由(5)式可以看出,减小滤波电感,可以减小输出滤波电容。因此从动态性能考虑总希望能尽可能减小输出滤波电感值,从而可以减小图 10 中

的 t<sub>r</sub> 值。目前减小输出滤波电感的方法有:

- ① 提高开关频率,但目前开关频率一般都采用 250kHz,如果开关频率再高就会使开关损耗增加,使得效率降低。
- ② 采用多相并联技术,即 Interleave 技术,它会使总的等效电感的实际工作频率为开关频率和相数的乘积。
- ③ 采用步进电感<sup>[10]</sup>技术,如图 15 所示。

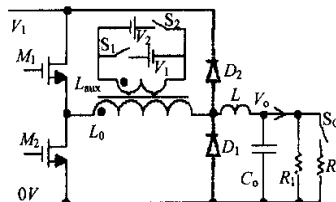


图 15 采用步进式电感的 VRM

它实际上是稳态工作保持正常电感值,而是动态时把电感短路以提高动态响应。

- ④ 另外一种近似理想的很直接的提高动态响应的方法<sup>[11]</sup>如图 16 所示。它比常规的 VRM 多加入 S<sub>1</sub>、S<sub>2</sub> 及一个线性控制单元。在瞬态相应时 S<sub>1</sub>(或 S<sub>2</sub>)导通。这种技术实际上和步进电感技术类似但更直接。

另外从提高动态性能来看是电感越小越好。这对占空比在瞬态响应过程中已经饱和当然是对的。但从图 12 可以看出实际上好的控制设计占空比饱和的时间很短。因此在占空比不饱和时用小信号模型对传统的 Buck 变换器进行分析可以得出:瞬态响应时电感电流变化到负载电流所需时间只和系统闭环转折频率有关,而闭环转折频率是由开关频率决定的。所以一旦确定了闭环转折频率,电感的减小对瞬态响应已基本无影响,但电感的增加会使占空比变化量增加。在满足瞬态响应的前提下,对应于占空比饱和点有一个最大临界电感值,这就是‘Critical Inductance’的概念<sup>[12]</sup>。显然‘Critical Inductance’是综合动态性能和效率所能取得最佳值,因为它即满足了瞬态响应的要求,同时也是电流纹波较小从而效率较高。因此电感的选取是需要考虑动态性能的要求,同时兼顾稳态纹波,效率方面的因素。

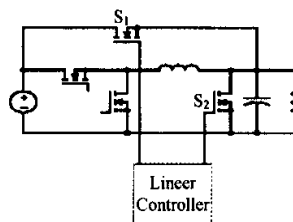


图 16 加入线性控制器的 VRM

实际上面只给出了 Step-up 瞬态响应时滤波器的设计,但

Step-down 瞬态相应时的情况完全类似。最后要根据最恶劣的情况来取值。一般可按照下列关系来判断:

$(V_{in} - V_o) > V_o$ , 对应 Step-down 瞬态响应,  $(V_{in} - V_o) < V_o$ , 对应 Step-up 瞬态响应。

显然, 对固定的输出滤波电感, 当  $(V_{in} - V_o)$  和  $V_o$  相差过大就意味着稳态占空比过小或过大, 这对输出电容的优化设计是不利的。同样的, 从前面分析增加占空比可以减小 Td 对输出电容的影响, 但是占空比过大反而会使输出电容增加, 主要还是因为 VRM 的输出滤波器必须按照最坏的情况设计。以 Buck 电路为例, 从减小输出电容的角度看, 选择  $D = 0.5$  是最价值。图 17 所示是在固定电感电流纹波为 10A, 开关频率为 300kHz 时, 分别对应于 Step-up 和 Step-down 瞬态响应时电感电流变化率与占空比的关系。因为式(5)中电感电流变化率在按照最坏的情况设计时必须取  $\text{Min}(\text{Step-up Slew rate}, \text{Step-down Slew rate})$ , 显然在  $D = 0.5$  时可以取得最小值, 此时对应输出滤波电容最小。因此选择合适的占空比对减小输出滤波电容是很有益的。

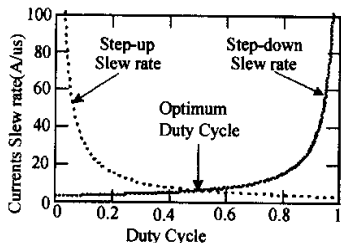


图 17 占空比与电感电流变化率

### B. 输入滤波器的设计

为了避免 VRM 在瞬态响应发生时, 母线电压不会发生剧烈变化而造成对其它供电单元的干扰, 在 VRM 输入端通常都加输入滤波电容。它的设计思路和输出滤波电容类似, 主要考虑母线电压在瞬态响应时仍能保持在允许的变化范围内, 可以按照下式估算:

$$C_{in} > \frac{P_o}{2 \cdot SR(I_{in}) \cdot \Delta V_{in} \cdot V_{in}} \quad (7)$$

其中  $P_o$ : 输出功率  $SR(I_{in})$ : 输入电流最大变化率

$\Delta V_{in}$ : 输入母线电压纹波量  $V_{in}$ : 输入母线电压

当然在输入电压源和输入电容间的寄生电感很小时, 按照此式得出的估算值会偏大; 在输入电压源和输入电容间的寄生电感较大时, 此估算值才较准确。比较(5)和(7)可以看出: (7)式中缺少了第一项, 这是因为输入电容不受系统时间延迟问题的影响。

## 6 其它需要注意的因素

VRM 控制环的设计一个总的原则是要保证系统对瞬态响应反应的快速性。带宽的选择、误差放大器 EA 的输出电压上升率

均要慎重选择才能满足所需的动态性能和输出滤波器体积较小<sup>(4)</sup>。此外电路的布局至关重要。可以想象如果设计一个 100A/1V 的 VRM, 只要在通往负载路径上有一毫欧的电阻, 都意味着效率要降低近 10%。解决的唯一办法就是在精心设计的 PCB 电路板上贴上表贴元件。当然由于对 48V 输入而言, 变压器的引入就要求它自身的损耗要小, 尤其是低压大电流输出使得变压器匝比过大, 此时损耗, 漏感等一些因素都会非常突出, 特别是副边只有 1 匝, 其布局格外重要, 需要精心设计才能满足要求。

## 7 小结

本文分析了 48V 输入 VRM 设计的难点, 并系统地分析了在选择电路拓扑、低压同步整流器、设计输入输出滤波器特别是输出滤波电容和输出滤波电感时应遵循的原则。同时对控制环设计、线路布局、变压器的设计给出了定性的设计原则。

### 参考文献

- [1] Peng Xu, Jia Wei, Kaiwei Yao, Yu Meng and F. C. Lee, "Investigation of Candidate Topologies for 12V VRM", in Proc. IEEE APEC, 2002, pp. 686-692.
- [2] Mao Ye, Peng Xu, Bo Yang, F. C. Lee, "Investigation of Topology Candidates for 48V VRM", in Proc. IEEE APEC 2002, pp. 699-705
- [3] X. Zhou, Peng Xu, F. C. Lee, Alex Q. Huang, "Investigation of Candidate VRM Topologies for Future Microprocessors", IEEE Trans. Power Electronics, vol. 15, pp. 1172-1182, Nov. 2000
- [4] Michael T. Zhang, Milan M. Jovanovic and F. C. Lee, "Design considerations for Low-Voltage On-Board DC/DC Modules for Next Generations of Data Processing Circuits", IEEE Trans. Power Electronics, vol. 11, pp. 328-337, March 1996
- [5] Yuri Panov, Milan M. Jovanovic, "Design and Performance Evaluation of Low-Voltage/High-Current DC/DC On-Board Modules", in Proc. IEEE APEC 1999, pp. 545-553
- [6] Ning Dai, "Effects of Powering Low-Voltage, High-Current Load on Components from Power Design Perspectives", in Proc. IEEE APEC 2000, pp. 803-807
- [7] B. J. Baliga, "Power Semiconductor Device Figure of Merit for High-frequency Applications", IEEE Electron Device Lett., vol. 10, no. 10, pp. 455-457, 1989.
- [8] Alex Q. Huang, Nick X. Sun, Bo Zhang, Xunwei Zhou and F. C. Lee, "Low Voltage Power Devices for future VRM", International Symposium on Power Semiconductor Devices and ICs, 1998
- [9] P. L. Wong, Xunwei Zhou, Jiabin Chen and F. C. Lee, "VRM Transient Study and Output Filter Design for Future Processors", in Proc. VPEC Seminar, 1997, pp. 1-7

(下转第 72 页)

$$D = (M - 1) / (n + M)$$

$D_{MAX} = 0.44$ ,  $V_{QMAX} = V_{IMAX} / (1 - D_{MAX}) = 107V$ , 由此开关管可  
选用耐压 150V 的功率管。

在图 2 中采用了无损吸收缓冲网络, 该网络采用了一组无  
源元件, 也无吸收电阻, 提高了电源的变换效率, 相对于其它有  
源软开关电路降低了生产成本, 简化了电路结构, 它降低了开关  
管损耗, 提高了电路的稳定性, 增强了可靠性。

下面简要分析无损吸收电路的工作原理:

先把电路作如下等效, 图 3 中  $L_{11}$  为  $L_1$  的漏感,  $L_{22}$  为  $L_2$  的  
漏感。

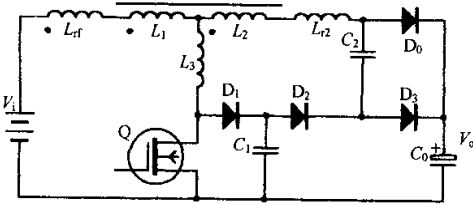


图 3 无损吸收中间抽头 BOOST 电路

- 1) Q 开通时,  $I_Q = I_i - I_o = 0$ , 由于漏感和  $L_3$  的作用, Q 中的  
电流从零开始增加, Q 实现零电流开通, 导通损耗小。
- 2) 当电流  $I_o$  减小时,  $D_0$  的反向恢复电流  $I_0$  的变化率受到  
 $L_R$  的限制, 反向恢复电流  $di/dt$  小, 减小了电磁干扰。
- 3) Q 开通时, 电容  $C_1$  通过  $D_2$ 、 $C_2$ 、 $L_{R2}$ 、 $L_2$ 、Q 放电,  $C_1$  上的电  
压  $V_{C1}$  下降, 当  $V_{C1}$  下降到零时,  $C_1$  中的能量完成转换到  $L_{R2}$  和  
 $C_2$  中。
- 4) 当 Q 关断时,  $I_Q$  通过  $D_1$  继续流向  $C_1$ , 由于  $C_1$  的电压不  
能突变, Q 实现零电压关断, 关断损耗小。二极管  $D_1$ 、 $D_2$  使  $V_{C1}$   
的电压最终箝位于输出电压  $V_0$ 。

### 3.2 实验结果

为了验证带中间抽头的 BOOST 电路工作可靠性, 采用此方  
案为用户制作了一台 1KW 的样机, 所用的主要数据为:

输出直流电压: 330V

输出电容  $C_0 = 680\mu F$

开关频率: 80kHz

功率管: FQA90N15

升压电感的匝数比:  $N_1 : N_2 = 8 : 64$

效率曲线[图 4]

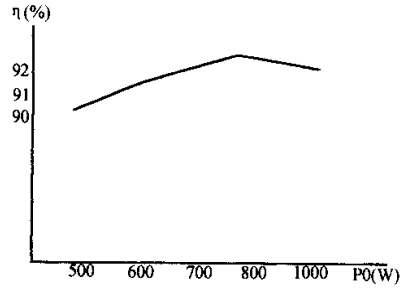


图 4 样机电源效率曲线

## 4 结论

由以上的分析可以看出, 带中间抽头的 BOOST 电路在占空  
比变化不大的情况下能获得较大的电压变比, 可以用耐压较低  
的开关管来获得较高输出电压, 降低生产成本, 同时由于  $L_{R2}$   
的存在, 大大减小了二极管  $D_0$  的反向恢复电流, 减小电磁干扰。  
开关管 Q 实现了零电流导通和零电压截止, 减小了开关损耗。  
该变换器适合输入电压不太高的场合, 例如用于 UPS 的前级实  
现升压功能。本文所提方案已经申请国家专利。

本方案还可用于其它非隔离的变换电路。

### 参考文献

- [1] 张占松, 蔡宣三, 《开关电源的原理和设计》电子工业出版社  
1998 年第一版

### 作者简介

李明仕, 男, 1970 年出生, 现为武汉五星电子有限责任公司  
总工程师, 主要从事中、小功率 AC/DC、DC/DC 开关稳压电源、恒  
流源的研制, 以及特种电源的研制。

(上接第 46 页)

- [10] N. K. Poon, C. P. Liu and M. H. Pong, "A low cost DC-DC step-  
ping inductance voltage regulator with fast transient loading response", in  
Proc. IEEE APEC, 2001, pp. 268-272
- [11] Switching Power magazine by Ridley Engineering, Inc., "Out of  
Silver Box", on the site of <http://www.switchingpowermagazine.com/articles.asp>
- [12] P. L. Wong, F. C. Lee, P. Xu and Kaiwei Yao, "Critical Inductance

in Voltage Regulator Modules", in Proc. IEEE APEC 2002, pp. 203-209

### 作者简介

梁小国, 男, 1975 年 5 月生, 硕士生。现就读于南京航空航  
天大学航电力电子与电力传动专业, 研究方向为小功率低高压大  
电流 DC-DC 变换器。

危建, 男, 1975 年 10 月生, 硕士生。现就读于安徽工业大学  
电力电子与电力传动专业, 研究方向为小功率低高压大电流 DC-  
DC 变换器。