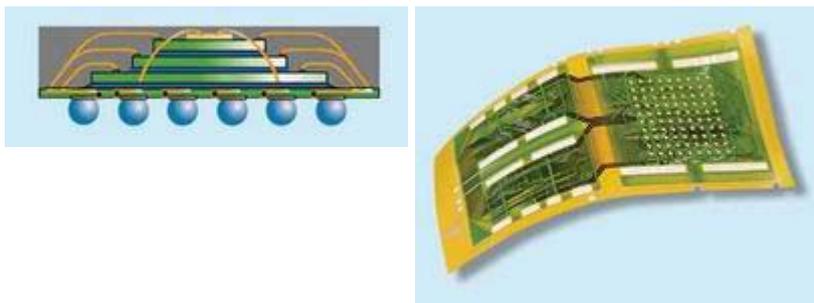


## Vishay 新型功率 MOSFET 采用反向导引 TO-252 DPAK 封装

Vishay Intertechnology 控股的 Siliconix 公司日前宣布推出采用反向导引 TO-252 DPAK 封装的新型 TrenchFET 功率 MOSFET 系列产品。凭借反向成型的接脚，采取「SUR」封装的 TrenchFET 能使该产品反向黏着于 PCB 上，即将散热器黏着于顶部以产生更好的散热效果。



由于功率应用产生的热量能散发到空气中而非 PCB 上，与采用传统接脚的 DPAK 功率 MOSFET 相较，此类功率 MOSFET 具有更小的有效接通电阻值以及更大的电流作业能力。同时，更好的散热效果能消除电路板的热应力，因而提高该产品的整体可靠性。

此款 SUR 功率 MOSFET 适用于桌上型计算机的核心直流变直流转换应用，使 VRM 模块与 PC 主机板实现「超绿色」的设计。应用该 SUR 功率 MOSFET 后，VRM 模块与 PC 主机板可更有效地利用功率，而进一步减少所需的组件。

SUR 功率 MOSFET 系列产品，包括 20VSUR70N02-04P、30VSUR50N03-06P、SUR50N03-09P、SUR50N03-12P 以及 SUR50N03-16P 的接通电阻值范围为 4mΩ 至 16mΩ，适用于直流变直流转换器的同步及控制 FET。

Siliconix 可提供 SUR 系列反向导引 TrenchFET 功率 MOSFET 样品及量产。

## Intersil 两款超小型抗热封装 100V 半桥驱动器 IC 开始供货

Intersil 公司宣布采用新型超小抗热封装的 HIP2100 和 HIP2101 高压半桥 MOSFET 驱动器 IC 现已开始供货。新的 8 接脚裸露片盘(EP 或 E-pad)SOIC 封装增强了散热效率，而 4 X 4 mm 双扁平无铅(DFN)封装则使其成为超小型的 100V 半桥 MOSFET 驱动器。

该产品适用于电讯和数据通讯电源、航空 DC/DC 转换器、双开关正向转换器和主动箝位正向转换器。采用 4 x 4mm DFN 封装的产品现已开始向客户提供样品，将于近期内全面投产。该超小 100V 半桥 MOSFET 驱动器允许设计人员按照 IPC-2221 设计标准来设计印刷电路板的布线。为确保系统的长期可靠性，产品使用指南要求高压节点间的间距达到 0.6mm。

## 堆栈式储存模块封装技术的发展趋势

无线产业技术正以令人兴奋的速度向前发展，市场对成本降低的无止境要求，驱动移动电话制造商不断致力于减少电话的体积和重量，而与此同时，移动电话却需要配备大屏幕彩色显示屏幕、照相机、视讯流、MP3 和多种下载铃声等等功能，新功能的出现直接导致额外内存的大量增加，本文将展示在相同的封装内堆栈更多的硅组件的崭新封装技术及其发展趋势。

电视及视讯点播的新的应用推动了超小型及多功能移动电话的普及，具有彩色屏幕和照相机功能的手机热销于全球各地市场，因此出现了对堆栈式内存解决方案的需要，无线储存模块在全球的应用日益普及，这一点在亚太地区尤其如此。每个移动电话制造商要求采用不同的芯片组合，当生产量低的时候还不是问题，但是随着中国大陆、台湾地区、韩国和亚太地区移动电话制造商的迅速增加，对堆栈式封装技术的采用，用户定制堆栈式产品的模式使供应链面临更大的风险。对于移动电话制造商而言，要在产品开始投产前准确预测的内存配置非常困难，因为激烈的市场竞争环境常迫使生产厂商在生产前最后一刻对产品软件及性能加以改变。要减少移动电话制造商的风险，业界需要来调整商业模式，使堆栈式组件更为标准而且更利于业务的拓展。

为将堆栈式内存产品以更快的速度投入市场，英特尔开发了一种称为‘分层封装’的方法，该方法对一组通过预先品质检验的产品，按照移动电话制造商的需要进行迅速配置和分层封装，因而为移动电话制造商提供了更大的灵活性，使他们能够推出更多种类的产品。分层封装内的内存都使用相同的标准占位空间，因此，移动电话制造商就有可能对几种型号手机和配置采用相同的电路板。

## 封装堆栈技术

无线原始设备制造商始终在寻找一种减少功耗和尺寸的同时增加内存密度和性能的方法，人们称之为 2M/2m 法则，我们的目标是使 m 更小时 M 更大。在这种情况下，它就意味着在减少功耗(milliwatt)和包装尺寸(millimeter)的同时，增加处理速度(MIPs)和内存容量(Mb)。

大多数在日本使用的原始堆栈式内存是由含有一个闪存和一个 SRAM 内存的双芯片堆栈式内存组成的。目前，采用三、四、或五个芯片构成的堆栈式内存已经相当普遍(图 1)。而移动电话中多液晶显示器(一个主液晶显示器，一个用于来电显

示)的出现对封装高度产生了压力, 并对 IC 制造商提出了挑战, 迫使他们寻找一种在增加内部芯片的同时使封装更薄的方法。



这一技术使得在更薄的封装内安装更薄的晶圆 / 芯片和高级的封装底板成为可能。包括英特尔在内的很多公司可望在近期使晶圆的厚度降低到 0.002 到 0.003 寸(图 2), 这相当于约一张纸的厚度! 使晶圆薄到这样的程度看起来有一点不可思议, 但真正的挑战在于封装这些非常薄的芯片的制程。

过去是在厚而硬的硅玻璃片进行封装, 而现在要将如此松软而薄的硅条封装起来, 就要对大部份的封装设备和加工过程进行重新评估以对这些超薄芯片进行处理。另一个重要因素是封装底板。它们也须变薄以减少封装厚度、线迹和空间宽度, 使得在不同类型的硅上进行更复杂的布线成为可能。

目前最普及的封装底板是一种多层结构, 因为两或四层金属层的布线能力、成本和可用性比较好。英特尔公司正致力于改进这种技术, 目的不仅是使每一层更薄, 而且也使得线迹、空间更为紧密并且实现最大堆栈灵活性的穿孔形式。随着无线手持系统复杂度的日益提高, 在单个封装内将多种类型芯片连接在一起是无线手持系统设计取得成功的关键。

为了满足无线制造商对高度复杂、高密度和超薄内存子系统的需要, 英特尔超薄堆栈芯片级封装(Intel UT-SCSP)技术由此产生。2003 年这一封装技术已经做到将五个超薄内存芯片堆栈在 1.2mm 的厚度内, 2004 年可望封装达到 1.0mm 的厚度(图 3)。英特尔堆栈 CSP 产品具有英特尔 StrataFlash 内存, 是目前最低功耗的多级单元内存, 它的容量是单一储存单元储存数据量的两倍, 它属于英特尔第四代多级单元技术。这种高密度内存的工作电压是 1.8 伏, 为了满足无线手持装置的需要, 性能、电池寿命和储存空间都得到了极大改进。

StrataFlash 无线内存的芯片尺寸相当于过去采用传统蚀刻制程生产的每单元一位产品的芯片尺寸的 1/4。透过将 StrataFlash 无线内存和新的超薄 CSP 堆栈封装技术相结合, 英特尔可提供非常小而紧密的堆栈产品方案。大部份产品以非常小的 8x10 或 8x11mm 芯片级封装推出。

## 未来封装技术的发展趋势

封装到封装堆栈与芯片堆栈及全整合产品之间一直存在争论, 相互比较优缺点不是什么问题, 因为它们都有各自的市场。选择哪一种封装制程完全取决于硅良率、对芯片的进行老化测试的需要、电话制造商的平台稳定性和成熟度。在产品的生命周期早期, 采用封装到封装堆栈技术(图 4)特别有帮助。

在这个时期, 产品要求不那么稳定, 伴随整个产品的生命周期可能随时需要作出改变。具有通用占位空间的封装到封装堆栈技术使得供货商可对市场要求的变化迅速做出反映并且仍能保证上市时间。封装到封装堆栈技术能够在某一块芯片测试良率不高的情况下, 或需要专用流程处理的情况下, 仍然能够做到硅片的堆栈。

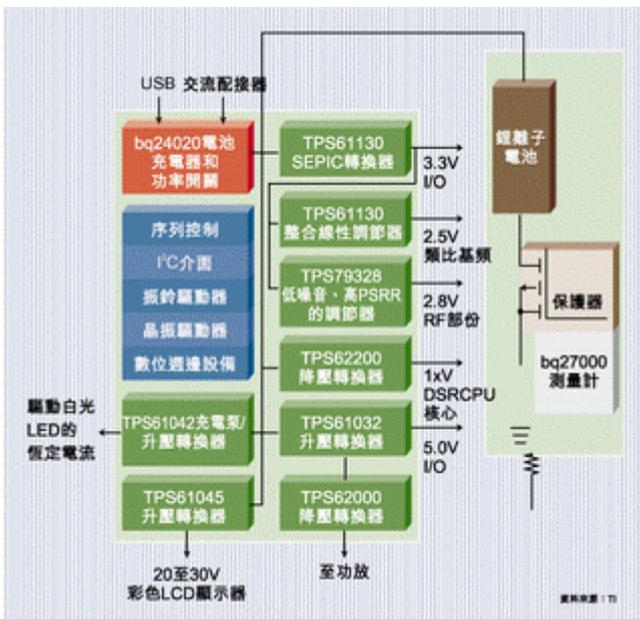
对堆栈的每个硅片进行个别测试并消除坏片的能力, 将决定产品的成本和实际的良率。对于某些产品而言, 如不考虑产品的生命周期, 由于灵活性和测试的有利条件, 封装到封装堆栈可能是最好的方案。通常说来, 由于某一市场更加成熟, 它也可使产品的生命周期的某一部份更为稳定。这样一来, 对于高度灵活的产品的需要就有一定程度的减少。

采用这种技术, 一些畅销的产品产量将增加, 滞销的产品将日落西下。在产品生命周期的这个阶段, 制造商能够集中精力于符合产业需要的几种畅销产品的性能改进、降低成本和缩小尺寸。这也是全整合和高性能硅方案的一种理想应用, 由于可以堆栈其它功能作为选件, 因而能够涵盖全部无线产品的功能范围。将来无线手持电话制造商可能会用到三种整合的方案: 堆栈硅, 封装到封装堆栈和具有整合功能的硅, 无线电话制造商的大部份产品将继续从这些技术中大获益处。具有大量多种封装和硅整合工具以及符合无线手持产业需求的制造经验是至关重要的。

作者: Ron Bauer  
封装市场经理  
Intel 公司

## 混合讯号整合是未来可携设备电源管理的关键

可携式电子产品的消费者不仅要求更小的外型尺寸和更长的工作时间, 而且要求更多的功能。但更多功能通常意味着更多的功耗。例如, 3G 智能手机将提供更多的功能, 但 3G 视讯通话的功率需求几乎是 2G 语音通话的两倍。



在充电电时，锂离子电池的标称电压是 3.6V，该电压随着电池的消耗而下降。在 2G 手机中，电池一般在 3.3V 就停止工作(手机被关闭)。因此，在手机的使用过程中，线性调节器被用来将电池电压变换到更低的电压，以适应各个供电电平(power rail)的需要。3G 手机的功率需求更大，这可能导致电池被更快耗尽，除非我们找到一种更有效的方法来提供供电电平。设计这些供电电平的系统开发人员必须平衡以下相互冲突的目标：最小封装的电源芯片与不断增加的功率需求；最长的电池寿命和可接受的电源噪音 / 纹波与最佳的效率。幸运的是，最新的电源芯片和电源管理技术以及半导体制程和封装技术的最新进展可以满足这些要求。

锂离子电池管理技术由三部份组成：充电控制、电池监视和电池保护。充电控制 IC 已经取得了重大发展，从具有外部通路组件的线性控制器到具有整合开关的开关控制器。电池监视 IC 类似于汽车的油量表，其整合的微控制器透过一个直接与 DSP/CPU 相连的简单通讯接口，向后者提供剩余容量、用完之前的时间、电压、温度以及平均电流值等信息，而 DSP/CPU 必须根据这些数据运算剩余的电池使用时间。笔记型计算机的电池监视和保护 IC 通常与

电池封装在一起，这种做法很可能也将在行动电话和其它手持设备上流行。

设计人员必须决定用于系统各个部份的电源转换 IC 的类型。可供选择的 IC 包括基于电感的开关转换器(具有整合 FET)、无电感的开关转换器、电容器型充电泵或线性调节器。每类转换器与其它类型相较都具有自身的优势。就效率而言，基于电感的开关转换器具有最高的效率，其次是充电泵和线性调节器。反过来，线性调节器不会产生输出纹波噪音，而充电泵具有一些输出纹波，开关转换器则具有相对最大的输出纹波。就整个解决方案的尺寸而言，线性调节器是最小的，通常仅需要一个输入和输出电容器。除了输入和输出电容器之外，充电泵需要一个或两个额外的‘执行’电容器，而开关转换器需要一个封装大小不等的电感器。为了使开关转换器达到最大的效率，把一个更高的供电电平下降到一个更低的供电电平通常比把一个低压供电电平上升到一个高压供电电平更有效。

智能手机的不同组件具有不同的电压、电流和噪音需求。例如，射频部份需要一个具有极低噪音和高电源抑制的供电电平来保证最佳的发射和接收性能。因此，虽然效率较低，但不产生输出纹波的线性调节器仍然是这种供电电平的最佳选择。与之相反，DSP/CPU 核心电压已经下降到 1V 左右。所以为了提高此供电电平的效率，合适的方案是基于电感的开关降压转换器。用于给显示屏提供背光的白光 LED 则可以由充电泵或者基于电感的升压转换器来供电。

有助于最佳化效率的各种电源管理技术可以在系统各个部份发挥作用。例如，3.3V I/O 可以由一个高效的 SEPIC(单端初级电感转换器)升压转换器来供电，它允许锂离子电池工作至最低电压(大约 2.7V)才耗尽。由调节器提供的电流电平是来自 3.3V 电源，因而提高了效率。

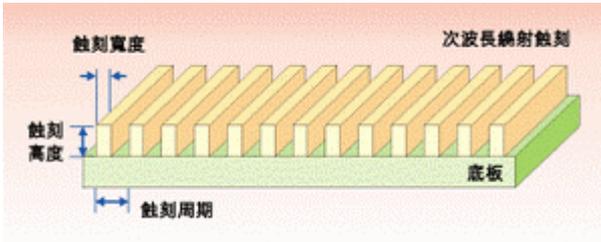
动态(或自适应)电压调节(DVS)技术透过 I<sup>2</sup>C 等通讯总线，将处理器和转换器连成一个死循环系统，它可以动态地将电源电压调整到正常工作所需的最小电平。由于处理器的功耗正比于其电压的平方和工作频率，因此如果利用 DVS 和频率调节技术，DSP/CPU 的电源效率就能够得到大幅提高。

功率放大器为了在最大发射功率下获得最高效率而做了最佳化。因为大部份手机在工作时比较接近基地台，所以手机射频可以把发射功率降低到合格通讯品质所需的最小值。透过利用 DVS 技术和最最佳化地调整功放的电压，电源效率可以提高 10% 到 20%。

最新的开关转换器设计具有非常低的输出纹波，而且许多设计具有抗振铃电路以减少开关节点的电磁干扰(EMI)。尺寸不断缩小的制程技术可以生产出更小的 FET，这些组件不仅具有更小的芯片面积和封装尺寸，而且具有更低的栅级电容器和更快的开关速度。对基于电感的开关电源而言，更快的开关速度意味着更小的电感。与此同时，最新开发的芯片制造制程具有更低的漏电流和更低的阻抗(有时采用铜发配)。这分别意味着更低静态电流的 FET 和更低导通电阻的 FET，最终结果都是获得更高效率的组件。

新型封装允许在更小的封装里提供更多功能和容忍更多功耗。例如，一个具有整合 FET 通路组件的锂离子线性充电器可以被封装在 3x3mm<sup>2</sup> 的 QFN 封装中，在适当的环境温度下，该封装允许的最大功耗达 1.5W。此外，便携式电子制造商正要求把最新的和已有的电源 IC 封装在无接脚的芯片级封装中。

尽管分离方案似乎更适合手机各个部份对电压、电流和噪音的不同需求，但为了节省空间和减少整体成本，要求把其中一些分离组件整合在一起。整合所遇到的许多障碍，尤其是在同一个芯片上整合高电压和高密度制程的能力已经被克服。



数字基频部份需要高密度制程来完成数字讯号处理，而模拟基频和电源管理部份需要高电压组件。RF 部份，尤其是 PLL(锁相环)需要针对高频工作最佳化的 BiCMOS 组件。从历史上看，数字电路设计者只关注推动高密度制程的发展，所以需要高电压组件的电路只能采用不同的制程来实现，这意味着分离的数字芯片。

最近，半导体制造商不仅在开发针对高密度和高速度应用、具有更小栅极长度的单 BiCMOS 制程，而且还竭尽所能扩展组件的高电压能力，以用于模拟和电源应用。有关整合的另一个问题是有限的灵

活性。然而，新的制造制程技术(包括用于对输出供电电平编程的整合 EEPROM 和后封装调整)使得对现有芯片(如具有不同固定输出电压的芯片)进行简单的修改变得更容易、更快速和更便宜。

事实上，最新的制程技术使得整合、修改或利用现有的分离芯片设计，以产生不同等级的整合芯片变得更容易。例如，普通双开关转换器 IC、高 PSRR、低噪音的双线性调节器、专用的 TFT 显示器和白光 LED 电源以及手机、PDA 和数字静态照相机的多任务电源解决方案都已经上市或者将在今年底推出。针对特定产品的电源解决方案已经整合了周边组件，如用于行动电话的振铃和蜂鸣器控制器以及用于 PDA 的通用 I/O(GPIO)。

作者: Jeff Falin

可携电源管理产品部应用工程师

TI 公司

## 基于现有半导体制程的微型光通讯组件制造技术

在光学组件制造领域，人们一直试图将光放大器、激光器、隔离器、光开关、滤光器和可调性等组件或功能整合在一个光模块上，并用现有的半导体制造制程技术实现光组件的大量产，因而大幅度降低光学组件的成本。本文概要介绍了次波长光学组件(SOE)制造技术，它向人们展示了微型光通讯组件制造技术的重大变革，值得电子产业的密切关注。

目前基于晶圆的奈米级加工技术已进入商用化阶段，使得被称为次波长光学组件(SOE)的最新一代光学组件的实现成为可能。由于 SOE 的实体结构远小于光波长，其高精密度表面结构与光相互间的实体作用能够促成光处理功能的重新排列。与现有的许多技术相较，这种排列方式能够产生更高的密度、更佳的性能和更高的整合度，因而根本上改变光学系统设计方法。

不过就像任何其它新技术一样，设计师必须清楚地理解该技术所包含的基本概念及其潜在影响(对光学组件设计方面)，同时也要了解新技术革命的意义。

### 传统技术的限制

整合光学组件和模块设计在离散光学组件的组合方面的复杂度已获得大幅提升，光学材料及其化合物的属性、智能的光学设计和先进的排列组装法的灵活运用不仅提高了组件和模块的密度，还降低了成本，提高了可靠性。但局限性也很明显。许多离散光学组件的自然属性比较固定，大幅限制了光组件设计师的灵活性，并减少了设计间的可转移性。这就是业界推出 SOE 的原因所在。

SOE 是奈米技术在光学组件上成功的运用，这些组件能够提供优秀的光学属性，同时能方便地整合其它不同配置的光学材料。另外，它们能够自动整合，允许设计师灵活组合光学功能，因此可以减少组件数量，提高可靠性，增加光学组件设计灵活性。透过控制光束路径中的奈米结构还可以获得各种不同的光学效应。

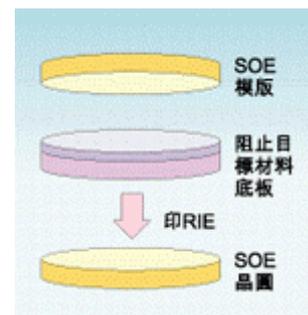
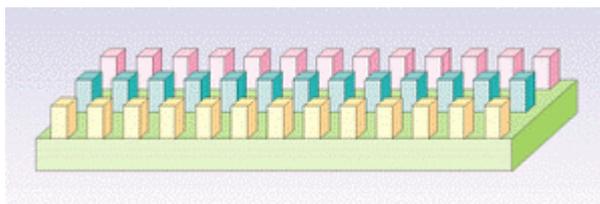
### 动作机理

光与次波长光栅结构(尺寸要比入射光波长小一个或多个数量级的一维或多维光栅)间的相互作用可以产生大量可控制的效应。

为了解释这些效应，请参考图 1 所示的一个简单次波长光栅结构，它包含一个构筑于光学底板上的次波长光栅结构。当光正常入射到结构上时，光的传送部份(即透过光栅结构的部份)会受到影响。藉由调整光栅结构的尺寸、形状和间距就可以改变对通过光的影响。特别是图 1 所示的一维光栅结构，透过选择合适的尺寸就可以形成极化器、波盘或极化型滤波器。利用图 2 所示的二维光栅还能获得更复杂的效应，如独立于极化功能的滤波器。这些结构统称为 SOE。

由于入射光束的直径通常要比光栅结构大得多，对发送光的影响效果实际上就是光与光栅之间多种局部作用的统计和。例如，如果一束直径为 300 微米的光束入射到图 2 所示的二维光栅上，光栅结构尺寸大约是 100×100 奈米，那么将有超过 100 万的奈米结构会被照射到。因此改变藉由入射光束前面的光栅空间尺寸可以有效地控制光学处理效应。

SOE 的实体性能取决于描述光与光栅结构间相互作用的麦克斯韦方程边界条件的严格运用。在电信领域使用的波长(980-1800nm)区间内，那些要求达到这些效应的光栅结构的一些尺寸必须要达到十至数百奈米等级。在更小尺寸时，还可以观察到单个电子或量子效应。



虽然反射、折射、绕射和干涉原理描述了传统光学组件的行为，但对 SOE 来说描述传统光行为的方程已经不能完全覆盖所有现象，因为这时会有量子机械效应产生。

在许多应用中次波长结构被作为奈米级绕射光栅，它与入射光的互作用可以用严格的绕射光栅理论和上面提及的麦克斯韦方程边界条件来建模。考虑到折射情况，在光学组件中会产生一种重要特性。一般情况下要获得不同的折射指数必须使用不同的材料。但在 SOE 中只需调整实体结构就可以用相同的材料获得不同的折射指数。例如，可以用 SOE 结构制作‘人工’双折射效应。假如  $a$  代表光栅周期， $t$  代表光栅宽度，那么 TE 波的折射指数  $n_e$ (电子向量平行于光栅信道)和 TM 波的折射指数  $n_m$ (电子向量垂直于光栅信道)将分别表示为：

这里  $n_1$  代表光栅材料的介电常数， $n_2$  是填充材料的介电常数， $f$  是光栅填充系数，它被定义为  $f=t/a$ 。藉由选择 SOE 材料和调整光栅填充系数就可以获得比标准组件大得多的双折射效应。

许多 SOE 都具有周期性图案，因此把它当作光栅看待。当投射光垂直于光栅表面时，传统的光栅公式可以被表示为：

公式中  $a$  代表光栅的周期， $Q_m$  代表绕射角， $m$  是光栅阶数，而  $\lambda$  则是波长。当光栅周期小于工作波长时(通常 SOE 都具有这样的特性)，入射光仍然从属于光栅绕射。然而，入射光的所有绕射光能进入零阶状态，在实体空间将不存在高阶光能。因此 SOE 在很宽范围的波长和接受角情况下具有相对一致的性能。

## 为什么现在才推出 SOE?

既然有这样的灵活性，为什么 SOE 到现在才投入电信市场呢？主要原因是可制造性。虽然这些光学效应的研究历史至少有 20 年了，但一直没有开发出性价比非常好的光学组件制造方案。在实验环境中制作次波长光栅结构一般需要采用电子束蚀刻等高能技术，或者特别高精密度的制程控制，如透过‘自排列’产生奈米结构。其次，制作大量奈米结构图案的制程一致性必须要好。许多制作奈米图案的技术只能产生有限的若干图案。

奈米印刷蚀刻技术可以克服这些限制因素，它具有 4 个关键步骤：产生印有想要奈米结构负片的模版；将这个模版刻印到覆盖有保护层(抗腐蚀剂)的晶圆上；分离模版，用活性离子蚀刻法仔细地去除保护层，以便将奈米图案传送到目标材料上(见图 3)；

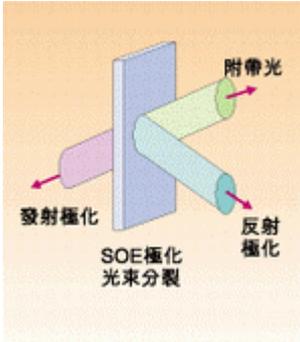
然后，再采用后刻印制程增加金属层来增强性能，并提供保护层使其在标准制造环境条件下能被正常作业。随后进行测试和分块切割。由于奈米刻印法是透过直接的实体制程而不是能量束形成奈米结构的 SOE 的，因此保护层中的波绕射、散射和干涉不会影响制造过程。

二氧化硅通常用来产生具有想要奈米结构图案的模版。可以用包括电子束蚀刻在内的多种技术制作想要的奈米结构负片。由于模版是可以复制和再使用的，因此可以用复杂的多步骤多制程方法制作想要的奈米结构。由于不需要对每批产品晶圆重复那些最初的加工步骤，因此一个特定 SOE 的整个生产过程可以分步分期完成。在相同的制造制程下可以利用具有不同奈米结构图案的不同模版产生全系列的 SOE 产品。

未封装的 SOE 可以用于自由空间设备，最终的 SOE 是一块在底板的一面有一个次波长光栅的光学芯片，如图 1 所示。整个组件的厚度取决于底板的厚度。

## SOE 的应用实例

使用 SOE 的实际效果可以透过一个特定实例—SOE 极化束分离器 / 合成器或 PBS/C(见图 4)获得。藉由正确选择一维次波长光栅结构的尺寸，就可以像所述的那样发送一个极化波，反射另外一个正交的极化波。从这个角度看，次波长绕射光栅只



表现出零阶绕射，因此具有大量有用的成分特性，包括很宽波长范围内的一致性能(光栅结构在 980nm 到 1,800nm 波长范围内的性能是相同的)以及比正常值偏差高达 20°的宽范围入射角。

SOE PBS 的典型性能参数表现在反射束与发射束上的插入损耗均小于 0.13dB。发送束和反射束的消光比分别高出 40dB 和 20dB。SOE 的灵活性还允许人们围绕这些参数中作出权衡。

PBC/C SOE 带来的好处主要体现在两个方面。首先，SOE 在光学组件设计中具有结构上的优越性。由于它们的体积都比较小，因此能作出更紧密的组件设计。由于 SOE 能够和其它组件紧邻摆放达到空闲空间的最小化，因此能减少插入损耗。

不同组件有不同的光处理方式，例如极化束分离器就是一个在小于 1 微米厚度上获得 180°分离效果的反射组件。正是由于这些不同方式的存在，才使设计师能够透过光束路径的布局简化组件设计。另外，SOE PBS 的自然反射特性也使其能支持与雷射发送器和光纤放大器有关的高能量设备。

其次，还有制造方面的便利。宽接收角能够简化校正制程，减少制造时间和成本，同时还能利用自动化的‘选取置放’制造技术。SOE 具有很好的强韧性：透过正确选择材料可以使它们承受-200°C 到 400°C 的温度范围，因而适应各种不同的制造制程环境。最后，尺寸的减少还可以简化封装制程，降低封装成本。

目前 SOE PBS/C 已经被广泛使用于光纤放大器、循环器和隔离器、交织器、光交换机和可变光衰减器等设备。与传统技术相较，它的小尺寸和低功耗特性是一大特色。

## SOE 的未来

目前推出的设备只是 SOE 的最基本应用，今后 SOE 还将向其它方向不断发展。基于 SOE 的块制作功能将被同时导入芯片和封装组件设计中。透过论证的 SOE 功能涵盖了极化器、极化束分离器 / 合成器、滤波器、光检查器和光子带隙设备，还可以对交换、衰减和调谐进行动态控制。

透过堆栈 SOE 层制作汇集式光效应可以开发出单片整合的 SOE 产品。奈米刻印法允许在 SOE 上直接置层，无需再采取层压技术。将 SOE 与光学活动层结合起来可以设立光控电路，因而产生复杂的‘片上’光学组件。多层 SOE 整合技术也表现出色，它能把光检测器数组与滤波器整合在一起制作动态的光反馈回路。

由于 SOE 具有自兼容性，能利用晶圆级制造技术生产，且组件与组件之间很少有区别，因此实现它们相对比较容易。

作者: Y.K. Park  
系统工程高级总监  
Email: ypark@nanoopto.ocm

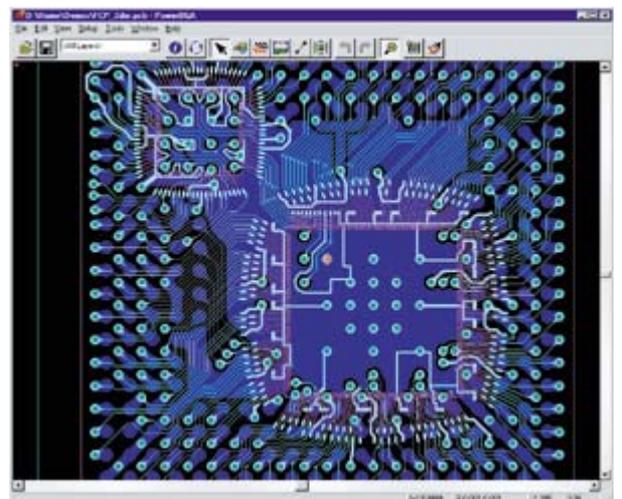
Hubert Kostal  
行销副总裁  
Email: hkostal@nanoopto.com

## 利用新型覆晶芯片封装克服 MCM 的缺陷

多芯片模块虽然可以提供极高的互连密度，但其高昂的成本一直限制了它的使用。近年来研究人员又提出了一种和多芯片相对的覆晶芯片封装概念，它克服了以往设计的不足，能满足目前电子产品在成本和功能上的要求。

90 年代初期，多芯片模块(MCM)曾被认为是最佳互连封装技术，可以满足不断发展的电子工业的要求。MCM 技术将多个裸片固定在一个基板上连在一起，裸片之间非常接近，可以减少互连延迟。

当时一个典型的 MCM 可能含有二十多个裸片，密封在一块低温共烧陶瓷(LTCC)或沉积基板上。MCM 通常用于军事、航天或高性能计算机设备上，这类应用一般不太计较价格。虽然 IBM 和富士通都在他们的大型计算机中大量使用了 MCM，但这种技术从未在商业上达到预期的效果。由于裸片测试和基板返修方面的原因，MCM 一直无法在 PC/工作站这个利润非常高的庞大市场中得到广泛采



用。此外只要一个组件失效，基板连带上面好的组件都得扔掉，导致成本增加，这是其迟迟无法商业化的主要原因。

最近两三年来，MCM 技术藉由覆晶芯片封装(FCP)的形式获得了新生。FCP 有时也称为多重芯片封装(MCP)，已有越来越多的公司出于技术和商业的原因正在接受 FCP。虽然这些 FCP 看起来与它们的单芯片同类没什么区别，但它们确实完全不同于 90 年代初期的 MCM，今天的 FCP 不再使用多达二十个的裸片，一般只用 2~4 个裸片装在球栅数组封装基板上(图 1)。这一‘再生’应部份归功于裸片测试和运送技术的改善以及低成本高性能基板的出现，随着 FCP 逐渐成为单芯片系统(SoC)的替代方案，进一步还产生了系统级封装(SiP)

## 替代单芯片系统

现在拥有最新制程技术的半导体制造商们可以在单个硅芯片中制造出上千万个闸电路，芯片设计人员不再为闸的数目发愁，而是要考虑如何充分利用所有的闸电路。由于产品寿命周期缩短以及面市时间压力增大，从零开始设计每一个闸电路已变得不太实际，因此许多组件制造商转而采用预先设计好的电路单元，即通常所说的知识产权(IP)。使用 IP 模块可以将不同来源的电路组合在一个芯片中，促成了 SoC 的出现。

虽然 SoC 潜在的性能非常引人注目，但在许多实际应用方面还很不明确。一个 SoC 设计可能需要从多个供货商处购买使用不同生产制程的 IP 模块，例如将 0.25  $\mu\text{m}$  制程设计的微处理内核和用 0.18  $\mu\text{m}$  制程设计的开关和内存内核结合在一起，或者在 SoC 中采用砷化镓(GaAs)和锗化硅(SiGe)混合半导体技术等等，这些都是它所面临的问题。

IP 模块的供货情况和价位也需要考虑。有些场合只能使用高性能 IP 单元(如 DRAM、RAMDAC 等)，这些仅有少量硅芯片制造厂才能生产，结果就得不到最好的价格，甚至还会出现只有一个供货商的糟糕局面。对于设计灵活性至关重要的快速变化市场来讲，这种硅芯片整合的成本太过高昂。

FCP 作为 IP 再使用的一种替代技术，没有 SoC 在商业和技术上的缺点却拥有与其相同的优点。在 FCP 中，IP 模块按它们各自的裸片方式制造并组合在一块高性能基板上，这种系统级封装在业界不像 SoC 那样名声不好，因此很多半导体和系统制造商都使用 FCP 作为控制风险和对市场提供新产品的一种方式。

## FCP 的优点

由于印刷电路板(PWB)对其上面组件性能的影响不断增加，半导体制造商也开始涉足 PWB 领域。组件供货商在出售芯片组时会附上详细的技术资料，介绍组件放置、布线层以及线路板布局限制等方面的内容，当用户抱怨芯片组性能不能达到要求时，一般都可归因于他们的 PWB 布局与供货商建议的不符。藉由以 FCP 形式提供芯片组，供货商能够更深入地控制用户系统中芯片组的性能。除了能减少线路板布局不当而造成的问题外，FCP 所用板的尺寸、I/O 数目和功耗也比较少。

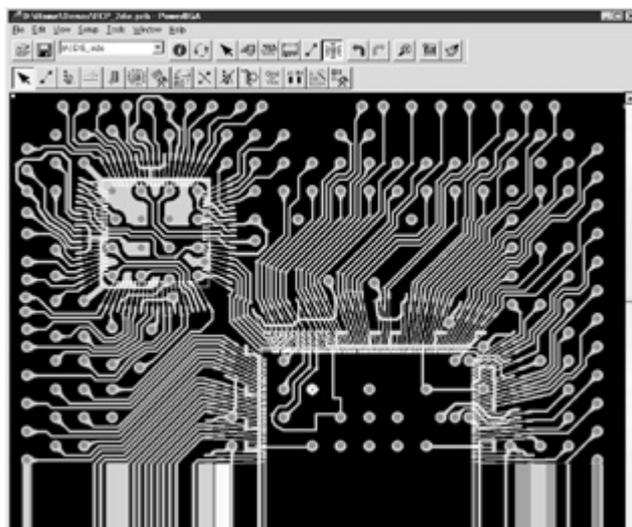
用 FCP 的芯片组与用封装组件的相比，可大大减少线路板面积。由于裸片之间靠得很近，FCP 中组件之间的互连长度也大为缩短，其直接后果就是缩短了互连延迟、减少串扰、降低容抗并且可以在裸片中使用小功率 I/O 缓冲器。

芯片组制造商还使用 FCP 作为制作宽频高速总线的一种方法，使得板上只需较少的 I/O 数量。要将今天所用 1Gbyte/s 频宽在不远的将来增加到 100Gbyte/s，使用现有 PWB 技术实现是非常困难的，而将 FCP 用于这种高速宽频总线则可以经济地使用具有高布线密度和低介电常数的高性能层压基板。FCP 中互连长度较短，可以减少为消除快速开关速度造成寄生电容和寄生电感所需的电源和接地引脚。

SoC 面对的难题之一是将 SiGe 和 GaAs 组合在一起的混合技术，而 FCP 就很容易解决。因为 FCP 使用裸片，混合组件可以很容易组合在一起而与其制程无关，此外 FCP 还能将表面贴装组件或分立的片式电容电阻与裸片放在一起使用。

## 控制商业风险

如果 FCP 的性能优势还不足以说明使用它的理由，可以从商业角度来考虑：FCP 能够控制风险并使产品快速投放市场。虽然 SoC 有极佳的性能，但 FCP 有时是多种不同 IP 或混合半导体技术组合的唯一可行方案。当面市时间和市场接受度成为主要因素时，FCP 可以提供极具吸引力的风险控制策略，譬如像竞争激烈的图像市场。



那些在市场上取得成功的图像处理产品制造商其秘诀之一就是他们乐于使用 FCP 作为获得成功设计的手段。新一代需多种不同 IP 的产品用 FCP 可以很容易生产出样品并进行演示,而开发 SoC 则要花费很长时间。FCP 使制造商能够快速开发出系列产品,并藉由将影像处理器和不同数量的内存或其它功能组件组合在一个 FCP 中,容易地为多种平台和价位找到解决方案。FCP 还可用于引脚兼容产品,使用户设计变得更加方便。

## 技术实现

对无线通讯、数字消费类产品和网际网络基础设备产品的需求成为推动 FCP 的市场动力,但多层基板技术和裸片测试及运送的突破则是 FCP 成功的首要原因,而这一切正是 MCM 以前的失败之处。

MCM 的一个缺点是随着越来越多的裸片装在一个模块里,潜在的故障几率将呈指数倍成长。虽然 FCP 也有这种可能,但它使用了一个更加注重实效的设计原则,只用到很少的裸片再加以更好的测试方法,而取得极大成功。由于一个封装中只使用 2~4 个裸片,可靠性工程师可根据每个裸片的可靠性数据有把握地预测出 FCP 的良率,为进一步增加信心,通常还可以花费少量代价进行额外的晶圆级测试。

基板技术取得的种种重大突破如顺序迭加(SUB)、低 K 介质和微过孔等使 FCP 在商用中获得了很强的生命力,因为 FCP 基板尺寸比传统的 PWB 小很多,所以能经济地在 FCP 中实现高宽频互连并用少量费用增加引线密度。用传统 PWB 技术实现高宽频互连需要增加板的面积和层数,会使板子的费用超过高密度基板。

多层基板的吸潮性一直是它在恶劣条件下(如汽车中)使用的障碍,新型层压材料和制程现在已可以满足这类苛刻环境的潮气饱和和标准要求,使之能用在传统上由陶瓷基板占主导的应用领域。

## FCP 设计要点

FCP 中裸片的数目和复杂度会影响封装的性能并能产生多种设计方案和考虑选项,如封装中应该用多少个裸片?该用什么样的裸片?是用引线焊接还是倒装芯片技术?设计能否在希望的层数里完成?会遇到什么样的信号完整性问题?设计采用外包还是内部进行?这些还只是制造 FCP 的部份问题。遗憾的是许多传统封装设计工具都缺乏必需的功能,不能对这些考虑因素做出快速评估或实现。

完成 FCP 所需要的设计软件应易于使用,能提供如柔性裸片输入、引线焊接和高密度自动布线等先进 IC 封装技术所需的专用功能,此外还应该评估电气性能和制程性的分析功能以及类似于制作图纸和文件之类的基本功能。

## 引线焊接

对大多数 FCP 设计来讲,由于每个裸片上的 I/O 数较少(不到 800 个)而能使用标准自动化引线焊接,所以用引线焊接比倒装芯片更为经济。但是大多数引线焊接设备是针对单片封装件的,因此在 FCP 中布置裸片时应注意让出线焊工具所需空间。

FCP 设计软件还应能提供在线例行检查,不断地监测制造方面的要求使之符合规范。设计软件应具有多环基板焊盘及引线焊接等快速产生和编辑功能,虽然大多数设计工具能提供引线焊接,但有些需做很长的设置而且还要用到繁琐的规则,严重地限制了给定时间内评估完成的数量。对多个引线焊接图样进行快速评估可以早一些发现它能否进行装配并完成设计。

## 基板布线

FCP 的基板一般为 4~6 层,常常还包括为提高电气性能的专用电源层。布线设计包括从裸片 I/O 焊盘到数组球焊盘的联机,最终互连结果趋向于没有任何方向,在层面上有些部位将按对角线方向走线(图 2)。这是与 PWB 的根本不同之处,PWB 中一般按垂直/水平两个主要方向走线并在相邻层中交替布置,最终的布线很均匀。但 FCP 基板尺寸较小而且组件相互之间靠得很近,所以 FCP 不存在主要布线方向。

目前许多 80 年代后期到 90 年代中期开发的主布线方向概念自动化布线技术到今天还有市场。FCP 即使只有很少的组件和连接,但由于它的非方向特性,所以对走线的要求仍比大多数 PWB 自动走线程序能完成的功能要复杂得多。FCP 的自动布线需要能在给定层面上以任何角度进行走线。

## 电气性能

使用 FCP 的一个主要原因是实现高速宽频互连,因此布局的早期电气分析也很关键,对时序、互扰和 EMI(电磁干扰)等影响性能的因素必须进行评估和控制。

在设计早期对 FCP 进行电气分析能很容易地在设计完成前纠正暴露出来的问题。例如由于噪声线路造成的同步开关问题可以藉由插入附加的电源及接地连接迅速修正，在设计过程中能很容易完成这类任务，而设计完成后就没有那么方便了。

FPC 设计工具应包括能预测信号完整性、串扰和 EMI 等问题的综合电气分析能力，能对性能方面的问题进行控制和寻找解决方案，另外还具有控制网络布局、终端策略、用于阻抗控制的层迭技术以及布线规则之类的功能。虽然有些设计工具也有分析能力，但常常太过简单而不能发现相邻联机之间的相互影响作用。分析工具必需快速且易于使用，并能准确地反映出问题。

## 本文结论

虽然 MCM 从未获得过商业上的成功，但它们的很多性能已在 FCP 中实现。与 MCM 一样，小型化、优良的电气性能和更大的互连密度也是 FCP 追求的目标。

用 FCP 替代 SoC 为设计人员提供了一个更加经济实用的方法，将多种不同的 IP 及混合半导体技术组合在一起。由于 FCP 的制造速度比 SoC 快得多，所以当面市时间和快速获取利润成为主要目标时，FCP 将是一个非常具有吸引力的风险控制策略。

实现 FCP 需要有能解决其独特设计难题的专用设计工具，这些设计工具不仅能使用户对 FCP 设计中的各种功能达到性能和价格上的最优，而且对整个系统功能也应能做到这一点。

*Kevin Rinebold*  
业务开发经理  
PADS 软件公司  
Email: krinebold@pads.com

## 用 CMOS 精密几何加工技术制造 OC-192 收发器

为满足网络及日趋增多的电子商务对频宽无止境的需求，光通讯网路以难以置信的速度飞速发展。光纤的高容量使其迅速在长距离骨干网络得到广泛应用，而且随着高速率传输标准的发展及其容量的成长，光纤仍将在该领域占优势。现在骨干网络中 OC-192 SONET 的传输速率接近 10Gbps，该速率可望很快在骨干网络中普及并最应用在终端网络之中。

随着高速光纤传输网的推广，每个关键组件的价格和功率开始受到关注。网络设备设计者极力在保持原有价格和结构因子的同时提高组件容量。当前的网络另一个重要趋势是需要更高端口密度。采用传统技术提高端口密度，功率要求也要相应提高。物理尺寸的局限性使得制造高端口密度组件(如交叉连接)与提高整合水平及降低功率成为一对矛盾。

高频宽光通讯网路的一个关键组件是收发器，网络中每个节点、路由器或交换机的每个端口以及光传输模块都要用到收发器。设计工程师目前采用 GaAs、BiCMOS 或 SiGe 收发器，然而，新一类 CMOS 收发器已进入市场，使 OC-192 设计性能达到新水平，设计工程师面临的挑战在于为特殊光纤通讯网设计选择合适的收发器。

$$f_t = \frac{\mu}{2\pi L^2} * V_{DSAT}$$

## 光纤收发器的加工制程

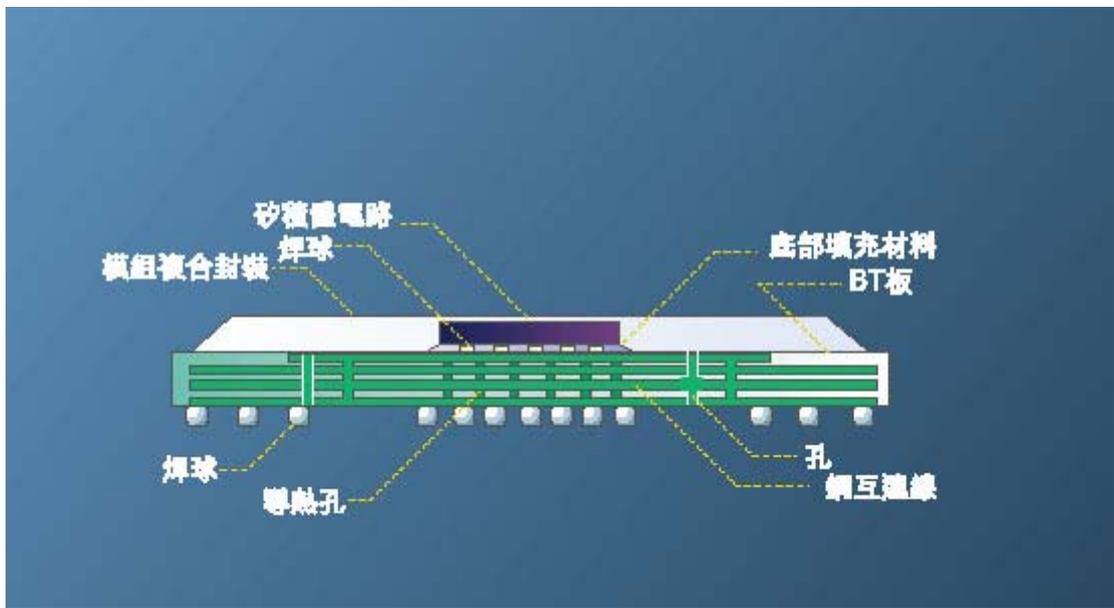
一般来说，10Gbps 高速网络的解决方案可以藉由诸如 GaAs、双极硅以及 SiGe 等制程技术实现。这些制程制作的组件都很昂贵，还需要配备特殊的制造制程和设备。长期以来，人们认为 CMOS 制程不支持高频组件设计，然而，随着精密几何尺寸加工制程技术的持续发展，CMOS 制程引起了人们的关注。

CMOS 制程制作的组件工作频率高、功耗低且线宽持续降低。利用精细线宽技术，采用标准的 CMOS 制程就能实现 10Gbps 收发器，并达到批量生产的要求。正如当前光纤系统设计者深知的那样，制程技术对收发器性能影响很大，下面看看每种制程技术的利弊。

除了硅芯片技术，GaAs 是最成熟的半导体组件技术。GaAs 晶体管在速率方面比硅晶体管有明显的优势。GaAs 的峰值电子速率比硅晶体管大几倍，而且很低电场就可达到峰值电子速率。GaAs 晶体管能在高达 30GHz 的速率下工作，然而，GaAs 组件的缺点在于：组件要特别薄以适应材料的低热传导性；也特别脆，生产时废品率高。

另一个缺点是，GaAs 制程不支持高密度整合，其典型的应用是军事和高速应用领域，也用于功率放大器和其它模拟组件，这些组件的闸电路较少。一般来说，只有在 CMOS 或其它制程不可行时才采用 GaAs 制程。

BiCMOS 也成功用于高速通讯组件，但功耗高。虽然该制程与 CMOS 技术相似，但 BiCMOS 不适用于高闸数的数字集成电路。因此，高速模拟电路常采用双极硅制程，与数字电路连接时必须用 CMOS 集成电路隔离。此外，双极制程中采用的离子注入晶体管调整方法越来越难实现高速组件的加工，一般只用于 2.5Gbps 或更低速的系统。



高速光组件的第三种制程技术是 SiGe 制程。SiGe 技术能提供高达  $100,000\text{cm}^2/\text{Vs}$  的电子迁移速率，可用于高速组件，性能几乎可以与 GaAs 组件媲美。也支持比 BiCMOS 或 GaAs 制程更高密度的整合，可以在标准的 CMOS 生产线上利用 IBM 授权的特殊制程生产。此外，SiGe 晶圆采用掺杂锗的方法制造，尽管制程难以控制，某些组件提供商已经成功推出高速通讯芯片。

### 收发器制造上的最新变化

尽管存在价格昂贵和其它一些限制因素，GaAs、SiGe 和 BiCMOS 制程都一直用于开发高速收发器，因为人们认为 CMOS 的迁移率有限，不支持 5GHz 以上的高速组件。对于较大的制程几何尺寸确实如此，然而，现在情况产生了变化。

单位增益频率或截止频率是晶体管的最高频率。虽然晶体管的  $f_t$  和电路最大工作频率的关系与多种因素有关，一般还是用  $f_t$  来评价不同技术，方程(1)可以计算  $f_t$ ：

式中  $m$  是迁移率( $n$  信道 MOSFET 大约等于  $1,450\text{cm}^2/\text{Vs}$ )， $L$  是几何尺寸， $V_{DSAT}$  是过载电压(几乎与工作电压成正比)。显然，从方程(1)可以看出 CMOS 调整技术可以极大增加电路速度。使用调整技术减少晶体管长度，电路的最大工作频率就可以增大。典型  $0.25\mu\text{m}$  制程的  $f_t$  是 40GHz， $0.18\mu\text{m}$  制程是 80GHz，我们希望  $0.13\mu\text{m}$  的  $f_t$  再增加一倍。

由于精细制程几何学的发展，CMOS 用于高频组件制造成为可行，它可以极大提高生产能力和整合度，降低价格。此外，CMOS 制程组件机械性能好，又是热的良导体，并易于生长成大直径、超纯、无缺陷的晶体，因而良率高。

正因为如此，某些制造商正从传统的 SiGe、GaAs 和 BiCMOS 技术转向采用 CMOS 技术设计高速光通讯收发器整合芯片，采用 CMOS 制程制造的组件已经用于 OC-48 系统。

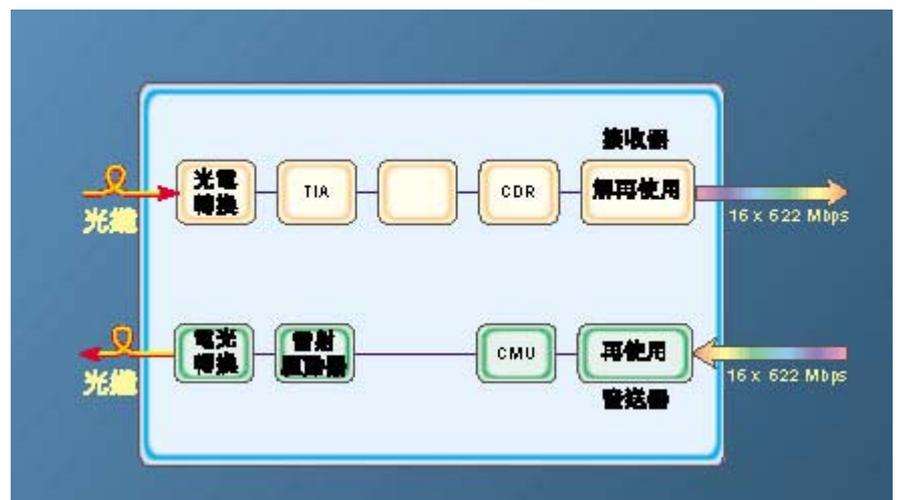
但是，开发 OC-192 收发器并非易事。设计 10Gbps 收发器与 OC-48 相比(2.5Gbps)难度增加许多。OC-192 两个主要问题是抖动参数的控制和封装技术。SONET 抖动指针要求非常严格。这样才能确保藉由长距离光纤传输后，信号到达目的地的特性与原信号差异不大，同时也确保了不同厂商设备之间的互作业性。

### 对抖动基本要求

Bellcore 关于抖动的指针有振幅、上升和下降时间、抖动、线路接口的时钟和数据位定时。定时抖动是数据信号偏离理想位置的短期变化量。

SONET 有三个抖动指针：抖动产生、抖动传递和抖动容限，这三项指针是针对系统级而不是针对组件和单个电路的。

抖动产生是在确保稳定的参考时钟条件下串行接口可加入到数据流的抖动量。SONET



规范规定，在输出终端接收机，峰值定时抖动低于 0.1 单位间隔。在 OC-192 系统中，对 100ps 的循环时间，整个系统的抖动小于 10ps。显然，收发器的定时性能必须非常精确。

抖动容限是给定频率下抖动的最大幅度。该值表明串行接收机在链路的 BER 极限内仍能恢复数据所允许的最大抖动。为容纳信号从串行源接收机传输时积累的抖动，接收机抖动容限必须比信源和传输介质产生的总抖动大。链路的抖动容限越大，链路在恢复精确数据流时越耐用，接收机性能越好。

最后，抖动传递是描述信号藉由组件时，抖动频谱变化的情况。这项指针在用到中继器的长距离光纤线路(50km 以上)中非常重要。

数据输入总是有抖动，如果单个中继器在某一频率抖动放大因子是 1(抖动传输函数位于该频率的峰值)，信号到目的地之间的  $n$  个中继器将抖动放大  $n$  倍，因此 SONET 规定抖动峰值必须在 0.1dB 以下。

在收发器级，系统设计工程师应该选择 CMOS 收发器，它可以将抖动产生和抖动传递降低到最低，同时还尽可能提高抖动容限。

## 抖动产生的原因

光纤通讯系统中引起抖动的因素有三种：噪音、数据的随机性以及信号波动引起的模式相关抖动。

任何消耗功率的组件都会产生噪音。由于工作频率高，与衬底耦合的随机噪音产生进入系统的幅值很低的随机噪音。将噪音滤波线路与电源隔离技术结合是减少信源抖动的最好方法。

时钟信号和数据信号的耦合也是光收发器抖动的主要原因。由于信号的随机性，接收机输入和发射机输出的高速串行数据信号包含大量频率成分。许多频率成分藉由线路板或芯片衬底耦合回来，结果锁相环(PLL)的调变振荡器将随机抖动带进定时电路。发射机中，随机抖动直接加在输出串行数据中。这种抖动可以藉由尽量减小数据信号与电压控制振荡器的耦合来抑制。

## 模式相关抖动

引起模式相关抖动(Pattern-Dependant Jitter)的原因有两个。第一，CMOS 收发器输出数据信号的上升和下降时间不够快，无法使单个脉冲达到满幅度，结果脉冲宽度势必比整个脉冲周期小(OC-192 是 100ps)。第二，系统直接从最后解再使用段输出数据，在这些设计中，时钟信号稍微偏差就很麻烦。理想情况下，时钟信号应该是完全对称的，但是实际并非如此。信号的不完善会引起抖动。

对 OC-192 半速率时钟而言，从一个上升沿到另一个上升沿，精确时间应该是 200ps，但上升到下降的时间可能并不正好等于下降到上升的时间，5GHz 的时钟频率偏差会使占空比达不到 50%，输出数据信号就可能是短/长/短/长的波形。

如果偏差是 10ps，其模式就是 90/110/90/110 模式。如果产生 10ps 的抖动，就不可能为其它组件留有抖动冗余。增加整形段虽然有很多困难，但能提高抖动性能。了解了抖动产生的基本原因，才有可能设计出系统级抖动尽可能小的 CMOS 收发器。这对选择 CMOS 和其它 OC-192 收发器非常重要。

## 收发器封装技术

最近，随着 CMOS 速率接近或超过 1GHz，封装外壳的电感和电容开始成为集成电路设计要考虑的一部份。高频率工作时，大部份电磁波沿导体线的表面或外面传播。随着 SONET 规范用于 10GHz 系统，并将用于 40Gps 系统，封装技术必须有所突破。

通常，设计工程师在光纤通讯中采用陶瓷外壳封装的 OC-192 收发器。但是，随着性能提高，对芯片封装技术提出新要求。设计工程师现在开始关注 CMOS 收发器解决方案，有一系列芯片级封装技术可供选择，其中在光纤收发器中得到普遍应用的就是覆晶芯片(图 1)。

覆晶芯片有五个优点。第一，与结合线相比寄生参数很小，寄生电感和电阻大为降低，电容也得到降低。对高速系统，衬底可以置于闸附近，信号可以直接从闸到衬底，实际上信号的布线距离几乎是零。第二，因为晶圆两面都能散热，从而提高散热性能。晶圆上的突起也提供了比结合线或压模更好的散热信道。散热器可以直接连接到芯片背面，提供了一个很好的散热途径。第三，从制程角度来看，覆晶芯片有更高的性价比。可靠性是第四个优点。焊球焊接比 1mm 或 0.7mm 的邦定线更大、更耐用、抗化学腐蚀和抗机械应力能力更强。最后一个优点是尺寸，当设计工程师在系统结构中采用越来越多端口数时，芯片尺寸也越来越受到关注。覆晶芯片可以减小裸片和外壳尺寸，从而减小了整个系统的尺寸。

## 技术展望

在传统的光模块设计中，模块中输入一面包括光电接口、转发器、时钟和解再使用功能。输出一面有雷射驱动器、时钟放大单元(CMU)和再使用器(图 2)。在 OC-192 的工作速率下，尽管覆晶芯片不失为一种可靠的方法，但其散热、噪音和抖动容限仍然面临更大挑战。

藉由将各种功能结合减少芯片数，CMOS 的高度整合可降低功耗。一个整合了收发器、时钟数据恢复、CMU 功能的芯片集不仅能降低功耗及相关的散热问题，还能由此建成更高性能的通讯系统。所有这些都无需提高功耗和组件尺寸。此外，日益紧密的整合度能极大降低设计复杂程度，降低光模块功耗。

## 多芯片封装的低成本批量生产制程

*高密度薄膜和多芯片封装有很多优点，但以往，由于过高的生产成本限制了它的应用。本文介绍一种新型制作制程，可用较低的成本来进行多芯片封装件的大批量生产。*

不久以前，高密度薄膜和多芯片封装(MCP)还被认为只是一种用于太空、军事、高阶服务器以及大型主机等系统的新型技术。这种技术可以减小最终封装件及系统的尺寸和重量、减少故障提高可靠性、使用更短和负载更轻的信号线增加速度，并使系统具有良好的热性能。

如今，薄膜 MCP 的各种优点已能够在价格低廉的商用和消费类产品中实现，为批量生产而开发的低成本精简线薄膜生产制程，使这项技术由实验室进入到了工厂量产阶段。这种新制程采用硅片覆膜高密度互连基板，对于装配车间来说看上去感觉就像是另一个芯片一样。它把用不同制程制造的组件整合在一个封装内，在功能上满足市场快速变化的要求，并在不改变封装引脚尺寸的前提下提高设计的性能。

## 大批量 MCP 应用

目前 Strand Interconnect 公司每周要向位于德国慕尼黑的亿恒科技公司(Infineon Technologies)交付 28 万块基片，该产品采用 52 脚塑料双列直插(PDIP)封装，用于消费类产品。它包含一个微控制器和一个快闪芯片，在一块两层薄膜基底上用引线连在一起。电源和接地采用“粗”线，信号线很短，所以不需要控制阻抗。

该项设计的成功之处在于最终封装成本低、样品制作快以及基片能够大批量供应，很多人都无法相信可将一个 52 脚 PDIP 用作高技术多芯片模块(MCM)，这在如今对价格敏感的市场，的确是一个非常好的低成本解决方案。选用硅基底薄膜技术可以使用现成的冲压导线架、标准的晶圆背磨、划片和锯片设备、标准贴放工具以及藉由验证的贴片制程，从而使得组装更为容易。与其它薄膜基底、高温共烧陶瓷(HTCC)、低温共烧陶瓷(LTCC)和 BT 基载体相比，使用 HDI/薄膜基底的最终封装件成本最低。

这种特殊设计原本使用单芯片系统(SoC)结构，将程序固化在整合的 ROM 内，但由于 OEM 的软件工程师在量产前无法得到无错误软件的最终版本，迫使 OEM 只能选一种可重编程的型号用于批量生产，而使用不太容易大批量生产的嵌入式闪速内存制程。用嵌入式闪存制程将使设计比标准闪存大，另外对新制程进行调整也会使产量低于预期值，所以最终还是采用更为有效的封装方式，即在一个硅基片上放两个芯片。

## 薄膜制程流程

首先在一个 200mm(8 英寸)晶圆上作 4 个铝层(两个互连层和两个电源层)，中间用苯环丁烯(BCB)绝缘层隔开。电源层金属溅射厚度为  $1\mu\text{m}$ ，信号层为  $3\mu\text{m}$ ，溅射的铝符合半导体规范要求(含 0.5%铜)，线宽为  $20\mu\text{m}$ ，线距为  $25\mu\text{m}$ ，电源层之间介质厚度为  $3\mu\text{m}$ ，信号层之间为  $7\mu\text{m}$ 。BCB 的介电常数很低，只有 2.65，耗散因子也低至 0.0008。对于速度为 10GHz 的信号，它的性能有点类似陶瓷，但频率再高上去其性能就开始下降，在 95GHz 时 1cm 线上会有 3dB 衰减。因为金属层很薄，所以存在一定的直流电阻，约为  $5\Omega/\text{cm}$ ，这一点在设计时要考虑到，远程应用应使用较短的布线，但它对改善系统内的耗散噪音有一定帮助。设计中使用的通孔直接在 BCB 上作出。

制作使用  $50\mu\text{m}$  焊盘和  $30\mu\text{m}$  导孔，孔壁略为倾斜，接触点约为  $20\mu\text{m}$ 。通孔电阻很小，能藉由较大电流，通孔成形过程比目前 90%设计制程都要好。BCB 每层形成后都要藉由一次软固化，最后一次固化温度为  $250^\circ\text{C}$ 。固化使迭层各层相互连接，形成一个中间有引线的固化 BCB。基底材料耐温性使之可用于无铅贴装制程，包括倒装芯片芯片贴装制程。另外还有一种热通孔用于直接连接硅晶圆载体，并为大功率组件提供一个低阻热信道。该项制程的主要工序为：旋转涂覆、热固化、溅射、光罩对位和 UV 曝光、显影、湿法及干法刻蚀。基片以晶圆形式提供给最终用户。

## 低成本制程

这种薄膜制程首先由瑞典的 ACREO 研究所开发，他们在一块非常大的基片上放入整个计算机系统，并作在一个封装里用于军用飞机，晶圆尺寸相对于基片不算大，所以主要的工作是提高基片的良率和联机可靠性。这种制程只需很少的工序并具有极佳可靠性，例如选择 BCB 这类光敏聚合物在薄膜制造中可省去多个光刻胶剥离工序；此外，与其它技术中使用的复杂电镀制程相比，这里的金属溅射也只是一个单步工序。

整个制程在一个大容量洁净室生产线上进行，生产线装在一个以较低租金租用并经改装的军用飞机吊舱内，同时回收利用半导体工业废弃的晶圆，进一步减少了固定费用。生产线使用崭新的 200mm 晶圆制程设备，重点放在提高设备生产率和晶圆输送自动化上面，减少作业者干预并降低制程成本。生产现场每班只有三个作业员，工厂中只进行基片样品测试，大批量测试放在外面费用更低的互连测试商处进行。

## 趋势及未来展望

小型 MCP 的成长需求来自于一些大批量应用消费类产品，如行动电话、掌上计算机和上网装置、MP3 播放机以及其它手持装置，这些产品不仅对价位很敏感，而且要求有较短的产品和改进周期，而这两个要求单芯片系统 ASIC 技术和嵌入式内存技术制造制程却又无法满足。低成本多芯片封装可作为这些市场所追求的“快速廉价”解决方案，许多来自半导体供货商和 OEM 的应用都要求将一个闪存和一个逻辑电路，如微处理器、DSP 或 ASIC 结合在一起。这些非常简单的 MCP 设计装配和测试良率都大于 98%，避免了“原本好芯片后来又不好”(KGD)之类的问题。今后还将把芯片以覆晶芯片形式与硅基底相连，或者与一个重新布线的载体芯片相连用于迭层组件封装中，这种布线技术能在制成的半导体晶圆芯片上提供高密度多层再布线和感应极小的功率分配。最后，在多芯片封装中将多个覆晶芯片贴到硅基底上，这个基底就可以作为封装件，再用大的回流焊球或柱将基底贴到线路板上。

## 本文结论

现在业界对多芯片组装(MCP)的需求正迅速上升，MCP 的产量也在快速成长，未来半年产能将成长三倍。当前最需要的是相关技术、更加严格的设计规则、覆晶芯片金属化、单层焊盘以及辅助工厂设施。目前正在对嵌入式分离组件，如电容、电阻和电感等，装到基底上对技术和市场的影响进行评估，此外还将对现有制程进行修改以提供高 K 介质层、高阻金属溅射和非导电性载体基底材料，这样避免了大量标准系统组件的库存，进一步缩小行动和手持系统的体积。

[High Density Interconnect]

作者: Gary Dudeck

## 电子组装业正迈向环保制造新时代

谁在推动绿色革命？几年前，北美和欧洲立法机构提出在电子制造业中停止使用铅，这个举动促使全球产业组织及技术协会开始了对无铅替代物的大量研究，但真正让人们感受到绿色革命力量的，却是环保团体对环境保护所做的努力。

虽然立法禁止使用铅是促使无铅运动得以推展的主要原因，但产业界本身所产生的变化，如消费者对环保产品的偏爱，才是促使厂商采用环保材料真正动力，因为这样能增加产品的市场占有率，于是，目前市场上便出现了越来越多的无铅产品。

目前日本许多公司正逐步展现出他们的环保意识，起步甚至较欧美国家更早。这些公司每年发表的年度环境报告上印着光彩夺目的照片，可与任何美国公司的精美年度财务报告相媲美。日立、三菱电气、NEC、新力以及东芝都设定了明确的目标，依照最初的预估，这些公司在 2000 年其电子制造业要减少 50% 的铅用量，有些公司甚至更进一步，如松下计划在 2001 年所有主要电子产品中都不再含铅。

很多公司都发现，一个代表产品内部不含铅的绿色卷标可带来更大的产品销售量，最有名的例子就是松下电器。他们成功地推出无铅可携式袖珍 CD 机并在显着位置黏贴绿色树叶卷标，结果得到了可观的市场占有率，他们将其作为无铅产品进行推广，取得比竞争对手更多的销售量。现在松下产品从电饭锅到个人计算机，都以无铅产品面貌出现。其它公司也有大量新的无铅产品等着问市，如日立和 NEC 贴有无铅生态卷标的膝上型计算机，而其它公司也将很快推出使用无铅焊料制造的传呼机、行动电话、录象机及电视机等。

在电子制造业，不断出现的新型无铅电子产品正是消费者推动这种趋势的例证，不管法律制定结果怎样，生产厂商们还是要开发无铅制造制程。同时，很多北美及欧洲电子制造厂商也正蓄势待发，希望推出能减少铅用量的无铅产品。

在北美及欧洲，电子产业的一些代表机构如电子产业连接协会(IPC)等都致力于协助业者朝无铅方向发展，北美的国家电子制造协会(NEMI)前年还宣布了一个计划，旨在使北美公司能在 2001 年时生产出无铅产品。在英国，国际锡业研究学会(ITRI)于 1999 年开设了一个无铅焊接技术中心。此外世界上很多大学也都设立了无铅研究项目，这些高等教育机构不仅推动了无铅材料及制程的发展，同时他们也培养出很多接受环保教育的毕业生。

## 无铅产品对制造业的影响

无铅制造不仅仅意味着更换焊接材料，真正的无铅产品其所用的零件及线路板涂覆层也必须是无铅的。从电子产品中去除铅，不仅需要开发出一整套全新制造材料，还必须建立一种温度与以前不同的新制程。为适应新的高温制程，需要新的基板材料，同时也要对材料的相互影响进行研究以确定其可靠性。

## 其它绿色趋势

无铅运动是否只是推动环保制造的冰山一角？的确如此。有环保组织已提出制造中使用的塑料或环氧材料内不应再使用溴作为阻燃剂。在日本，不含卤素的 PCB 已经用在笔记型计算机和移动电话等产品上，富士通计划从 2001 年开始，所有产品都不含铅及卤素；欧洲的移动电话制造商最近的产品不仅无铅，基板也不含卤素；东芝化工推出的不含卤素及铈的 PCB 材料也成功地问世。

此外，再利用及产品回收在欧洲和日本也很风行。荷兰有一个针对电子产品的回收计划，由厂商及进口商进行废物的处理和再利用。而在比利时、丹麦、德国、意大利、瑞典和瑞士，类似的自发性协议也正在施行。日本政府已颁布法律，自 2001 年 4 月开始，对电视机、冰箱、空调和洗衣机要进行强制性回收利用。

在北美、欧洲和日本，电池的回收利用已实行多年，现在汽车回收利用也有了计划，不久就会推广，那么下一个又将会是什么呢？

## 进入新时代

从目前环保制造的趋势来看，推动这项运动的主要原因并不是立法的关系，而是消费者对环境的关注使然，是市场的力量而不是科技在推动。对于那些没有达到消费者认同的无铅标准的产品，结果会是什么样呢？有调查显示，消费者愿意花更多的钱去购买环保产品，一些公司的经验也说明，生产绿色产品其市场占有率也会增加。我们已迈入了一个新的世纪，生产制程也将进入到一个环保时代。

[Circuits Assembly]

作者: *E. Jan Vardaman*

总裁

*TechSearch International*

Email: *jan@techsearchinc.com*

## 日本开始实施家电回收法

日本通产省于 1998 年 6 月公布的《家用电器回收利用率法》已于今年 4 月正式实施。从 4 月 1 日开始，在日本丢弃旧电视、冰箱、洗衣机、冷气机等都要交钱，消费者将负担回收利用过程的大部份费用，这些费用将用于改善环境。

该法律规定，家用电器制造商和进口商对电冰箱、电视机、洗衣机、冷气机这四种家用电器有回收和实施再商品化的义务，即必须按一定比例从废家电中回收有用的资源再次制成产品出售。电冰箱、洗衣机的再商品化率均为 50% 以上，电视机为 55% 以上，冷气机为 60% 以上。此外，要求制造商在产品的策划、设计阶段应考虑制造出的产品在使用寿命内对环境影响小，并在以往的设计要求方面增加使用回收性和废弃特性好且符合环保的材料，不使用有害物质，注重产品制造及使用过程中的节能性，此外还必须像考虑产品制造成本一样考虑废弃和回收利用成本。

## 芯片级封装组件返修制程

为了满足电子设备更小、更轻和更便宜的要求，精密组装微型零配件如覆晶芯片已经成为电子产品制造界的使用趋势。然而在实际组装中，即使实施最佳装配制程也还是会出现次级品需要返修，此时应采用正确的返修系统，使返修工作具有更高的可靠性、重复性和经济性。

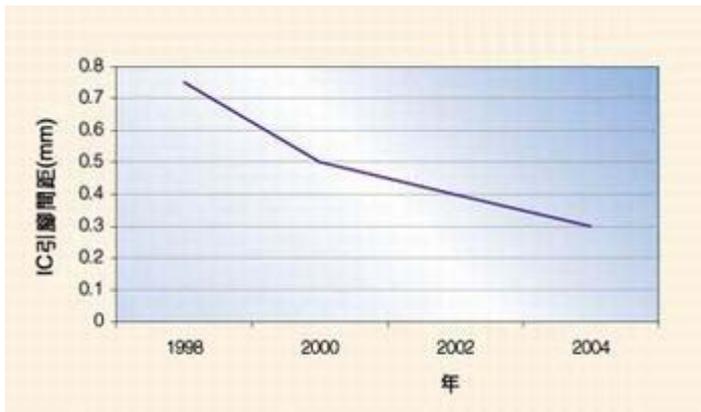
Don Naugler

产品经理

Sierra Research & Technology

Email: *nauglerd@genrad.com*

印刷电路板(PWB)的装配自动化和制造制程一直在为满足封装技术的要求而努力,但是 100%良率仍然是一个可望不可及的目标,不管制程有多完美,总是存在着一些制造上无法控制的因素而产生出不良品。PWB 装配厂商必须对废品率有一定的预计,产量的损失可以用返修来弥补,通过返修挽回产品的价值而不至于使其成为一堆废品。



在今天已开始广泛应用(图 1)。CSP 最早用在小型便携式产品中,由于体积和电性能方面的原因它的应用正在成长,预计 2001 年 CSP 的使用量将超过 10 亿片。

CSP 可以是任何封装形式,但它的面积不能大于 IC 芯片的 1.2 倍(否则就不能称为芯片级封装)。目前已有许多 CSP 设计采用了多种互连技术,其中最有可能的就是  $\mu$ BGA, 它由 Tessera 公司开发并拥有专用权限。

覆晶芯片是另外一种技术,它具有很小的封装尺寸和良好电气性能。这种封装在 IC 上直接安放互连凸焊点(另外一种使用导电胶的互连凸焊点技术不属于本文讨论范围),将 IC 面向下放在线路板中,然后用回流焊焊在板子的焊盘上。覆晶芯片焊盘尺寸可小至 0.1~0.2mm,增加了对位难度,而且其焊球很小只允许板子有很小扭曲,因此返修制程必须有足够精确的放置性能,并保护板子在加热时不会产生扭曲。

### 返修过程

◆取下组件成功的返修首先是将故障位置上的组件取走。将焊点加热至熔点,然后小心地将组件从板上拿下。

加热控制是返修的一个关键因素,焊料必须完全熔化,以免在取走组件时损伤焊盘。与此同时,还要防止板子加热过度,不应该因加热而造成板子扭曲。

◆线路板和组件加热先进的返修系统采用计算机控制加热过程,使之与焊膏制造厂商给出的规格参数尽量接近,并且应采用顶部和底部组合加热方式(图 2)。

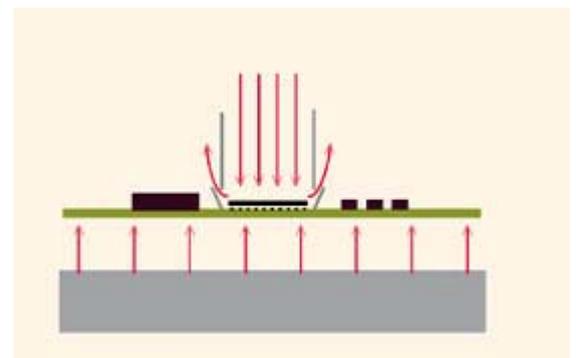
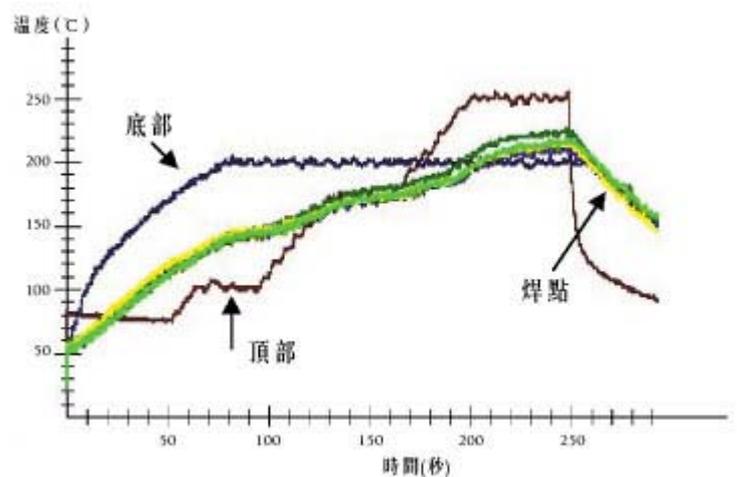
底部加热用以升高板子的温度,而顶部加热则用来加热组件。组件加热时有部份热量会从返修位置传导流走,而底部加热则可以补偿这部份热量而减少组件在上部所需的总热量,另外使用大面积底部加热器可以消除因局部加热过度而引起的板子扭曲。

可以用三种方法对板子加热,即传导、对流和辐射。传导加热时热源与板子相接触(例如用电热板),这对背面有组件的线路板不适用;辐射法使用红外(IR)能,它要实用一些,但由于板上各种材料和组件对红外线吸收不均匀,故而也影响品质;对流加热被证明是返修和装配中最有效和最实用的技术。

组件加热(或称顶部加热)一般采用对流热气喷嘴,仔细控制顶部加热使组件均匀受热是极为重要的,特别是对小型组件尤为关键(图 3)。

还有很重要的一点是要避免返修工位附近的组件再次回焊,喷嘴喷出的热气流必须与这些组件隔离,可以在返修工位周围的组件上放一层薄的遮板或者光罩。光罩技术相当有效,不过比较麻烦费时。

◆加热曲线加热曲线应精心设置,先预热然后使焊点回焊。好的加热曲线能提供足够但不过量的预热时间,以激活助焊剂,时间太短或温度太低都不能做到这一点。

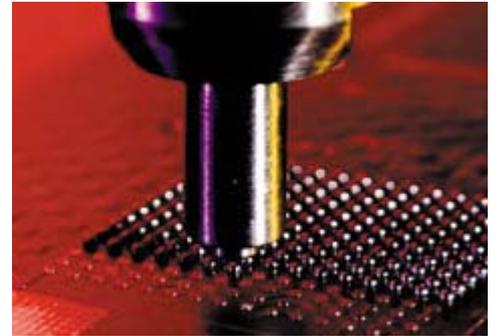


正确的回流焊温度和高于此温度的停留时间非常重要，温度太低或时间太短会造成浸润不够或焊点开路，温度太高或时间太长则会产生短路或形成金属互化物。

设计最佳加热曲线是一个乏味的过程，最常用的方法是将一根热电偶放在返修位置焊点处，制程工程师先推测设定一个最佳温度值、温升率和加热时间然后开始试验，并把测得的数据记录下来，将结果与所希望的曲线相比较，根据比较情况进行调整。这种试验和调整过程可以重复多次，直至获得理想的效果。

◆工位准备一旦加热曲线设定好，就可准备取走组件，返修系统应保证这部份制程尽可能简单并具有重复性。

加热喷嘴对准好组件以后即可进行加热，一般先从底部开始，然后将喷嘴和组件吸管分别降到板子和组件上方，开始顶部加热。加热结束时组件吸管中会产生真空，吸管升起将组件从板上提起。在焊料完全熔化以前吸起组件会损伤板上的焊盘，“零作用力吸起”技术能保证在焊料液化前不会取走组件。完成这一步后，取走的组件被自动放入组件容器中。



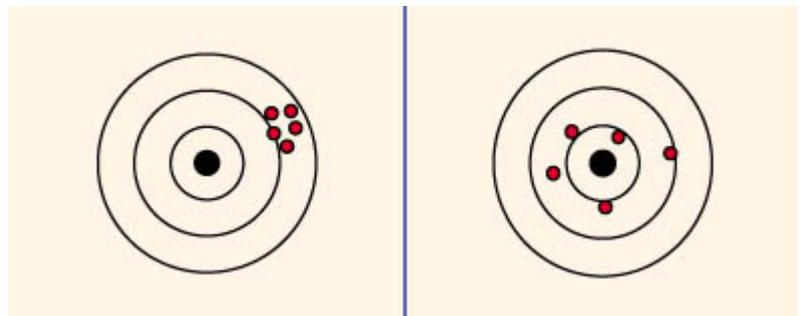
在将新组件换到返修位置前，该位置需要先做预处理，预处理包括两个步骤：除去残留的焊料和添加焊膏或助焊剂。

• 除去焊料：除去残留焊料可用手工或自动方法，手工方式的工具包括烙铁和铜吸锡线，不过手工工具用起来很困难，同时小尺寸 CSP 和覆晶芯片焊盘也很容易受到损伤。

自动化焊料去除工具可以非常安全地用于高精度板的处理(图 4)，有些清除器是自动化非接触系统，使用热气使残留焊料液化，再用真空将熔化的焊料吸入一个可更换过滤器中。清除系统的自动工作台一排一排依次扫过线路板，将所有焊盘数组中的残留焊料除掉。对板子和清除器加热要进行控制，提供均匀的处理过程以避免板子过热。

• 焊膏：CSP 和覆晶芯片的返修很少使用焊膏，只要稍稍使用一些助焊剂就足够了。在大批量生产中，一般用组件浸一下助焊剂，而在返修制程中则是用刷子将助焊剂直接刷在板上。

焊膏一般用于 BGA，发配的方法可以采用模板或可程序分配器。许多返修系统都提供一个小型模板装置用来发配焊膏，这种方法可使用多种对准技术，包括组件对准光学系统。



在板上使用模板是非常困难的，并且不太可靠。为了在相邻的组件中间放入模板，模板尺寸必须很小，除了用于发配焊膏的小孔就几乎没有空间了，由于空间小，因此很难发配焊膏并取得均匀的效果。设备制造商们建议多对焊盘进行检查，并根据需要重复这一过程。

有一种制程可以替代模板发配焊膏，即用组件印刷台直接将焊膏涂在组件上，这样不会受到旁边相邻组件的影响，该装置还可在发配焊膏后用作组件容器，在标准工序中自动拾取组件。焊膏也可以直接点到每个焊盘上，方法是使用线路板高度自动检测技术和一个旋转焊膏挤压泵，精确地提供完全一致的焊膏点。

◆组件更换取走组件并对线路板进行预处理后，就可以将新的组件装到板上去了。制定的加热曲线(与上述方法一样)应仔细考虑以避免板子扭曲并获得理想回流焊效果，自动温度曲线制定软件可以作为一种首选的技术。

◆组件对位新组件和板子必须正确对准，对于小尺寸焊盘和细间距 CSP 及覆晶芯片组件而言，返修系统的放置能力必须要能满足很高的要求。

放置能力由两个因素决定：精度(偏差)和准确度(重复性)。一个系统可能重复性很好，但精度不够，只有充分理解这两个因素才能完全了解系统的工作原理。

重复性是指在同一位置放置组件的一致性(图 5A)，然而一致性很好不一定表示放在所需的位置上；偏差是放置位置测得的平均偏移值(图 5B)，一个高精度的系统只有很小或者根本没有放置偏差，但这并不意味着放置的重复性很好。返修系统必须同时具有很好的重复性和很高的精度，以将组件放置到正确的位置。对放置性能进行试验时必须重现实际的返修过程，包括所有三个步骤：从组件容器或托盘中拾取组件、对准以及放置组件。

◆组件放置返修制程选定后，板子就像取组件时一样放在工作台上，组件放在容器中，然后对板子定位以使焊盘对准组件上的焊球。

对位完成后组件自动放到板上，放置力反馈和可程序力量控制技术可以确保正确放置，不会对精密组件造成损伤。

小品质组件在对流加热过程中可能会被吹动而不能对准，一些返修系统用吸管将组件按在位置上防止它行动，这种方法在定位组件时需要有一定的热膨胀余量。组件对准时不能存在表面张力，该方法很容易把组件放得太靠近线路板(短路)或者太离开线路板(开路)。

防止组件在回流焊时行动的一个好方法是减小对流加热的气流量，一些返修系统可以编程设置流量，按制程流程要求降低气流量。

最后喷嘴自动降低开始进行加热，自动加热曲线保证了最佳加热制程，系统放置性能则确保组件对位准确。放置能力和自动化制程结合在一起可以提供一个完整且一致性好的返修制程。

## 本文结论

即使采用最佳装配制程，CSP 和覆晶芯片的返修工作还是有存在的必要性。使用正确的返修系统可以使返修制程具有很高的可靠性、重复性和经济性，返修系统必须能提供足够的放置性能并具有良好的加热控制能力。采用自动化加热流程可节省设定的时间，提供最佳加热曲线，为了保证制程具有重复性，返修系统还必须易于使用且具有较高自动化程度。

## 封装制程中吸收剂的分类及其作用

吸收剂在降低微电子机械系统和微光电机系统封装成本方面将起到越来越重要的作用，但如何实现低成本高性能的封装还有待于人们对各种吸收剂材料进行深入研究。本文对封装制程中的吸收剂作一简要介绍，包括其种类以及在成品中所起的作用。

Ken Gilleo 博士  
总工程师  
Cookson Electronics  
kgilleo@cps.cookson.com

Steve Corbett  
Cookson Semiconductor Packaging Materials  
scorbett@cps.cookson.com

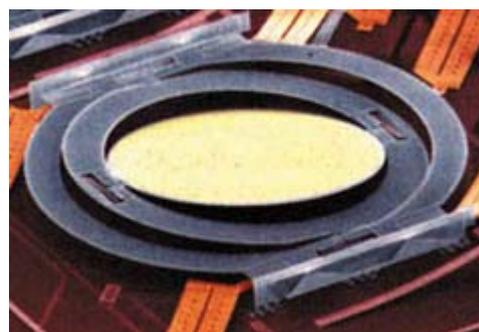
新世纪的来临是一件令人激动的事，全球正进入到一个通讯时代，不久我们将可以在世界的任何一个角落和任何人进行通讯，不过要想完全领略新技术带来的好处仍然还有很多工作要做。

电子放大技术的发展可以说是无线电领域的奠基石之一。1907 年 Lee De Forest 发明了三极管真空放大器(图 1)，他在具有阳极和灯丝的二极管整流器上加了一个控制栅极，从而产生放大作用，于是利用放大器就可以把微弱的信号进行放大，无线电技术也从此真正开始成为一门独立的技术。

如图 1 所示，在真空三极管的外面有一个玻璃外壳，即所谓的封装，给器件加封装前须将里面的空气去除掉。开始人们认为在里面保留少量空气是器件正常工作所必要的，几年以后却发现提高真空度可以改善性能，于是技术又向前进了一大步，但其实还是存在很多问题。这主要是由于灯丝的工作温度很高，与内部存在的氧气发生氧化反应后灯丝会过热，导致过早烧坏，缩短工作寿命，如果有空气漏入封装内部则会带来更多氧气，大大加快灯丝的损耗速度。一种解决方法是加入吸氧材料，如活泼金属，这些材料与氧反应的速度比灯丝快，而灯丝通常是采用高熔点钨；另外一种方法就是利用吸收剂。

## MOEMS 交换器

到下一个世纪，无线通讯将在我们的生活中起到重要的作用，为了实现高频宽和低成本通讯，人们将越来越多地采用光纤作为陆地和洲际间连接方式，光传输已成为陆地长距离网际网络和电话传输的重要手段，光被用作为一种经济快速的信息载体。目前网际网络核心路由技术仍然采用电子路由，随着技术的发展以后信号交换将改为全部用光来实现，即对光信号直接实现路由而不用在中间转为电讯号。光交换技术将用到最近才出现的先进微机电系统(MEMS)技术，将光学技术加入到这种技术后它又称为光微电系统(MOEMS)。



最近研究人员提出了几种光交换器概念，其中大部份都采用移动微镜数组实现，微镜数组可作为单轴“通断”开关也可用作双轴任意方向光束复位向。这种数组有很多种设计方案，其中大家比较熟知的是德州仪器公司(TI)的 DMD(数字微镜器件)系统，该系统有很多微镜模块组件和可移动组件，结构也是世界上最复杂的。这种高密度装置里面包含了几百万个移动组件，采用先进的半导体制程设计制作，其高精复杂结构表明目前的制程已发展到了一个新的高度。图 2 是移动镜面结构的放大示意图，图 3 则是其它一些微镜设计方案。

## MOEMS 封装

所有的 MOEMS 封装都有一个相同的要求，即必须要有透明窗，并且光线传入传出的损耗必须很小。

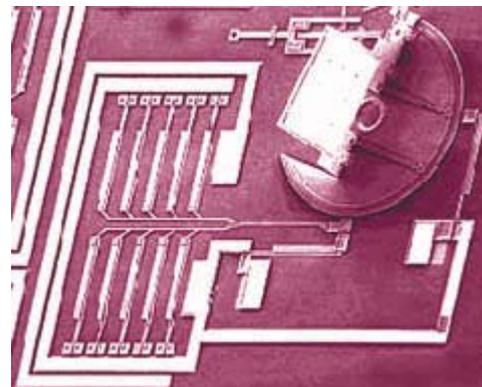
TI 的 DMD 最初是用在数字投影仪上，这种投影仪在一些会议场所经常用到。其实现原理如下：从强光源来的光线先照到成千上万个镜片上，如果像素处于“开”状态其对应镜片就会将光射向镜头，并照到银幕上，反之则不会。由于镜片结构的品质很小，它可以对每一个脉冲做出快速响应，而任何污染都可能对机构的机械运动和光束产生很大影响，因此封装内不能有气体和尘埃，尤其是水气。现在几乎所有生产商都采用密闭封装，目前也有人在研究低成本的准密闭型封装，可能不久就会有结果。另外 DMD 系统也可用作利用每个镜片进行输入输出控制的光交换系统。

有时密闭封装也不能满足要求。主要是因为除去所有的气体和微粒很难，有时气体和粒子还可能会从封装内部生成：内部很多地方都会产生气体而出现水气，器件磨损也可能产生微小的固体颗粒而影响机械结构的正常运动。需要一个可靠的方法去掉封装内部的气体和微粒，最简单的办法就是采用吸收剂。为了达到最佳性能并延长工作寿命，TI 和其它一些公司都采用了先进的吸收剂。

## 什么是吸收剂

吸收剂既然如此重要，到底这是一个什么样的物质呢？

吸收剂是一种可以有选择性去除杂质的材料，用于去除一些无用的杂质。这些吸收剂就像是封装中的“抗生素”，专门消灭有害污染物，它分为气体、液体和固体吸收剂三种：气体吸收剂主要包括氧气和氢气吸收剂，这两种都是密闭封装里的有害气体；液体吸收剂主要是水气吸收剂，有些水气吸收剂也能吸收氨、二氧化硫和封装内其它一些有害气体；固体微粒吸收剂则吸收所有微粒，而不管其化学成分为何。



上述几种都是一些重要的吸收剂，可用于高可靠性电子产品和 MEMS。对于 MOEMS 器件，主要用到水气和微粒吸收剂，两者也可合二为一作为多功能吸收剂使用。

## 吸收剂工作原理

### 水气吸收

传统用于军事、航空、医疗及其它一些应用的密闭封装通常要求有很高的可靠性，制造时最大水气含量不能高于 5,000ppm，封装的最大泄漏速度不得超过  $10 \sim 8 \text{ atm-cc/s}$ ，以免在器件的正常使用寿命期间漏入太多水气。

但在微电子设备密封时只漏入很少水气并且在数年使用过程中保持很低含量是比较困难的。有多种原因会使水气进入封装内部，如密封泄漏、密封过程中产生水气、黏胶甚至封装材料本身产生水气等等，因此要保持长期可靠性就需要用到吸收剂。

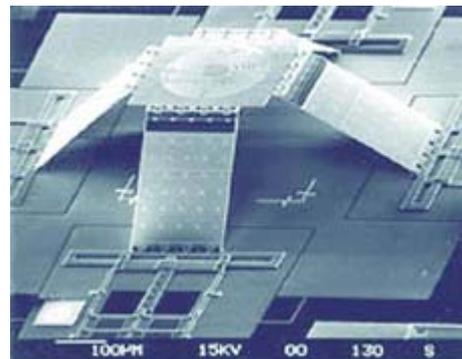
水气吸收剂里含有干燥成分，一般和浸透性聚合物混合在一起。干燥剂可以是普通的无机化合物，与水分子结合后产生氢氧化物，它就利用这种化学作用将封装内的水分子除去。

通常用沸石或其它矿物类化合物作为水气吸收剂，这些固体干燥剂均匀地散布于一个塑料薄膜里，并放置于封装内，除了常见的薄膜方式外，吸收剂还可做成浆状而在热硬化处理后涂覆到封装内或盖板上。由于吸收剂在储存和使用过程中可能已经吸收了水分，因此在封装密封之前应先进行加热使其脱水恢复到完全干燥的状态。另外有些陶瓷封装本身就有吸水功能，所以这种封装本身也是吸水剂。

水气对任何电子设备通常都是有害的，尤其对于 MEMS 产品更是如此。湿气会导致物体表面接触，造成所谓的黏结现象。黏结就是指两个接触物体表面间的引力，它会使两物体表面接触并黏在一起，此时要想将两个物体分开或移动要用到很大的力。

如果不能消除这种黏结现象，要想使黏在一起的物体相对移动就得有很大的激活力，也即意味着需要强力驱动马达，镜片移动时一些微小停顿可能就是黏结造成的。发生在宏观世界里的黏结现象由于其力量很小，所以根本不会察觉到，但 MEMS 器件品质非常小，而表面积又相对较大，因此在这样一个微观条件下它就会是一个严重问题。

但它与水气有什么关系呢？主要是因为水分子在器件表面上会产生类似于胶水的作用，增大这种黏合的可能，一旦黏在一起，这个镜片也许就报废了。据有关文献介绍，相对湿度小于 20%可以减少黏结发生。此外，水分子的存在从光学角度来讲也是不好的，因为它会使镜头雾化，腐蚀镜片，并在窗口上凝结。



Cookson 半导体封装材料公司(CSPM)的水气吸收剂如 STAYDRY SD1000 可应用于 400°C 高温条件下，这类产品可吸收水气和其它一些腐蚀性气体，如氨、二氧化硫以及硫化氢等，完全固化后，在 1.5cm<sup>3</sup> 内部空间及 150°C 温度条件下 2.54x2.54cm 吸收剂涂覆层的吸收能力可超过 300,000ppm/in<sup>2</sup>/mil，在室温下其吸收能力还要再高 5 倍。

## 氢气的去除

谈到氢气的去除可能会让人迷惑：这种气体从何而来？有何危害？其来源主要是因为金属进行电镀时会吸收氢气，在一定条件下则会释放出来，此外作密封处理时也可能产生氢气，还有封装中用到的射频吸收材料甚至芯片黏接剂也是氢气来源之一。氢对于大多数硅器件是没什么害处的，但对高速砷化镓(GaAs)则会产生缓慢损害，因为氢一旦遇到铂(Pt)或钯(Pd)会产生一系列化学反应，使氢分子激化为高活性氢原子，而氢原子将对半导体造成破坏，造成工作性能逐渐下降。由于许多 GaAs 器件用 Pt 或 Pd 作为导电层，所以氢吸收剂在这里就相当重要，这些吸收剂一般用能吸收氢的铂或钯以及 PdO 之类的氧化物。STAYDRY H2-3000(CSPM)就是一种 PdO 吸收剂，它可将氢转化为水，再由同一个吸收剂内的水气吸收剂把水吸掉。

## 微粒吸收

微粒吸收剂常常设计为多功能吸收剂，如 STAYDRY GA2000-2(CSPM)就是一个含有两种成分的双功能吸收剂，固化之后非常黏。它可以兼作水气和微粒吸收剂，能用于需要进行微粒冲击噪声检测(PIND)测试场合，可在恶劣条件下延长使用寿命，此外它还满足 MIL-STD-883D 中 5011.3 方法的规定。很多微粒吸收剂都可以印刷在封装盖上或用针进行涂覆。微粒吸收剂对于微镜数组和其它可移动 MEMS 器件是相当重要的，目前 MOEMS 器件都采用水气-微粒综合吸收剂。

## 准密封封装制程

去年 11 月，美国国家自然科学基金委员会(NSF)资助的 MEMS 工作组在奥兰多专门讨论了封装方面的问题，会上封装成本成为讨论的热点，人们发现采用非完全密封方式可以降低封装的成本。

TI 认为如果有足够的吸收剂，那么采用聚合体黏合剂进行准密封封装将可以满足光学镜片数组的封装要求，当然这里还有很多工作要做，可能需要一些大学参与这方面的研究，尤其还应得到政府的支持。NSF 工作组希望不久能在杂志上发表这方面的一些新进展。

## 本文结论

最近 MEMS 已成为一项非常热门的技术，但仍然有许多问题需要寻找经济的解决办法。在 MEMS 和 MOEMS 封装制程中吸收剂将起很关键的作用，双功能水气-微粒吸收剂是一种理想的吸收剂，可用于光学 MEMS 产品中。此外该领域内还有很多工作要做，尤其是在准密封封装制程方面，采用吸收剂可以实现低成本封装如黏胶密封或者塑料封装。

## 电子业正迈步走入高密度功能性电路新时代

随着每种电子产品都在朝着尺寸变小性能增强方向发展，制造业需要有更新的制程、更高的联机密度和更好的工具以迎接这一挑战。如果说 20 世纪给人留下深刻印象的是令人称奇的各种电子电路，那么 21 世纪则将为人类带来用途更广的功能性电路。

人类已进入到一个新千年，我们需要跳出旧的框框来为 21 世纪的设计、测试、装配和封装技术所面临的挑战找到更好解决方案，将现有技术和最新技术融合在一起将开发出新的成果，满足各类电子/信息/网际网络应用快速发展的要求。有关功能性电路的讨论将在后面涉及，我们首先谈谈制造策略以及业务/基础结构方面的问题。

## SoC 还是 SiP?

对这个问题的答案是：两者都要。实际上看一看目前业界有关系统级芯片(SoC)和系统级封装(SiP)的争论就不言自明了，或许 SSoC(子系统级芯片)还更为合适。几年前，在一次讨论未来计算机制造的会议上，各公司都认为家用和商用计算机的发展将很快跟上消费类电子产品每季度更新一次的速度。行销人员只考虑市场，他们愿意为每个人或每家公司去改变产品设计而不管市场周期有多短(即使只有一个季度)，这就给设计和制造人员带来更大的困难。这一趋势还不只限于计算机，对于 IC 制造商和芯片使用者来讲，在准备购买新设备时也应充分考虑市场快速变化所需的灵活性及外包等各种因素。

为获得最佳结果，制造商应能接受电子形式的 IC 设计、封装、线路板和系统设计输入，然后尽快把这一切做成具有一定功能的产品以满足市场的需求。SoC 的真正敌人是“第一硅片时间”(first silicon)，也就是从完成 IC 设计到生产出第一个芯片之间的时间间隔，迄今为止，这一时间间隔还是无法跟上每季度变化的快速节奏，主要问题在于缺乏 IC 和系统设计人员，其它方面的原因则包括光刻版的制作时间以及生产设备安排等。

虽然将所有的组件都制作在一个 IC(SoC)上从技术上讲非常出色，但这却是一种昂贵的制程，它的“第一硅片时间”很长。SoC 能够提供优越的核心产品功能，而 SiP 则较为经济，它将核心功能 IC 和其它组件以较低的成本整合在封装中以满足当前市场的要求。SiP 最大的优点在于可以使用熟悉的线焊、凸点和芯片焊接制程。

SoC 通常在一个芯片内整合了一个微处理器(或者 ASIC)和一些内存。这种大小的 DRAM 只卖几美元，但在量大情况下供货商仍有利润可赚；大的微处理器制造商则以几百或上千美元出售相似大小的芯片，利润也相当可观。而将一块 DRAM 和一个微处理器放在一个 SiP 中其价格大约只有单片式 SoC 的一半。

还用 SoC 吗？除非是有不需考虑价格的强制性原因。具有核心功能的 SoC 可以与其它特种晶圆器件如 MEMS(微机电系统)或 MOEMS(微光机电系统)一起整合在小尺寸主动或被动组件基板上，这对于 IC 中的电路与光纤系统中的光路连接非常有用。

## 功能性电路?

如果说 IC 和我们熟悉的电子学是 20 世纪的关键技术，那么功能性电路将是 21 世纪的焦点。这是一个必然的转换，实际上这已经在进行之中，即从单纯的电子学发展到一个集电子学、光学、纳米技术和微米机械模块于一体的混合技术。MEMS 以及加上光功能的 MOEMS 将是两种非常重要的方式，将 IC 中的电路和光纤及其它器件中的光路连接在一起。平面 MEMS/MOMES 器件可以切换或改变光路线，在传统 IC 中与电路相连，或者可在其它场合用作感应器、驱动器、电机及无线器件。

一个至今为止一直限制 MEMS/MOEMS 应用的问题是器件的封装，这一问题已困扰了人们多年。现在一个古老的方法——吸收剂又获得了新生(见本期“封装制程中吸收剂的分类及其作用”一文)，用吸收剂除去污染物和气体已被证明在多芯片封装(MCP)中非常有用。

集成电路的高密度互连技术(HDI)正越来越多地与 IC 和其它晶圆半导体器件结合在一起，包括 MEMS 和 MOEMS。

## 纵向整合还是 EMS?

一些研究测试/组装/封装(TAP)趋向的市场调查人员始终认为现在的趋势是越来越依赖于外包或 EMS(电子制造服务，或称为合约制造商)，而不是从采购组件到最后出产品每一步都自己进行统一管理。外包数量成长并不奇怪，因为很少公司具备从头到尾的完全制造能力，而且这些公司也在对维持纵向整合所需的投资提出质疑。过去几年里，大多数电子硬件公司都处于一种危险的境地，即每个季度都要推出新产品，有些是自己的计画，有些则是为了应付竞争者挑战。如果 OEM 厂商在外包时有两个或更多的 EMS 能够经常进行合作，这些 EMS 厂商根据需要对棘手项目提供专业服务，则将能收到很好的效果。

这里有一些忠告。大家可以想一想古老的学习曲线是怎么来的？如果用户最终厌倦了频繁的硬件/软件更新和人为的商品淘汰会产生什么后果？如果经济减速需求下降，或者人们从追求新颖变到务实时又会有什么后果？如果预测热门新产品或者



满足新产品要求有困难，它对计画中的工厂扩张和新厂建设会有什么影响？PlayStation 2 已售完听起来是不是很耳熟？在开始制造新产品之前，必须先对这些问题作出回答。

## 今后的 HDI 技术

尽管生产商们非常怀念过去那种标准尺寸 IC 和接脚数目，而且引线间距和焊盘尺寸都有统一的标准，但如今除了一些低利润产品外已找不到这类 IC 了。现在的产品都受高利润因素的支配，虽然 IPC 制定了一些有关基板特别是有关 PWB 的标准，但是非标准 IC 仍被普遍使用，这些 IC 使用很少见的 I/O 数目和独特的焊盘结构。事实上，在过去四年中每年大约都会出现 200 种新型 IC 封装专利，而且目前还看不到有减速的迹象。当销售人员发现了一个还未开发的市场时，最好停止抱怨去寻找新的解决方案，而不要抱着过去的标准不放。

根据 ITRI 的资料，第四代 PWB 技术已经出现，它的特点是使用更小尺寸(150  $\mu\text{m}$  以下)的盲孔和埋孔、走线间距更细(75  $\mu\text{m}$  以下)，而且很多时候都是多层板，这些线路层既可以独立制作，也可以是在第三代 PWB 的上面增加。此外硅、陶瓷和玻璃基板都具有良好的性能，从而迫使 PWB 制造商进一步改进其产品性能。

当晶圆制作完成后，也即所有数百万个晶体管都已做在只有几个分子厚的薄膜层上以后，TAP 就开始了。先在尚未分割成小芯片的完整晶圆上使用光刻制程在钝化(绝缘)层上刻出需要除去的部份，再开出用于进行电性连接的 I/O 焊盘。

露出 I/O 导电焊盘后，就用探针进行电气测试，以检验 IC 功能是否正常，然后根据需要进行焊接凸点底部金属化(UBM)，以便于作焊接、线焊或导电聚合物黏结。如果焊盘靠得太近，或者布局与基板要求不同，可使用再布线制程，在 IC 方便的位置上添加导电通路和焊盘。

如果芯片制造商、EMS 厂商、IC 工厂或 OEM 厂商需要在这一步完成芯片封装，此时可对整个晶圆进行保护性封装，然后再划片，分成一个个小的芯片以用于组装，这就是一般所谓的晶圆规模封装(WSP)，或者叫晶圆级封装(WLP)。如果需要裸芯片或是制作有焊接凸点的芯片，就不用封装而先划片，也可以将芯片的厚度减薄到 50  $\mu\text{m}$  以下，使之在下一步工序之前具有一定韧性，这样能够从芯片正反两面触及 I/O 焊盘，可将几个 IC 迭起来做成一个非常薄的电路封装件。

## 面临的挑战

RF 通讯和高速微处理器的执行速度只是现有困难的一小部份。蓝芽和其它无线通讯技术已经在使用或正在计画中，而移动电话应用范围也在不断成长，因此应对该领域 IC 的互连性和基板性能各方面进行检查，确认不存在 RF 干扰问题且所选用的是最佳组合，比如对某些电路设计而言，基板上的导线或焊点引线可能会起到天线的作用。

因此毫不奇怪，Intel 和 IBM 都宣布将开发更快速度的产品。IBM 的 0.13  $\mu\text{m}$  制程使用铜引线、绝缘层硅(SOI)晶体管和经改进的低 k 介质制造芯片，藉由在芯片的硅基中生成一层绝缘层将晶体管隔离并改进芯片电路的电流流动性，从而大大提高晶体管的性能(提高达 35%)。这是一个做在 2.16  $\mu\text{m}^2$  面积上的最小 SRAM 存储单元，可将高性能存储器直接做在芯片上，制造出速度更快效率更高的处理器。

铜引线和 SOI 制程可提高芯片性能并降低功耗，低 k 介质能够为芯片上数百万铜线路提供屏蔽，降低引线间的电性干扰(这些电性干扰会降低芯片性能增加功耗)，使电讯号更加快速高效地在芯片上传输。此外电路小型化以及材料改进还使 IC 具有更强处理能力，提高电子产品对大运算量应用的支持，如语音识别、指纹鉴定及无线视频等应用。这类芯片目前正在进行试生产，第一批产品将在 2001 年初交付使用。

那么 Intel 又是怎样呢？正如 Mark LaPedus 在《半导体商业新闻》去年 12 月 11 日一篇题为“Intel 找到制造快速芯片的秘方”中讲述的那样，我们可以从中看到一丝 Intel 未来的技术发展方向。Intel 将在国际电子器件会议(IEDM)上宣布生产世界上最快的晶体管，预计在 2005 年用这一技术制造出 10GHz 微处理器。据他们介绍，这种晶体管将采用 0.07  $\mu\text{m}$  设计规则，具有 0.5ps 的开关速度，该晶体管据说在外形尺寸和门-氧化物长度方面都是世界最小的。

## 本文结论

在新的一年里，不仅过去的一些成熟技术会更好地用于制造业中，新技术还将给工程师们提供更多的解决方案。越来越多的芯片会具有高密度 I/O(这个数量不久就会达到 2 万个)，I/O 引线也将靠得更近，需要使用精密的高密度微过孔基板和内部连接以及非常仔细的装配。许多非电子组件将被置于封装(和 IC)中，也即把光、机、电都整合在一起。

## 应用于先进 BGA 器件的 UltraVia 基板

未来的电子产品需要一种可靠、经济以及布线密度高的基板，在这方面，薄膜复合基板与传统复合基板相比具有无可比拟的优点。本文介绍一种采用类似半导体生产的制程在传统 PCB 层压板上制作高密度薄膜复合层的技术，它不仅能满足高密度互连基板性能上的要求，同时还可降低制造成本。

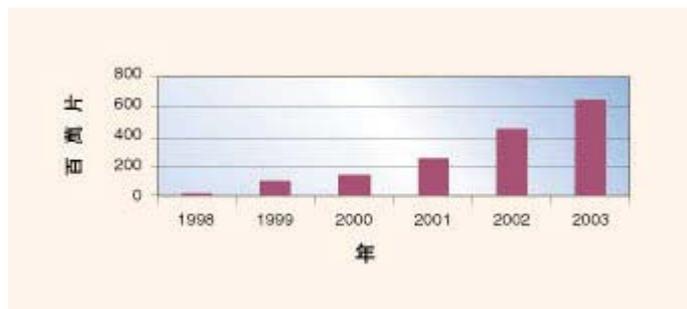
**Rao Mahidhara**  
可靠性工程师

**Jan Strandberg**  
制程技术开发经理  
Kulicke & Soffa Industries 基材事业部

为满足半导体工业持续成长的需要，电子材料业界一直在不断地努力。当前用到的器件 I/O 数一般不超过 500 个，大多数情况下芯片比较大而且对 I/O 数也没有很大限制，但最近情况有了变化。目前使用  $0.18\mu\text{m}$  和更细制程已制造出高密度且速度超过 800MHz 的集成电路，如像奔腾 CPU 之类的芯片，这种芯片要求大幅增加现有 I/O 的密度，以改进封装件的信号和电源连接性能，减少信号衰减。

此类需求导致了球栅数组(BGA)封装的出现，该封装的贴装焊球呈栅格数组分布，间距为 1.27mm，新一代产品还将缩小为 1mm、0.8mm 或更小尺寸。

业界专家们注意到，随着对封装小尺寸、高密度和高性能的要求不断成长，以及正装芯片线焊技术本身存在一定的局限性，使得塑封倒装芯片(FCIP)应用正在迅速上升，尤其是对于 I/O 数在 500 个以上的应用领域。倒装芯片贴装器件可用于汽车、计算机、通讯及消费类电子产品中，据市场顾问公司 Prismark 估计，1998 年倒装芯片 BGA 产品的产量为 2 千万片，到 2003 年将成长为 6.5 亿片(图 1)。高 I/O 数倒装芯片器件主要用于计算机和通讯领域，对于这些 BGA 产品来说更主要考虑的是性能而不是价格，这与消费类电子产品应用低接脚数 CSP(芯片级封装)产品的低成本要求形成鲜明对比。



随着倒装芯片 BGA 器件需求量增加，要求有机基板也要能够放置大量高密度芯片和焊盘，它与传统基板材料的不同之处在于增加了焊盘之间信号线的数目，同时减小倒装芯片焊盘的尺寸和间距。要想成功地做到这一点，就需要将基板上的线宽和线距降低到  $20\mu\text{m}$  以下，这用传统 PCB 技术很难做到，而且合格率也很低。最近 Kulicke & Soffa Industries 公司(K&S)发现，采用一种和半导体生产相类似的制程，可以在传统 PCB 基体材料上涂覆高密度薄膜复合层。

## 高密度 BGA 对基板的要求

基板或中间层是 BGA 封装中非常重要的部份，除了用作联机以外，其主要功能是提高器件的性能(传输信号、器件各部份之间的数据连接)以及提高密度与转换速度、改善频宽、控制阻抗同时便于电感/电阻/电容的整合。随着 I/O 数量增加、焊盘间距减小，要想在 BGA 基板上高效率地布置走线已变得很困难，基板在这方面的局限性成为高 I/O 数 BGA 封装发展的障碍。开发倒装芯片 BGA 封装使之具有更小的焊盘间距和尺寸受到基基本身材料的制约，大数量高密度芯片和焊盘对传统的基板材料提出了新要求。有机印刷线路板具有生产成本低、拥有现成制造设备等特点，比陶瓷材料性能更为优越，在 PCB 基础上开发出的新方案基本上能满足大部份互连结构的要求。但遗憾的是 IC 业需要在高热阻低吸潮基板上作出更细的电路，而这方面传统的 PCB 技术却没有跟得上。

美国国家电子制造协会(NEMI)注意到，按目前的先进封装基板制程水平，已有少数制造商能提供  $40\mu\text{m}$  线宽和线距的信号布线或金属联机，此外  $25\mu\text{m}$  线宽和线距也能做出样品，但费用会增加许多。以目前的基板制造技术还不能以较低成本满足高性能或高 I/O 要求，基板材料在近期内仍将非常短缺，而薄膜复合基板则显现出良好的效果。

要想藉由增加电路密度来提高性能，高密度互连(HDI)基板应具备以下条件：

- 较强的材料特性，如高玻璃转化温度( $T_g$ )、低吸潮性和高尺寸稳定性；
- 较强的电气性能和高可靠性；
- 金属薄膜对绝缘层和基板介质具有较高黏着性。

为满足未来高密度电路基板的要求，K&S 开发了一种称为 UltraVia 基板的新技术。这种产品采用类似半导体生产的制程，在传统 PCB 层压板上制作高密度薄膜复合层，PCB 和各层薄膜复合层之间以定位精确的微孔进行互连。它利用标准 PCB

层压板及常用印制布线路板制程，可使倒装芯片和引线焊接 BGA 基板的密度达到最高。UltraVia 基板可以用于 4 层金属 PCB(1+2+1)，也可用于 2 层金属 PCB，薄膜层的层数还可根据客户的设计要求而定。

与常规双面复合技术不同，薄膜 UltraVia 基板只能在层压板顶面增加线路密度。K&S 技术相比于传统复合技术的另一个重要特性是在有限的薄膜复合层中作出非常小的线路，从而能在焊盘之间形成更多信号通路(图 2)。此外，使用液态介质沉积技术，可以在较高密度下控制阻抗，有效地改进电气性能达到更快的信号传送速度，尤其在沉积介质的厚度、平面性和均匀性都能满足要求时更是如此。薄膜复合基板层数较少面积较大，特别适用于高 I/O 数倒装芯片和引线焊接应用，这一技术中所用的顶部金属层宽度为  $18\mu\text{m}$ ，厚度为  $4.85\mu\text{m}$ ，其电气性能典型值为：阻抗  $50\Omega$ ，线阻  $3.0\Omega/\text{cm}$ ，线电容  $1.16\text{pF}/\text{cm}$ ，线电感  $2.86\text{nH}/\text{cm}$ ， $50\mu\text{m}$  间距逆向串扰(Kb)小于 5%。



### 试验模型

UltraVia 基板使用环氧装填 PTH 的 BT 树脂层压板，另外也可以用其它高  $T_g$  值核心材料。

K&S 使用平板显示(PFD)型设备在大平面上沉积薄膜层，金属层的结构形式为用溅射铜层作为参考平面，而用顶部覆镍/金的镀铜层作为信号线走线和焊接表面。光敏介质膜  $T_g$  大于  $220^\circ\text{C}$ ，介电常数为 3.3，可用作层间绝缘及替代焊接光罩以制作高分辨率钝化层。

UltraVia 基板在开发过程中制作了多个试验模型(TV)。开始时用的 TV1 有三个薄膜金属层和  $20\sim 50\mu\text{m}$  开口孔，用以评估薄膜设计原理、介质性能和金属黏着性。结果发现金属层和布线间绝缘电阻大于  $10\text{M}\Omega$ (超过测量设备的测量极限)，通孔尺寸变化对通孔电阻值影响很小，通孔电流强度测试显示流过的电流很大。TV2 用于可靠性试验，以研究薄层金属和板核心介质结构之间的相互影响。这些设计都不超出板面设计规范，如铜层厚度、PTH 直径、焊盘尺寸与间距以及 PTH 填充剂等。TV3 则是作为一个全功能试验产品设计制造的，用来评估基板、薄膜复合结构及试验芯片对倒装芯片组件总体可靠性的综合影响。TV3 所用的  $12\times 12\text{mm}$  芯片有 2,180 个倒装芯片凸焊点，间距为  $200\mu\text{m}$ ； $27\times 27\text{mm}$  基板上有 675 个焊球，间距为  $1\text{mm}$ 。

### 技术可靠性

K&S 的 UltraVia 基板正在作全面认证，认证以两种结构形式进行，即作为封装件和作为板上封装件。所选样品尺寸均符合 JEDEC 规范，对于大部份测试，LPDT(批内允许次品率)为 1%，50%失效率判定也作为可靠性研究的一个部份。

UltraVia 基板采用大板形式制造，生产成本具有较强竞争力，其生产在净化室环境中进行，配有在线数据获取、统计制程控制(SPC)及工厂控制等手段。UltraVia 基板是高密度基板的新一代产品，与当前常用复合技术相比，它具有更好的性能/价格比，特别是在 I/O 数超过 500 个的全数组结构深度走线(deep routing)情况下更是如此。

### 本文结论

随着应用产品要求不断提高，我们正在开始进入倒装芯片技术领域，这就要求基板技术在板密度、信号线布线特性、速度以及信号完整性方面有相应的提高，以便能用于高 I/O 数器件，如 ASIC、高文件处理器及图形芯片等。

### SI 问题认证和验证测试降低高速电路板设计失败的风险

过去，在系统时钟低于  $50\text{MHz}$  的电路板设计中，信号完整性(SI)问题并不突出，在设计后期做适当的修改就可消除 SI 问题或将其影响降至最低，但是，深次微米 IC 线宽的不断缩小要求每个电路板设计都要考虑 SI 问题，SI 分析也不再仅仅局限于高速设计。

Steve Sherwood

高速分析产品行销经理

Viewlogic System 公司

最近，一家视觉检测系统制造商的电路板设计工程师遇到一个令人困惑的现象：有 7 年历史的产品在更换了生产线后出了问题，该产品所需的器件同原有设计大致相同。唯一的不同点在于随着现代 IC 制造制程的进步，某些 IC 器件的尺寸大大减小了，速度也高了。那么，造成问题的原因在哪里呢？

观察发现，新的 IC 器件将 SI 问题引入到低速系统之中，而设计工程师在其原有设计中从未遇到过类似问题。

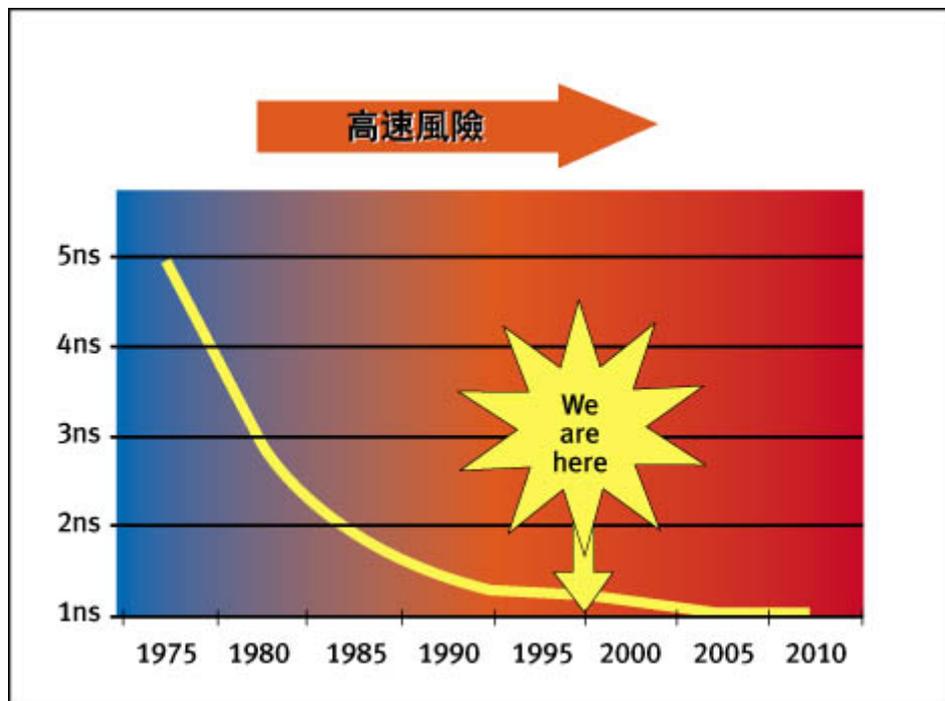
为尽量缩短开发周期，设计工程师正尝试着在设计初期就解决 SI 问题。在低速设计中，解决此类问题的常用办法是尽量提出设计约束条件以防止潜在问题的发生。只要设计工程师担心某些信号路径有可能出现问题，他们就会规定极其严格的参数来防止最坏情况的发生。因此，布板的限制条件经常迫使设计工程师在电路板上增加新层来解决串扰或干扰等 SI 问题。

尽管采用这些方法能够解决问题，但这会导致产品的最终成本大大提高，而且性能受到限制。在激烈竞争的市场上，成本是否最低、性能是否突出往往意味着产品的成功和失败。例如，电路网络布线器的客户过去常用一套陈旧的设计规则来解决 SI 问题。当采用由 ViewLogic Systems 公司开发的一套 SI 验证工具来测试其设计时，工程师很快就意识到他们配置的设计约束条件太多。藉由大量的 SI 分析后，他们决定采用 8 层板来替代以前的 24 层板，这样其制造成本削减了近 200 万美元。

## 不仅仅是高速问题

越来越多的设计工程师发现 SI 问题的成因不仅仅是高速设计。真正的原因不是系统时钟速率的提高，而是驱动器上升和下降时间的缩短。随着制程技术的进步及 IC 制造商转向采用 0.25 微米或更小制程，他们所生产的标准组件具有更小的芯片尺寸和越来越快的边缘速率。边缘速率的提高最终会导致设计中高速问题的产生，而传统的高速分析是不考虑这类问题的。

此外，当 IC 制造商转向可在更小面积上封装更多功能的高密度器件时，需要开发新型的封装技术。现在，BGA、CSP 和 MCM 等封装技术都可根据设计要求，在小型封装内提供更多的引脚和更少的封装寄生参数。尽管这些新型器件所占面积积极小，但它们也有其自身的问题。例如，他们依然需要较长的互联机作为信号线。



即便不考虑系统时钟速率，高的上升时间和更长的走线长度也让电路板设计工程师面临着严峻的挑战。只要传输线长度引起的延迟超过驱动器上升/下降时间有效长度的六分之一，就会引起传输线问题。例如，若上升时间为 1 ns，走线边缘速率为每英寸 2ns，只要走线长度超过 1 英寸，就会发生传输线问题。众所周知，走线长度小于 1 英寸的电路板极为少见。因此，采用上升时间为 1ns 的设计肯定会出现高速设计问题。随着新型 IC 制程的出现(见图 1)，情况会变得越来越糟。因为上升时间将很快发展到 1ns 以下。实际上，大约每隔三年晶体管门长度就会缩短，而其相应的开关速率会成长约 30%。

### ns 级边缘速率

显然，边缘速率为 0.5ns、时钟速率超过 400MHz、总线速率达到或超过 100MHz 的处理器正迫使 PC 设计工程师关注高速设计问题，但是，即使设计工程师采用了新型 FPGA 技术和基于 0.25 微米制程的器件，若不进行某种高速分析也很难开发出可以正常工作的设计。

SI 问题的表现方式很多。当边缘速率上升时，时序问题首先暴露出来。传输线效应造成的阻尼振荡(Ringing)、正尖峰(overshoot)和负尖峰(undershoot)有可能超过规定的噪音容限。在低速系统中，互连延迟和阻尼振荡可以忽略不计，因为在这种系统中信号有足够的达到稳定。但是当边缘速率加快，系统时钟速率上升时，信号在器件之间的传输时间以及同步准备时间都缩短了。

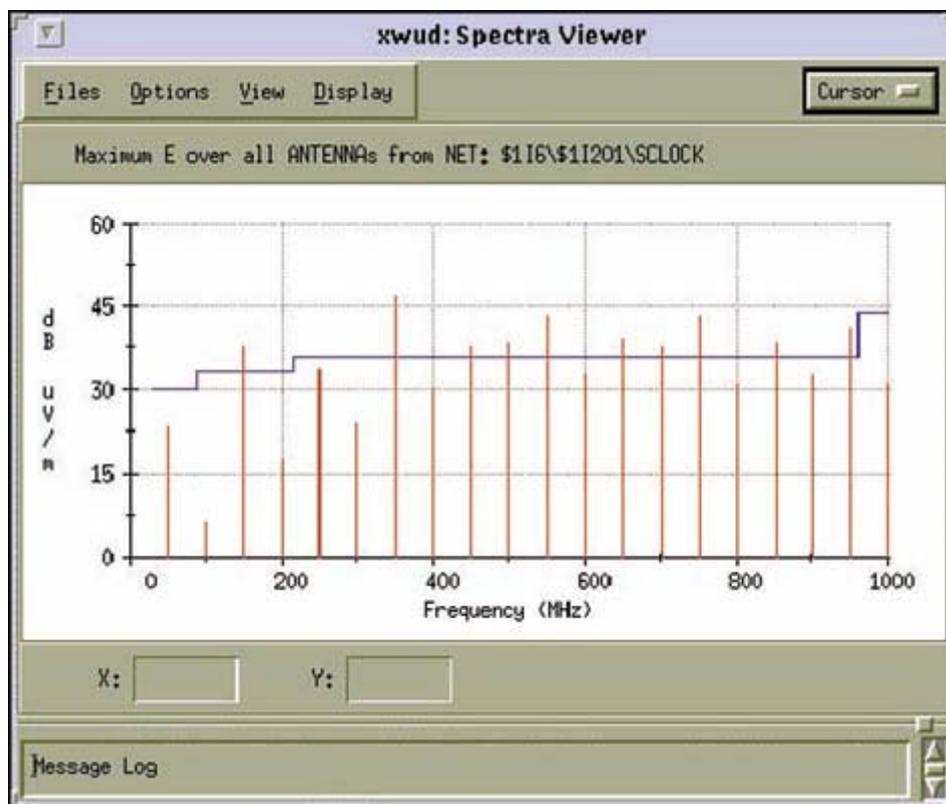
当边缘速率低于 1ns 时，串扰问题也出现了。通常在高边缘速率的高密度电路板中才会出现串扰问题，其成因是走线之间的耦合。亚纳秒级边缘速率会引起高频谐振，很容易耦合到邻近的互联机中，从而造成串扰，拥有大量高速互连的电路板特别容易产生此类问题。

当高速器件的边缘速率低于 0.5ns 时，电源系统稳定性和 EMI 等问题也随之产生。来自大容量数据总线的数据交换速率特别快，当它在电源层中产生足以影响信号的强波纹时，就会产生电源稳定性问题。高速信号也可能产生辐射，EMI 因而也成为要关注的另一个设计问题(图 2)。

## 电路板的完整设计

不幸的是，这些高边缘速率所引起问题在低速电路板设计中常常被忽视。设计工程师一般不会在这些设计中考虑 SI 问题，所以真正的危险在于当仍然存在潜在问题的情况下电路板被送去生产。此外，由于 SI 问题本身具有不可预测性，它们有可能在最后的成品电路板测试中也难以发现。结果，在产品交付使用很长时间后，这些问题才最终以难以诊断的现场故障问题显露出来。

真正的风险在于较高的 NRE(非重现工程)成本。每个电路板制造商在其产品的整个生命周期内都不得不支付这种 NRE 费用，此外，电路板制成之后才发现 SI 问题所造成的额外围设备设计修改也会使 NRE 成本大大增加。



在电子制造领域有一个广为接受的公理，即当产品从设计阶段进入制造阶段后，返工成本会呈指数级成长，产品投入使用后，返工成本会更高。若那些看起来运行正常的电路板设计在交付给用户并投入使用后才发现故障，那么它们给产品开发成本结构带来的风险要比传统高速设计中发现的 SI 问题大得多。这些成本不光在额外的返工中直接表现出来，而且也间接地表现在客户满意度和信任度的损失方面。

总而言之，这些问题要求在电路板的开发过程中引进一种新型安全设计措施以防止 SI 问题引入制造过程。为此，ASIC 设计工程师必须将消除 SI 问题作为与 ASIC 代工厂商所签协议的一部份。由于在定制芯片开发过程中要承担几十万美元的 NRE 风险，IC 代工厂商强烈要求每个设计都要藉由严格的 SI 问题仿真测试，以便在成本和责任义务方面保护 IC 代工厂的利益免受损害。此外，藉由要求设计工程师提供 SI 保证，IC 制造商不仅可确保能为其客户提供高品质的器件，而且可确保其客户能够设计出具有更高可制造性的芯片。

在将一块电路板送去制造以前，既保证其高速性能又对其进行 SI 验证测试将对电路板制造商有同样的好处。如果电路板设计工程师采用 SI 验证方法来测试每个电路板设计，并将这种测试作为设计流程的一个固有部份，而不管设计时钟是多少，这样就能保证设计中的 SI 问题得到解决。同样，他们也能向客户保证，产品投入使用后将不会出现意外的 SI 问题。此外，如果在设计过程中认真考虑了所有重要的高速布线网络，设计工程师就不必担心为解决此类问题对电路板设计做出的约束条件是否已经足够，在布板之后进行 SI 验证就可以消除出现 SI 问题的风险。

什么类型的仿真能为 SI 验证提供最佳的解决方案呢？理想的仿真工具应是一次能对电路板上的所有信号进行分析，而不是只分析几个布线网络。它应当包含一个完整的带损耗传输线模型。为简化 SI 问题的分析，它还能提供广泛而详细的报告，并且能直观地将某种故障同某种组件或互联机联系起来。最后，它能提供大量的假设性分析以帮助设计工程师选择最佳的系统拓扑、线端接和驱动器/接收器。

## 本文总结

在一个带有约束条件的布线布局方法中，新型 EDA 技术有助于最大程度地减少重复设计的次数。Viewlogic 的 ePlanner 工具能够帮助设计工程师在设计进入后端布板系统之前建立 PCB 拓扑原型。这种工具包含一种图形化的设计空间探测和互连规划设计环境，可让设计工程师进行高速信号电路板设计策略的假设性分析，并为布线器配置设计准则。

当然，最佳的长期解决方案是将 SI 分析移到设计过程的前端进行，并将其与布线布局功能整合在一起，尽管这种长期解决方案目前还不能实现，但至少电路板在进入制造阶段之前进行 SI 问题认证和 SI 验证测试应当成为每个高速电路板设计过程中必不可少的一步。

## 作者简介：

Steve Sherwood 是 Viewlogic System 公司负责高速分析产品行销经理，他在 EDA 行业有着 19 年的经验并担任过多种市场和管理职务。

## 掌握集成电路封装的特征以达到最佳 EMI 抑制性能

将去耦电容直接放在 IC 封装内可以有效控制 EMI 并提高信号的完整性，本文从 IC 内部封装入手，分析 EMI 的来源、IC 封装在 EMI 控制中的作用，进而提出 11 个有效控制 EMI 的设计规则，包括封装选择、接脚结构考虑、输出驱动器以及去耦电容的设计方法等，有助于设计工程师在新的设计中选择最合适的集成电路芯片，以达到最佳 EMI 抑制的性能。

**Rick Hartley**

高级 PCB 硬件工程师

Applied Innovation 公司

rickh@ainet.com

现有的系统级 EMI 控制技术包括：1. 将电路封闭在一个 Faraday 盒中(注意包含电路的机械封装应该密封)来实现 EMI 屏蔽；2. 在电路板或者系统的 I/O 端口上采取滤波和衰减技术来实现 EMI 控制；3. 实现电路的电场和磁场的严格屏蔽，或者在电路板上采取适当的设计技术严格控制 PCB 走线和电路板层(自屏蔽)的电容和电感，从而改善 EMI 性能。

EMI 控制通常需要结合运用上述的各项技术。一般来说，越接近 EMI 源，实现 EMI 控制所需的成本就越小。PCB 上的集成电路芯片是 EMI 最主要的能量来源，因此如果能够深入了解集成电路芯片的内部特征，可以简化 PCB 和系统级设计中的 EMI 控制。

PCB 板级和系统级的设计工程师通常认为，它们能够接触到的 EMI 来源就是 PCB。显然，在 PCB 设计层面，确实可以做很多的工作来改善 EMI。然而在考虑 EMI 控制时，设计工程师首先应该考虑 IC 芯片的选择。集成电路的某些特征如封装类型、偏置电压和芯片的制程技术(例如 CMOS、ECL、TTL)等都对电磁干扰有很大的影响。本文将着重讨论这些问题，并且探讨 IC 对 EMI 控制的影响。

## EMI 的来源

数字集成电路从逻辑高到逻辑低之间转换或者从逻辑低到逻辑高之间转换过程中，输出端产生的方波信号频率并不是导致 EMI 的唯一频率成分。该方波中包含频率范围宽广的正弦谐波分量，这些正弦谐波分量构成工程师所关心的 EMI 频率成分。最高 EMI 频率也称为 EMI 发射频宽，它是信号上升时间而不是信号频率的函数。计算 EMI 发射频宽的公式为：

$F=0.35/T_r$ ，其中：F 是频率，单位是 GHz； $T_r$  是单位为 ns(纳秒)的信号上升时间或者下降时间。

从上述公式中不难看出，如果电路的开关频率为 50MHz，而采用的集成电路芯片的上升时间是 1ns，那么该电路的最高 EMI 发射频率将达到 350MHz，远远大于该电路的开关频率。而如果 IC 的上升时间为 500ps，那么该电路的最高 EMI 发射频率将高达 700MHz。众所周知，电路中的每一个电压值都对应一定的电流，同样每一个电流都存在对应的电压。当 IC 的输出在逻辑高到逻辑低或者逻辑低到逻辑高之间变换时，这些信号电压和信号电流就会产生电场和磁场，而这些电场和磁场的最高频率就是发射频宽。电场和磁场的强度以及对外辐射的百分比，不仅是信号上升时间的函数，同时也取决于对信号源到负载点之间信号信道上电容和电感的控制的好坏，在此，信号源位于 PCB 板的 IC 内部，而负载位于其它的 IC 内部，这些 IC 可能在 PCB 上，也可能不在该 PCB 上。为了有效地控制 EMI，不仅需要关注 IC 芯片自身的电容和电感，同样需要重视 PCB 上存在的电容和电感。

当信号电压与信号回路之间的耦合不紧密时，电路的电容就会减小，因而对电场的抑制作用就会减弱，从而使 EMI 增大；电路中的电流也存在同样的情况，如果电流同返回路径之间耦合不佳，势必加大回路上的电感，从而增强了磁场，最终导致 EMI 增加。换句话说，对电场控制不佳通常也会导致磁场抑制不佳。用来控制电路板中电磁场的措施与用来抑制 IC 封装中电磁场的措施大体相似。正如同 PCB 设计的情况，IC 封装设计将极大地影响 EMI。

电路中相当一部份电磁辐射是由电源总线中的电压瞬变造成的。当 IC 的输出级发生跳变并驱动相连的 PCB 线为逻辑“高”时，IC 芯片将从电源中吸纳电流，提供输出级所需的能量。对于 IC 不断转换所产生的超高频电流而言，电源总线始于 PCB 上的去耦网络，止于 IC 的输出级。如果输出级的信号上升时间为 1.0ns，那么 IC 要在 1.0ns 这么短的时间内从电源上吸纳

足够的电流来驱动 PCB 上的传输线。电源总线上电压的瞬变取决于电源总线路径上的电感、吸纳的电流以及电流的传输时间。电压的瞬变由下面的公式所定义：

$V=Ldi/dt$ ，其中：L 是电流传输路径上电感的值；di 表示信号上升时间间隔内电流的变化；dt 表示电流的传输时间(信号的上升时间)。

由于 IC 管脚以及内部电路都是电源总线的一部份，而且吸纳电流和输出信号的上升时间也在一定程度上取决于 IC 的制程技术，因此选择合适的 IC 就可以在很大程度上控制上述公式中提到的所有三个要素。

## IC 封装在电磁干扰控制中的作用

IC 封装通常包括：硅基芯片、一个小型的内部 PCB 以及焊盘。硅基芯片黏着在小型的 PCB 上，藉由绑定线实现硅基芯片与焊盘之间的连接，在某些封装中也可以实现直接连接。小型 PCB 实现硅基芯片上的信号和电源与 IC 封装上的对应管脚之间的连接，这样就实现了硅基芯片上信号和电源节点的对外延伸。贯穿该 IC 的电源和信号的传输路径包括：硅基芯片、与小型 PCB 之间的联机、PCB 走线以及 IC 封装的输入和输出管脚。对电容和电感(对应于电场和磁场)控制的好坏在很大程度上取决于整个传输路径设计的好坏。某些设计特征将直接影响整个 IC 芯片封装的电容和电感。

首先看硅基芯片与内部小电路板之间的连接方式。许多的 IC 芯片都采用绑定线来实现硅基芯片与内部小电路板之间的连接，这是一种在硅基芯片与内部小电路板之间的极细的飞线。这种技术之所以应用广泛是因为硅基芯片和内部小电路板的热胀系数(CTE)相近。芯片本身是一种硅基器件，其热胀系数与典型的 PCB 材料(如环氧树脂)的热胀系数有很大的差别。如果硅基芯片的电气连接点直接黏着在内部小 PCB 上的话，那么在一段相对较短的时间之后，IC 封装内部温度的变化导致热胀冷缩，这种方式的连接就会因为断裂而失效。绑定线是一种适应这种特殊环境的引线方式，它可以承受大量的弯曲变形而不容易断裂。

采用绑定线的问题在于，每一个信号或者电源线的电流环路面积的增加将导致电感值升高。获得较低电感值的优良设计就是实现硅基芯片与内部 PCB 之间的直接连接，也就是说硅基芯片的连接点直接黏接在 PCB 的焊盘上。这就要求选择使用一种特殊的 PCB 板基材料，这种材料应该具有极低的 CTE。而选择这种材料将导致 IC 芯片整体成本的增加，因而采用这种制程技术的芯片并不常见，但是只要这种将硅基芯片与载体 PCB 直接连接的 IC 存在并且在设计方案中可行，那么采用这样的 IC 器件就是较好的选择。

一般来说，在 IC 封装设计中，降低电感并且增大信号与对应回路之间或者电源与地之间电容是选择集成电路芯片过程的首选考虑。举例来说，小间距的表面黏着与大间距的表面黏着制程相比，应该优先考虑选择采用小间距的表面黏着制程封装的 IC 芯片，而这两种类型的表面黏着制程封装的 IC 芯片都优于过孔引线类型的封装。BGA 封装的 IC 芯片同任何常用的封装类型相比具有最低的引线电感。从电容和电感控制的角度来看，小型的封装和更细的间距通常总是代表性能的提高。

引线结构设计的一个重要特征是管脚的分配。由于电感和电容值的大小都取决于信号或者是电源与返回路径之间的接近程度，因此要考虑足够多的返回路径。

电源和地管脚应该成对分配，每一个电源管脚都应该有对应的地管脚相邻分布，而且在这种引线结构中应该分配多个电源和地管脚对。这两方面的特征都将极大地降低电源和地之间的环路电感，有助于减少电源总线上的电压瞬变，从而降低 EMI。由于习惯上的原因，现在市场上的许多 IC 芯片并没有完全遵循上述设计规则，然而 IC 设计和生产厂商都深刻理解这种设计方法的优点，因而新的 IC 芯片设计和发布时 IC 厂商更关注电源的连接。

理想情况下，要为每一个信号管脚都分配一个相邻的信号返回管脚(如地管脚)。实际情况并非如此，即使思想最前卫的 IC 厂商也没有如此分配 IC 芯片的管脚，而是采用其它折衷方法。在 BGA 封装中，一种行之有效的设计方法是在每组八个信号管脚的中心设置一个信号的返回管脚，在这种管脚排列方式下，每一个信号与信号返回路径之间仅相差一个管脚的距离。而对于四方扁平封装(QFP)或者其它鸥翼(gull wing)型封装形式的 IC 来说，在信号组的中心放置一个信号的返回路径是不现实的，即便这样也必须保证每隔 4 到 6 个管脚就放置一个信号返回管脚。需要注意的是，不同的 IC 制程技术可能采用不同的信号返回电压。有的 IC 使用地管脚(如 TTL 器件)作为信号的返回路径，而有的 IC 则使用电源管脚(如绝大多数的 ECL 器件)作为信号的返回路径，也有的 IC 同时使用电源和地管脚(比如大多数的 CMOS 器件)作为信号的返回路径。因此设计工程师必须熟悉设计中使用的 IC 芯片逻辑系列，了解它们的相关工作情况。

IC 芯片中电源和地管脚的合理分布不仅能够降低 EMI，而且可以极大地改善地弹反射(ground bounce)效果。当驱动传输线的器件试图将传输线下拉到逻辑低时，地弹反射却仍然维持该传输线在逻辑低阈值电平之上，地弹反射可能导致电路的失效或者故障。

IC 封装中另一个需要关注的重要问题是芯片内部的 PCB 设计，内部 PCB 通常也是 IC 封装中最大的组成部份，在内部 PCB 设计时如果能够实现电容和电感的严格控制，将极大地改善设计系统的整体 EMI 性能。如果这是一个两层的 PCB 板，至少

要求 PCB 板的一面为连续的地平面层, PCB 板的另一层是电源和信号的布线层。更理想的情况是四层的 PCB 板, 中间的两层分别是电源和地平面层, 外面的两层作为信号的布线层。由于 IC 封装内部的 PCB 通常都非常薄, 四层板结构的设计将引出两个高电容、低电感的布线层, 它特别适合于电源分配以及需要严格控制的进出该封装的输入输出信号。低阻抗的平面层可以极大地降低电源总线上的电压瞬变, 从而极大地改善 EMI 性能。这种受控的信号线不仅有利于降低 EMI, 同样对于确保进出 IC 的信号完整性也起到重要的作用。

## 其它相关的 IC 制程技术问题

集成电路芯片偏置和驱动电源电压  $V_{cc}$  是选择 IC 时要注意的重要问题。从 IC 电源管脚吸纳的电流主要取决于该电压值以及该 IC 芯片输出级驱动的传输线(PCB 线和地返回路径)阻抗。5V 电源电压的 IC 芯片驱动  $50\Omega$  传输线时, 吸纳的电流为 100mA; 3.3V 电源电压的 IC 芯片驱动同样的  $50\Omega$  传输线时, 吸纳电流将减小到 66mA; 1.8V 电源电压的 IC 芯片驱动同样的  $50\Omega$  传输线时, 吸纳电流将减小到 36mA。由此可见, 在公式  $V=Ldi/dt$  中, 驱动电流从 100mA 减少到 36mA 可以有效地降低电压的瞬变  $V$ , 因而也就降低了 EMI。低压差分信号器件(LVDS)的信号电压摆幅仅有几百毫伏, 可以想象这样的器件技术对 EMI 的改善将非常明显。

电源系统的去耦也是一个值得特别关注的问题。IC 输出级藉由 IC 的电源管脚吸纳的电流都是由电路板上的去耦网络提供的。降低电源总线上电压下降的一种可行的办法是缩短去耦电容到 IC 输出级之间的分布路径。这样将降低“ $Ldi/dt$ ”表达式中的“ $L$ ”项。由于 IC 器件的上升时间越来越快, 在设计 PCB 板时唯一可以实施的办法是尽可能地缩短去耦电容到 IC 输出级之间的分布路径。一种最直接的解决方法是将所有的电源去耦都放在 IC 内部。最理想的情况是直接放在硅基芯片上, 并紧邻被驱动的输出级。对于 IC 厂商来说, 这不仅昂贵而且很难实现。然而如果将去耦电容直接放在 IC 封装内的 PCB 板上, 并且直接连接到硅基芯片的管脚, 这样的设计成本增加得最少, 对 EMI 控制和提高信号完整性的贡献最大。目前仅有少数高级微处理器采用了这种技术, 但是 IC 厂商们对这项技术的兴趣正与日俱增, 可以预见这样的设计技术必将在未来大规模、高功耗的 IC 设计中普遍应用。

在 IC 封装内部设计的电容通常数值都很小(小于几百皮法), 所以系统设计工程师仍然需要在 PCB 板上黏着数值在  $0.001\mu F$  到  $0.1\mu F$  之间的去耦电容, 然而 IC 封装内部的小电容可以抑制输出波形中的高频成分, 这些高频成分是 EMI 的最主要来源。

传输线终端匹配也是影响 EMI 的重要问题。藉由实现网络线的终端匹配可以降低或者消除信号反射。信号反射也是影响信号完整性的一个重要因素。从减小 EMI 的角度来看, 串行终端匹配效果最明显, 因为这种方式的终端匹配将入射波(在传输线上传播的原始波形)降低到了  $V_{cc}$  的一半, 因而减小了驱动传输线所需的瞬时吸纳电流。这种技术藉由减少“ $Ldi/dt$ ”中的“ $di$ ”项来达到降低 EMI 的目的。

某些 IC 厂商将终端匹配电阻放在 IC 封装内部, 这样除了能够降低 EMI 和提高信号完整性, 还减少了 PCB 板上的电阻数目。检查 IC 芯片是否采用了这样的技术可以更加清楚 IC 的输出阻抗。当 IC 的输出阻抗同传输线的阻抗匹配时, 就可以认为这样的传输线实现了“串联终端匹配”。值得注意的是串联终端匹配的 IC 采用了信号转换的反射模型。而在实际应用中如果沿传输线方向分布有多个负载, 并且有非常严格的时序要求, 这时串联终端匹配就可能不起作用。

最后, 某些 IC 芯片输出信号的斜率也受到控制。对大多数的 TTL 和 CMOS 器件来说, 当它们的输出级信号发生切换时, 输出晶体管完全导通, 这样就会产生很大的瞬间电流来驱动传输线。电源总线上如此大的浪涌电流势必产生非常大的电压瞬变( $V=Ldi/dt$ )。而许多 ECL、MECL 和 PECL 器件藉由在输出晶体管线性区的高低电平之间的转换来驱动输出级, 通常称之为非饱和逻辑, 其结果是输出波形的波峰和波谷会被削平, 因而减小了高频谐波分量的幅度。这种技术藉由提升表达式“ $Ldi/dt$ ”中的信号上升时间“ $dt$ ”项来减小 EMI。

## 总结

藉由仔细考察集成电路芯片的封装、引线结构类型、输出驱动器的设计方法以及去耦电容的设计方法, 可以得出有益的设计规则, 在电路设计中要注意选择和使用符合以下特征电子零组件:

1. 外形尺寸非常小的 SMT 或者 BGA 封装;
2. 芯片内部的 PCB 是具有电源层和接地层的多层 PCB 设计;
3. IC 硅基芯片直接黏接在内部的小 PCB 上(没有绑定线);
4. 电源和地成对并列相邻出现(避免电源和地出现在芯片的边角位置, 如 74 系列逻辑电路);
5. 多个电源和地管脚成对配置;
6. 信号返回管脚(比如地脚)与信号管脚之间均匀分布;
7. 类似于时钟这样的关键信号配置专门的信号返回管脚;
8. 采用可能的最低驱动电压( $V_{cc}$ ), 如相对于 5V 来说可以采用 3.3V 的驱动电压, 或者使用低电压差分逻辑(LVDS);
9. 在 IC 封装内部使用了高频去耦电容;
10. 在硅基芯片上或者是 IC 封装内部对输入和输出信号实施终端匹配;

## 11. 输出信号的斜率受控制。

总之，选择 IC 器件的一个最基本的规则是只要能够满足设计系统的时序要求就应该选择具有最长上升时间的零组件。一旦设计工程师做出最终的决定，但是仍然不能确定同一制程技术不同厂商生产的器件电磁干扰的情况，可以选择不同厂商生产的器件做一些测试。将有疑问的 IC 芯片黏着到一个专门设计的测试电路板上，激活时钟执行和高速数据作业。藉由连接到频谱分析仪或宽频示波器上的近场磁环路探针可以容易地测试电路板的电磁发射。

### 作者简介：

Rick Hartley 是 Applied Innovation 公司的高级 PCB 硬件工程师和技术负责人，公司专为电讯行业提供数据通讯设备。Hartley 的技术背景涵盖计算机、航空电子设备和电讯产品的 PCB 设计，他拥有与电子工程相关的学位和 35 年丰富的电子行业工作经验。在过去的 25 年时间里，他致力于印刷电路板的设计和开发，特别关注信号完整性和 EMI 控制。Hartley 也曾供职《印刷电路设计》杂志的编辑评论以及数家 IPC 委员会和分委员会。

## 热风整平 HAL 制程方兴未艾

热风整平(HAL)也称为热风焊锡整平(HASL)，在印制电路板制造业已用了近二十年，至今仍然是一种很受欢迎且具有很高可靠性的制程，它可以使线路板在装配前保持良好可焊性。本文介绍了热风整平制程的步骤，对影响品质的各因素进行分析，以帮助工程师们改良制程，提高成品率。

**Nimal Liyanage 博士**

**业务开发主管**

**Metallic Resources**

**nimall2@aol.com**

热风整平有许多优点，例如它能够提供更可焊性很高的涂层、使装配具有较大的制程条件范围以及使线路板有更长的储存期；此外它还可以美化外观，喷涂和未喷涂的焊盘能很容易辨认出来，这样如果必要的话可快速修改制程参数或进行返工；最后，它能够实现在线式大批量生产。

热风整平的缺点是它不能进行丝线邦定、制程温度高、作业环境不好以及会使板子处在高于  $T_g$  的温度中等等。其它一些常见的问题包括铜面上的锡层厚度不均匀，并且厚度会随焊盘尺寸/类型不同而变化(共面性)；另外，藉由长时间存放后，薄的锡层可焊性变差，当线路板装配厂商指定使用薄的平面形锡层而不是用较厚的突形锡层的时候这种问题常常发生。在焊锡整平过程中，线路板从锡缸出来后紧接着藉由高压热气流的吹洗，焊锡、风刀以及相互碰撞产生的气流会在板面形成一个动态环境，这种情况下想做出一致性好而且平整的锡涂层显得有些困难。

研究表明，锡层的共面性取决于很多因素，如制程参数、焊锡的纯度、板面形状、预洗剂理化性质、助焊剂和油类以及焊锡整平前铜线和焊盘的清洁度及形状等。

### 热风整平概况

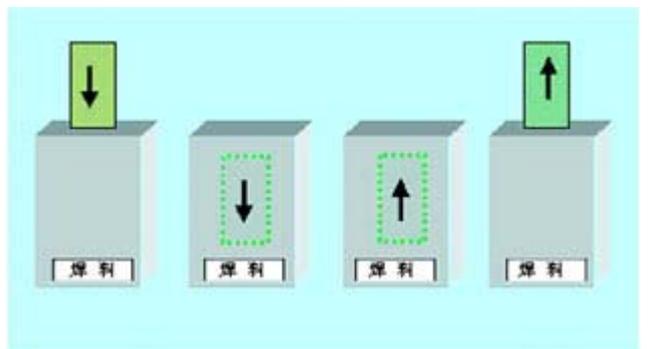
热风整平制程包括：预清洗、预热(水平制程)、助焊剂处理、焊锡整平和后清洗工序，有两种处理方式可供选择，即水平式和垂直式。

- 垂直制程：这种制程在一台设备中完成，图 1 是用该制程进行焊锡整平的步骤，线路板上各个位置的浸锡时间都不相同，最先进入的一端最后出来。
- 水平制程：在该制程中板件水平地进行传送，然后藉由一个锡槽，藉由喷射、浸入或同时使用这两种方法在板件表面覆盖一层锡。最先进入的一端首先出来，所以该制程中板件各个位置在锡槽中的停留时间相同(图 2)。

预清洗：在热风整平之前，铜面线路先要用微蚀剂进行彻底清洗，清洗后铜面腐蚀深度可达  $1\mu m$ 。最常用的微蚀剂包括过硫酸钠或过硫酸钾溶液，这两种都很便宜且可靠性高。使用未添加稳定剂的过硫酸溶液经常会出现腐蚀不均匀或腐蚀结果无法估计，从而导致铜面厚度不均或者过腐蚀/腐蚀不足，最终造成热风整平时锡层厚度不均匀。因此，印制电路板制造商必须使用添加了稳定剂的微蚀剂以保证均匀的腐蚀率。无论使用什么化学溶剂，最终目的都是去除铜面的氧化物和有机残留物，加强铜面的表面特性。

预热：和垂直制程相比水平制程大大减少了线路板在锡缸中的浸入时间，因此需要在涂助焊剂之前进行预热，以防止出现锡塞孔/漏斗孔、锡面发白以及由于热量散失引起的锡层厚度控制问题。

助焊剂处理：助焊剂在热风整平中起着很重要的作用。助焊剂的黏度和表面张力很低，可用来提高焊锡与铜焊盘之间润湿性。应对助焊剂的分子结构、热稳定性、活性以及漂洗能力进行仔细甄



选，选择正确的助焊剂对于取得较高表面绝缘阻抗和低离子污染非常重要，然而要正确地选择助焊剂却是一项很复杂的工作。

### 选用焊锡：

焊锡的种类主要包括下面几种：

- 藉由回收处理的焊锡：这种锡的杂质含量很高，因此建议不要使用。
- 原生焊锡：由于其纯度取决于产地、生产制程以及批次之间不一致，所以也不符合要求。
- 回收锡和原生锡混合物：它的品质和回收锡类似，因而也不符合要求。
- 电解锡：这种锡品质稳定且杂质含量最低，所以它是最合适的类型。

电解锡运用很广，它可改善铜面的润湿性。这种焊锡的有机和无机杂质含量都很低，具有良好流动性，可以帮助焊锡和铜之间的金属结合快速形成。近些年在印刷板制造中，焊锡纯度及其保持程度的重要性越来越高。

焊锡喷涂：根据不同的设备，焊锡喷涂分别在锡槽或喷射(喷锡)过程中完成，此过程中形成的金属间化合层(IMC) $Cu_3Sn$  和  $Cu_6Sn_5$  将焊锡和铜结合在一起，IMC 的厚度取决于焊锡温度、线路板在焊锡中停留时间以及焊锡品质等因素。

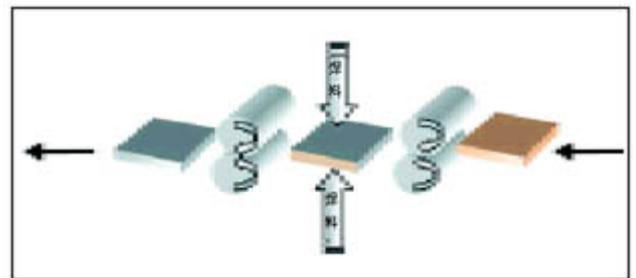
焊锡整平：实际上焊锡整平是在风刀处进行的，通常用两个风刀向板面吹热气以去除多余的焊锡。若要使焊锡整平具有很高的品质，风刀的设计和气流温度非常重要，63/37 锡铅焊料的共熔特性以及正确维护有助于使风刀形成良好的上锡分布和厚度控制。

冷却：焊锡完全固化以后或者线路板在一个冷却设备里达到预定温度后线路板才会冷却，线路板所需冷却程度取决于板件的类型，各客户的要求也不尽相同。影响冷却时间长短的因素包括产品结构、材料的  $T_g$  值、允许弯曲程度以及 SIR/离子污染度等，有些 PCB 材料在后清洗工序之前冷却更有利于清洗。此外产量是另一个需注意的因素，如果除了产量就不用再考虑其它特殊要求，那么冷却只要焊锡固化了就行。

后清洗：藉由热风整平后的线路板随后用水或水和清洁剂的混合液进行清洗，以确保完全去除板件上的助焊剂和油类，这样做是为了达到所需的离子污染和 SIR 值。通常用于后清洗的水要加热到  $40\sim 55^\circ C$ 。

热风整平制程中的要点包括：

- 利用添加稳定剂的微蚀剂控制微蚀过程；
- 利用助焊剂和油类以改善锡层的覆盖、分布和离子污染；
- 具有良好流动性的高纯度焊锡；
- 具备  $45^\circ$  制程加工能力的整平设备。



### 热风整平用户组织

热风整平制程最近取得了很多进展，如：

- 无铅制程；
- 定义更加明确的新规范；
- 球栅数组(BGA)、微过孔和混合技术 PCB 制程；
- 热风整平设备采用计算机控制，具有  $45^\circ$  处理能力，可使锡层厚度更加均匀一致；
- 制程参数由计算机控制，包括焊锡和空气温度、风刀压力和形状及传送带速度等；
- 可将制程参数存入磁盘，以供今后做同样产品时使用；
- 藉由工厂的调制解调器对机器进行监控；
- 能将每种产品的制程参数联系起来以进行统计过程控制(SPC)，并且保存数据以备后用。

1997 年 10 月，一些 PCB 制造商、电子制造服务提供商(EMS)以及设备和化学试剂供货商等联合组成了一个“热风整平用户组织”(HUG)。它是针对热风整平主要问题的一个论坛，由成员们决定议事日程和活动项目，该组织提供一个公开的讨论场合以解决技术、制程发展以及其它可能存在的问题。

HUG 的目标是：

- 了解组装厂的需求并向他们提供技术支持，从而实现热风整平板焊接和组装零缺陷；
- 将制程要求和制程研究标准化以满足组装的需要；
- 设计一个参考模板，使作业员能够藉由它设立一些参数并符合 OEM 或业界认可的规范；
- 出版各项成果；
- 留意并参与无铅焊接与热风整平项目。

为实现这些目标，HUG 成员计画与制造商、组装厂、OEM 以及供货商讨论热风整平及其相关的问题，开发和生产测试工具，藉由在多种热风整平设备上进行测试以了解线路板形状、设备、制程参数、化学特性以及焊锡等各因素之间的关系。

### 实例分析

HUG 最近进行了一个关于实现最佳厚度的测试，整个项目包括测试板设计、在成员工厂进行测试以及分析和公布测试结果。

测试样板是一个 457x610mm 双面四层板，厚度分别为 1.57、3.175 和 6.35mm，样板上含有四方扁平封装器件(QFP)焊盘，脚间距分别为 0.4、0.5、0.635 和 1.27mm，BGA 和  $\mu$  BGA 焊盘，另外还有尺寸为 1.78x1.78mm、2.54x2.54mm、2.54x5.0mm、3.8x5.0mm 及 10.16x15.24mm 的方形焊盘，以及直径为 0.76、1.0、1.5 和 1.78mm 的圆形焊盘。在该测试中既使用了垂直式设备和又使用了水平式设备。

第一阶段测试得出的部份统计数据表明，锡涂层的一致性和厚度取决于设备和焊盘的尺寸及类型。根据这些数据，决定集中研究这一阶段的某些参数以便能对所采集到的数据有更充分的认识，这里主要分析 0.4、0.5 和 0.635mm 间距的 QFP 焊盘，以及从 1.78x1.78mm 和 2.54x2.54mm 分立组件焊盘上得到的数据。

测试表明，只要控制好设备的参数，某种尺寸焊盘的锡层厚度可以很容易地保持在一个规定范围内，例如每个 0.5mm 间距的 QFP 焊盘其锡层厚度都在 2.54 $\mu$ m 至 10 $\mu$ m 范围内，0.4mm 间距 QFP 上的厚度则保持在 5 $\mu$ m 到 7.5 $\mu$ m。根据这些结果，可得出初步结论，即锡层厚度和一致性由设备、进行整平的角度以及线路板形状决定，以 45°角藉由热风整平设备的线路板其整个板面的一致性要远远优于其它角度。

焊盘形状、焊盘尺寸及类型同样也是影响整个板面焊锡涂层一致性的重要因素。虽然某些尺寸焊盘上的焊锡涂层可以达到很好一致性，但对板面上其它尺寸和类型的焊盘来说，要维持类似严格的标准却很困难。形状越复杂，要在整个板面达到一致性就越难。因此下一步研究工作重点，是要了解并找出不同尺寸和类型的焊盘之间锡层厚度变化规律，使得在大焊盘上达到规定厚度时小焊盘上的厚度不会超出标准。

## 印刷线路板微过孔成形制程选用原则

线路板上的微过孔可用几种制程形成，最常用的两种方法是激光蚀刻和机械钻孔，使用哪一种应由产品的具体要求来决定。本文对激光蚀刻和机械钻孔制程进行简要介绍，以帮助制程技术人员在实际作业过程中根据需要选出最佳应用方法。

Lee Ekblad  
项目工程师  
lekblad@excellon.com

Michael Kauf 博士  
行销经理  
mkauf@excellon.com  
Excellon Automation Co.

线路板上的微过孔通常直径为 0.002 (0.05mm)至 0.008 (0.20mm)，这些过孔一般分为三类，即盲孔、埋孔和通孔。盲孔位于印刷线路板的顶层和底层表面，具有一定深度，用于表层线路和下面的内层线路的连接，孔的深度通常不超过一定的比率(孔径)。埋孔是指位于印刷线路板内层的连接孔，它不会延伸到线路板的表面。上述两类孔都位于线路板的内层，层压前利用通孔成型制程完成，在过孔形成过程中可能还会重迭做好几个内层。第三种称为通孔，这种孔穿过整个线路板，可用于实现内部互连或作为组件的黏着定位孔。

计算微过孔制程成本应对各方法涉及的问题全面加以衡量，它们比设备的价格要重要得多(表 1)。

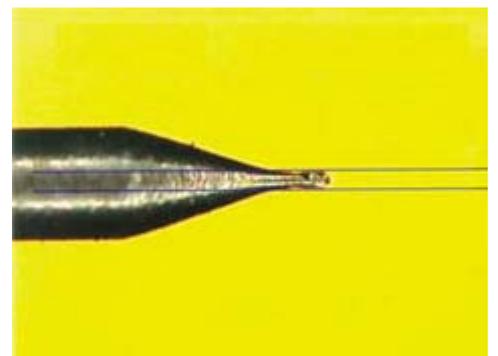
在选择微过孔制作方法时，单位过孔制作成本是应考虑的一个重要因素。近年来很多应用表明，用机械式方法制作盲孔和通孔已取得一定的进展而且成本较低。

## 机械钻孔制程

过去五年里，先进的单轴及多轴钻孔系统已取得很大进步。由于采用有限元分析设计，机器的稳定性有了很大改进，能够以很快的速度开发出钻孔设备，使机器性能更快稳定下来，从而提高每分钟钻孔数量。

最近研制出一种带空气轴承的钻头，转速可达 170krpm 以上。钻孔时为得到最大的产量需要有较高转速，板上测量工具则可以监测钻头状态和钻孔尺寸。

目前正在研制一种用于进行盲孔深度控制的新型高精度深度控制感应技术，它是压力感应探头的重要组成部份，采用了最新研究的电场感应技术。每一个感应器信号都藉由专用的微处理器进行处理，这样可以平行地处理每个感应器的信号，使钻头状态分析更加迅速准确。其原理是检测钻头和线路板表面的实际接触情况，它能使作业员将钻孔深度控制在 $\pm 0.0002$  (0.005mm)精密度范围内。由于感应器探测的是钻头和线路板的接触情况，所以精密度不会受线路板上碎屑、板面变化及周围毛刺的影响，感应器还可以监测钻头在 0.002 (0.05mm)至 0.250 (6.35mm)范围内的磨损情况。深度控制微过孔钻孔系统目前采用的就是这种技术。



另外，钻头也在变化。现正在开发一种用于盲孔加工的特殊钻头，工程技术人员也尝试用凹槽式设计及硬质合金钻头，希望藉此能够提高精密度延长钻头的寿命，降低每个孔的制作成本。图 2 所示的是一种特殊设计的钻头，可用于改良盲孔的成型。

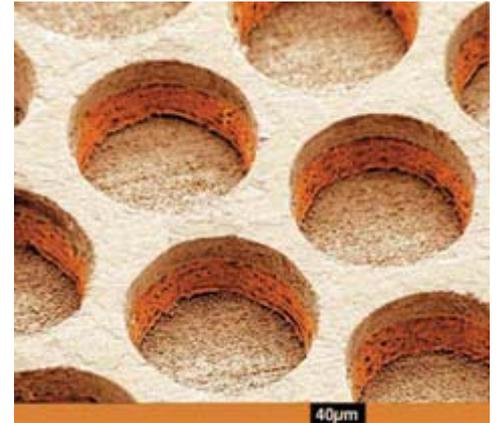
## 激光蚀刻

在孔径大于 0.008 (200um) 的场合基本上都使用机械式钻孔，而较小孔径则主要应用激光钻孔。激光钻孔的孔径最小为 0.001 (25um)，一般标准孔径为 0.004 (100um) 至 0.006 (150um)。

直到 1999 年年底，激光钻孔还仅在少数几个产品中使用，那时全世界只有 400 台设备，其中 300 台在日本，均用于第一代激光钻孔制程：未覆铜材料的 CO<sub>2</sub> 钻孔。预计到 2002 年激光钻孔的数量将会有很大的增加，因为那时移动电话需求量估计会达到 3.5 亿部。为生产出足够的印刷线路板，将需要 2,000 台激光钻孔设备，这个数字还没包括小型网际网络接入设备、个人计算机和其它设备的需求。

激光蚀刻钻孔制程包括直接电介体钻孔、共形光罩钻孔和完孔成形三种。直接电介体钻孔是用 CO<sub>2</sub> 激光束照射材料表面，每发出一次激光脉冲就有一部份材料被蚀刻掉，然后在下一步工序中对材料整个表面进行电镀。该制程的特点是钻孔速度快，但由于 CO<sub>2</sub> 激光的分辨率太低，其孔径不能低于 0.004 (100um)；另外未覆铜材料还存在共面和精确度等问题。

共形光罩钻孔是用 CO<sub>2</sub> 激光在覆铜层已经藉由腐蚀的电介材料上钻孔。在光刻制程中，覆铜层藉由化学方法先作完腐蚀，这时它就如同一个光罩，使 CO<sub>2</sub> 激光只作用于电介材料上。目前使用的是无需装备外部激光气的最新式射频激励密封 CO<sub>2</sub> 激光，这种激光束具有品质好(TEM00)、重复率高(20kHz 以上)及持久耐用等特点。



将这些特点和快速扫描仪(每秒超过 1,000 点)及快速操纵系统如带线性马达(最高 2,500IPM)的工作台等结合起来，可以使钻孔速度达到每分钟 60,000 孔(1mm 间隔)。由于覆铜层已预先腐蚀掉，所以孔的直径与激光波长无关，在 25um 至 250um 之间。

完孔成形使用两种激光，即 UV 激光与 CO<sub>2</sub> 激光，目前最新的技术是固态 UV 激光，它利用二极管吸收方式激励激光棒。一个典型的完孔成形系统可产生两种激光：吸收二极管产生的 355um UV 激光(脉冲重复率高达 100kHz)以及 CO<sub>2</sub> 激光。UV 激光用来除去铜层，CO<sub>2</sub> 激光用来去除电介质，该制程已在很多不同的工业中分别得到开发应用，其中主要是在美国和一些欧洲的一些国家。

UV 激光以一种称为环钻的方式移动，激光束开始照在孔的中心，然后环绕中心作同心圆移动，同心圆直径依次增大直至将整个区域的覆铜层都蚀刻掉。铜层去掉以后再用 CO<sub>2</sub> 激光去除电介质，这时剩余的覆铜层就作为 CO<sub>2</sub> 激光的光罩。这种制程的优点是孔径可以小至 0.002 (50um) 而且很精确，同时每分钟钻孔数量可达 5,000 个以上。该制程也可用于多层线路板的钻孔。

加工方式	機械加工	激光蚀刻	光製作孔	等離子蚀刻
需考慮的因素	新設備	潔淨工作環境	高度潔淨廠房	批量處理
	學習新的鑽孔製程	能製作小孔	很多照相處理工序	需照相處理工序
	溫控廠房	能製作通孔	仍需機械鑽孔	需潔淨廠房
	其它相關費用	其它相關費用	最昂貴	昂貴
	(視具體應用)	(視具體應用)		

传统弧灯只有 400~500 小时寿命，而二极管的使用寿命一般都超过 10,000 小时，所以二极管吸收式激光有助于提高产量和延长使用寿命。由于激光二极管的寿命可以预测得到，因此维修更换就可以事先计画好，减少了维修时间和意外停机。另外二极管吸收式激光稳定性很高，波动小，所以孔的一致性很高。

为了适应生产的需要，多数激光钻孔系统都带有自动化装置。最新式设备配有为两套激光系统供料的自动装卸装置，该装置位于机器中间，装有送料架和堆栈装货的小车，为两台激光钻孔系统送料和卸料，并可在钻孔的同时将线路板翻转过来。每两台激光系统使用一台自动装卸装置可以节省投资和场地。

线路板装到真空吸盘上后，要用对位标记使钻孔光束与线路板相配，可利用通孔或线路板上的图形作为标记。对位标记既可以用机械方法形成，也可以用激光对最上层铜箔蚀刻制成。图形处理系统读取到对位标记后，程序就可对线路板进行自动对位、偏位补偿、旋转、伸长以及缩小等处理。由于供货商不同，有时会使用两个、三个、四个或更多对位标记。

钻孔制程的加工时间取决于所用的硬件(如扫描仪、工作台)以及使用的方法。可提高激光系统产量的步进技术能使激光源频率更高、扫描仪每秒扫描区域更大及工作台速度更快；缩短加工时间的方法则包括将激光束分到多个工作台上、使扫描仪和工作台移动同步以便在工作台移动时钻孔以及同时对两个或多个区域进行平行处理等等。

## 应用实例

用户 A：中小规模 PCB 制造商，所需过孔的孔径为 0.006 (0.15mm)或更大，产量相对较低。该用户合适的选择是机械钻孔系统。

用户 B：过孔要求为孔径 0.004~0.006 (0.1~0.15mm)，中等产量。加工这种孔不需要用激光，但采用激光钻孔可提高产量，是否采用激光钻孔取决于资金的多少。此例中机械钻孔和激光钻孔都可以满足加工要求。

用户 C：过孔要求为孔径 0.004 (0.1mm)或更小。这时即使产量很低也要采用激光钻孔，因为用机械钻孔方法不能满足技术要求。

用户 D：该客户加工的孔径范围大，而且产量高。此时可采用多种加工制程，利用机械钻孔和激光钻孔相结合的办法，使产量达到最高以及单位钻孔费用最低。

## 本文结论

激光钻孔还是一种新兴技术，对于加工小于 0.006 (150um)孔径的微孔而言它是一种最经济的方法，现在总的趋势是朝覆铜材料和双激光加工方向发展。机械钻孔则是一种成熟的技术，同时也有新的发展，如加工 0.004 (100um)或以上过孔时的深度控制。在加工通孔和盲孔时，机械钻孔依然是最经济的钻孔方法。随着平均失效时间(MTBF)以及产能的不断改进，今后将会出现更为经济的激光钻孔系统。

## 喷射式发配技术在高密度线路板组装中的应用

随着线路上零配件封装尺寸不断缩小以及密度不断升高，电子组装对助焊剂发配精度和可靠性方面的要求也在不断提高。本文介绍一种喷射式发配技术，它具有极佳的边界发配形状，并可改进助焊剂发配的厚度控制情况。

Kevin J. Fox

William E. Donges

Nordson Electronics Systems

Email: [bdonges@nordson.com](mailto:bdonges@nordson.com).

在电子组装生产中，无论是焊接球栅格数组(BGA)、板上覆晶(FCOB)、带封装覆晶(FCIP)、多芯片模块(MCM)、或是直接芯片贴装(DCA)封装形式的组件，助焊剂都具有不可替代的作用。随着这些封装尺寸不断缩小以及密度不断升高，对助焊剂的发配精度和可靠性要求也在不断提高。

目前有多种助焊剂选择性发配方式可供制造商们挑选，如人工及自动刷涂、针式点涂、针式转移、浸涂、丝网印刷、模板印刷以及超声发配等，这些制程很多都可用于选择性发配。但这些方法在多数情况下助焊剂要与基板表面直接接触，有时还要暴露在空气中，而另一些方式则受速度的限制，并且需要用发配光罩。因此，这些制程几乎都不能克服助焊剂发配所面临的各种困难，如：

- 只在所需区域发配，同时与贴片机保持相同的生产进度
- 在要求的区域内发配均匀
- 发配稳定、涂层薄，且具有足够的助焊性能
- 助焊剂用量与残留物都很少
- 所要求区域以外及基准对位点上不能有助焊剂
- 芯片周围的无源组件不会产生污损及墓碑现象

为取代传统的助焊剂发配技术，如今出现了一种喷射式发配，它可以形成超薄的涂层及高清晰发配边界，精确控制助焊剂的发配量，从而解决许多助焊剂发配方面的问题。涂层薄可避免助焊剂残留物过多，提高连接的可靠性，另外采用喷射方式使得助焊剂发配时无须作 Z 方向运动，因此可用于高速度、大量生产场合。

影响助焊剂选择性分配的因素有很多,我们先给出一些关键变量的定义,然后对制程参数进行解释,介绍几种喷射方式,最后对试验结果进行分析。

### 制程参数

助焊剂作选择性分配时,有三组基本参数会影响制程过程与最终结果:

分配结果=基板参数+材料参数+分配参数

**基板参数** 基板参数直接影响液体材料在其表面上的流动性。镀金触点的周围可能 80%是裸露的 FR-4 基板,其余部份是阻焊层,各种表面的表面张力不同,从而导致不同的流动特性。除表面张力外,影响流动性的其它参数包括板面平整度、通孔的数量以及表面清洁度等。

**材料参数** 材料参数决定了助焊剂的特性,材料的流变性由溶剂、稀释成分、表面活性剂及活性成份等一起决定。

**分配参数** 这部份参数直接影响分配的最终结果,它们一直由系统控制器内分配头上的调节器进行控制。影响制程效果最主要的分配参数包括压力、阀门微调情况和喷嘴尺寸。

**压力:** 分配器采用压力推进系统实现材料的供给,压力的大小决定了每次材料喷出的数量,同时喷头还要有足够的压力以形成适当的流量。

**阀门微调:** 所谓微调就是指阀门的开启量,阀门开口大小与从喷孔喷出的材料数量成正比。

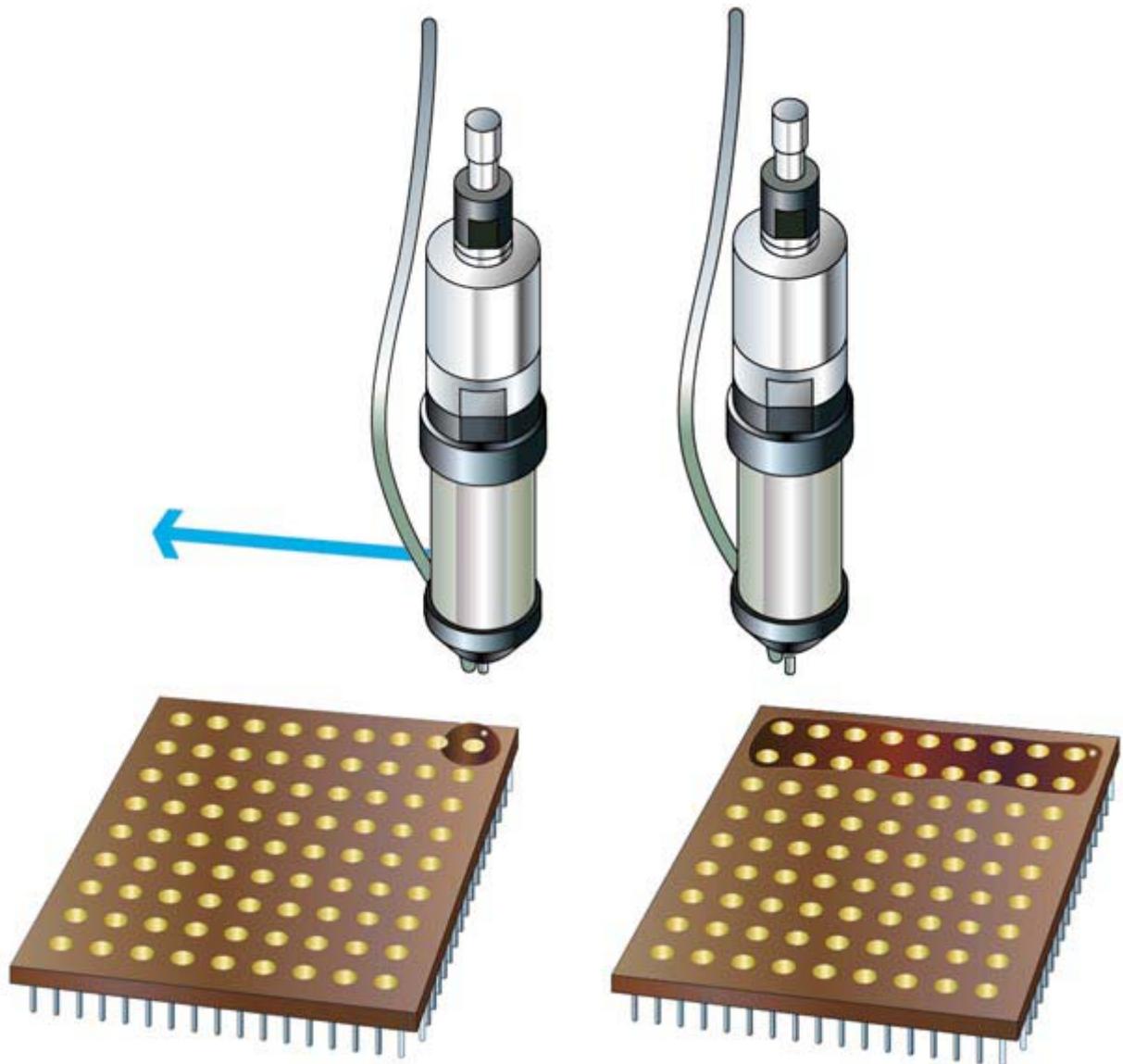
**喷嘴尺寸:** 喷嘴是喷射过程的最后一段,喷嘴有两种不同的设计,直接影响着材料的分配量与分配形状。喷嘴的口一般呈圆柱形,开口尺寸应根据助焊剂黏度不同而进行更换以控制分配的数量。

### 喷涂制程

对线路板组装而言,目前很多种助焊剂都可以满足各种分配方式以及对黏度的不同要求。如针式点涂制程要用非常稀(即黏度很低)的助焊剂,而丝网印刷则要用膏状助焊剂,因此可以使用的助焊剂黏度范围非常宽,从很低(含 80%~97%异丙醇)的液状助焊剂到黏度超过 200kcps 的膏状助焊剂。正是由于助焊剂黏度各不相同,再加上产量的要求,所以单纯一种喷涂方式是无法适用于所有场合的。

目前应用范围最广的是点式喷射,但点喷制程通常受到基板参数和产量的制约。经验表明,基板的表面张力对于其上所分配的助焊剂流动性有很大影响,要想使某种液体在基板表面流动,则基板的表面张力必须低于该液体的表面张力,这也说明表面张力高的基板具有防止助焊剂液滴流动的特性。反过来它又会影响产量,因为不会流动的助焊剂液点基板覆盖面较小。





为克服这些缺陷，可以在助焊剂从喷嘴喷出后紧跟着向它喷一束气流(图 1)。一般同轴式点喷或线喷采用锥状气流以帮助助焊剂的扩散，从而从根本上消除基板特性对助焊剂分配的影响。点喷是一个断续式过程，它可以确保助焊剂覆盖更大的面积并同时提高产量；线喷则是以恒定的速率进行分配，能提高生产速度，进一步提高产量(图 2)。

### 点喷与同轴式点喷

在标准点喷过程中，喷头首先沿 X 方向或 Y 方向运动，到达喷射位置后即进行喷射。助焊剂从喷嘴中喷出，在基板表面形成一个圆点，如此在每一需要位置重复该过程，以一定的顺序和位置完成喷涂后就会在基板形成一定的形状。基板上助焊剂液点之间的空隙主要取决于两个因素——助焊剂的润湿性和基板的表面张力。

同轴式点喷用于基板表面张力很大或具有其它不规则特性的场合。这种方法是当助焊剂到达基板表面后立即再向它喷出一束气流，以促进助焊剂的流动与扩散，这样无需再对基板的表面进行预处理。

点喷低黏度材料可以用不同的喷射器对分配过程进行严格控制。由于低黏度材料受基板表面润湿性的限制较小，所以分配结果主要受基板表面其它特性如平整度的影响。

中等黏度材料的分配通常会比较厚，其润湿性受基板表面特性的影响较大。

高黏度材料分配到基板表面后一般不会流动，这类材料通常用于需要不同分配厚度的场合，以保证组件与基板间形成良好的金属结合。为满足这些不同的要求，可以在同一位置进行多次分配，以形成较厚的涂层。

在各种基板上分配低黏度助焊剂得到的结果基本相同，主要是因为助焊剂中溶剂的润湿特性。而对于中等黏度和高黏度材料而言，结果则表现出明显的差异。

### 同轴式线喷

在要求速度高厚度薄的场合，可以在分配助焊剂的后面施加一股锥形气流。这种方法可使助焊剂材料形成非常小的颗粒，以极薄的厚度扩散开来，同时因扩散交迭情况不同还可形成不同的喷涂形状。

### 喷涂系统的组成

喷射装置含有符合 SMEMA 规范的宽度可调传送带、三轴运动控制系统、供料系统、压力调节装置、计算机、显示器及控制软件，另外系统还有高度传感器、定位校正摄像机、喷嘴定位装置、温度控制装置以及真空清洗装置等。

喷射器是一个电动或气动控制的螺旋管，助焊剂在里面处于完全密封的状态，保证在整个过程中压力稳定。这种方法能够对低黏度材料如助焊剂进行高速非接触式喷涂，喷射出的形状清晰，无拖痕。

上述所有部件必须组合在一起并能够进行控制，控制部份则将所有系统功能整合到一个用户界面内。这个界面实际上是一个 WindowsNT 应用程序，可以利用计算机在上面进行设置、编程和正常运行控制。材料输送系统是一个典型的边缘式传送装置，它也符合 SMEMA 协议。

发配系统产量随发配面积、喷射方式及每次需发配的数量而变化，喷射式发配的速度目前已达到 3,000 件/小时以上。助焊剂配置可按生产所需数量进行调整，贮存容器的大小从 10cc 至 20cc 不等。送料系统采用密封式设计，可以防止溶剂挥发并避免外界杂质混入。

## 本文结论

- 助焊剂选择性发配有三种方式：点喷、同轴式点喷和同轴式线喷。三种方式对低中黏度助焊剂发配均能达到很好的效果，而膏状助焊剂则只能采用点喷方式。
- 喷涂方式应由助焊剂类型、发配面积、选择要求以及生产速度等决定。
- 助焊剂本身与基板表面特性是影响发配效果的两个主要因素。基板的表面张力及平整度对助焊剂流动性能的影响比点涂过程本身的影响要大，使用低黏度助焊剂时尤其如此。
- 助焊剂装在密封的容器中并施加有一定的压力，然后再送入喷射装置，这样可以避免因暴露在空气中而造成助焊剂溶剂挥发及外界杂质的混入。
- 在整个发配过程中备用助焊剂无需作 Z 向运动。

有多种喷涂方式可用于助焊剂选择性发配。尽管点喷在很多场合都可以应用，但经常要受基板参数的影响。为克服这些缺陷，可以在助焊剂离开喷嘴后立刻施加一束气流，这种同轴气流能消除基板表面张力的影响，保证较大的发配面积并提高产量。此外，同轴点喷与线喷发配的边缘比较清晰而且涂层很薄，可以减少甚至无需焊后的清洗。上述这些喷射制程完全可以融入到整个生产系统中，满足工业生产对助焊剂发配的要求。

## 下一代微型器件组装技术——电场贴装

随着零组件尺寸越来越小，目前的贴装制程已不能满足将来的需要，最近推出了一种新型电场贴装技术，利用生物分子学原理实现下一代微器件电路组装。

Michael J. Heller 博士

Nanogen Inc.

Email: mheller@nanogen.com

James J. Coleman 博士

伊利诺斯大学

Email: jcoleman@uiuc.edu.

为了能清楚地认识电场在电子组装技术中的作用以及为何我们将其称之为未来的微电子制造工具，需要首先对电子工业的发展趋势有一个了解。过去 40 年间电子技术的发展，使电子零组件无论是在数量上还是在品种上都有很大的成长，器件封装越来越小，里面所含的组件数目、功能以及复杂性越来越高，同时成本急剧降低。为了做到更小更快，常常需要把不同的材料和组件整合在一起，而将多种材料组装到一个很小区域内则需要新方法新技术，特别是对于那些相互独立并且以矩阵方式重复排列的组件。现有技术如突起黏合、薄膜黏合及晶圆熔合等作业性都不是太强，对小型组件的贴装效果可以用来描述这些方法的互连成形能力。

当处理的组件非常小时，如像 RF 功率晶体管电路、光电器件或边缘尺寸小于 1mm 的电路板等，均无法采用传统的贴装设备，所以倒装芯片黏合方法都不适用，同样，采用真空、静电或伯努利气流抓持技术的卡爪也不能用来处理这么小的组件；另外数组尺寸增大时，若将数组内组件与其它区域相应组件连在一起会引起系统性能下降，所以也不能藉由将相关功能放在一起增大器件的面积(如数组式高频电压驱动模块或 RF 输出放大器)。

今后的电路需要更高整合度，输出组件由多种小的功能元素组成，而不是传统形式上的硅片电路 I/O 端子，因此这一趋势向电子业界提出了一个新问题，即当零组件尺寸可能比人的头发直径还小时如何才能继续向前进。令人惊讶的是，答案竟来自于一个令人难以置信的领域——分子生物学技术。

具体地说就是在溶液中引入电场可能将是下一代电子贴装技术的关键。其主要原理是，小型零组件与分子一样带有一定的电荷(正或负)，因此当有电场作用时它会在溶液中发生迁移(称为“电泳”)，同时还需要进行水解以便在大容量液体中达到一定场强。

传统分子生物学将这一原理应用于胶体电泳、电洗和毛细电泳等技术中，用于 DNA 断片、蛋白质或其它生物分子的分离与分析。Nanogen 公司则利用电场控制溶液中的 DNA 和其它分子，将其准确地放在微数组芯片上。电场强度随微芯片数组两端的电极在溶液中产生的电流升高而增高。

另一方面，如果材料表面带电的话，电流会引起表面上方的离子运动。随着这些离子的运动，周围液体也会运动，流动的液体又使材料或微型组件浮到表面上，而不管它们是否带电，这种现象称为“电渗析”。此时微型组件不需要带电，但对受控电渗析来说，表面带电情况及粗糙度等特性与电极一样都有一定要求，因为只有这样液体流动才能够受电流的控制。

## 制程步骤

采用电场控制微型组件的移动与贴装是一种实现微米级材料组件贴装的新方法，这种方式一个最直接的好处是加在所传送物体上的机械力恒定，另外该传送系统还可以用于多种微型器件并且和所使用的材料类型无关。不过整个制程也采用了大量新型组件和制造制程，其难易程度和要求也各不相同。

电场贴装主要应用于微米级倒装芯片制程，因此这种方法不适用顶部和底部都有焊点的分立组件，所有焊点必须在一个面上，同样，贴装器件的表面也必须按要求进行特殊设计。另外对于电极系统，无论是与表面形成一个整体还是放在表面位置上以提供适当电场控制，都应纳入到整体系统设计中。最后一点，必须要在指定的位置实现互连。

用电场控制微型器件的贴装要求溶液的导电率要低，而且无论器件的品质与带电量如何，所施加的电场应均匀稳定。经验表明，影响微米级(以及纳米级)器件运动的一个重要因素是溶液本身的导电率。如果溶液导电率升高超过了容限值，则由于施加在每一组件上的作用力相应减弱而使材料移动大为减缓。与生物样本不同，半导体材料的组成及其外部无关的溶液成分都能够得到严格控制，这样可使得我们降低溶液的导电率，从而为采用电泳或电渗析实现材料的运送提供足够宽的制程应用范围。

## 应用实例

为了说明电场在精密组件贴装中的应用，我们选了一个将微型 LED 贴装于硅片的实例作为示范。如上所述，以这种方式贴装器件时要求所有的电连接点都位于器件的同一面，因此微型 InGaAs LED 采用外延分离制程制作，使 P 结位于中央，而将 N 极环绕在外圈，另外，设计时还应考虑接触部位应非常匀称以及接点的平面性等问题，这些因素都会影响器件与焊点(而不是硅片表面)的连接。

相应的衬底上有两套电极用于贴装，仔细观察可以看到一对较大(40um)的电极和包在其内部的一对电极，一个外形如同马蹄，而另外一个则在马蹄内部形成环形嵌套(其线性结构与水溶液覆盖下已钝化的联机连在一起)。内部的一对用于连接 LED，这里的焊接材料采用标准的锡/铅焊料，焊料电镀于焊接面上，高度为 50nm。

外圈电极的作用将引起沿着硅片表面的电渗析流，放入溶液中的 LED 便会随之而运动。一旦 LED 进入电极中央，电极的极性便会暂时转换，反向液流推动 LED 以微米级精度到达待焊点，到达位置后去掉溶液，再用 250℃ 热风进行再流焊接。在硅片电路上施加偏置电压可以使线路成型并使 LED 工作，实际中发现在约 314um<sup>2</sup> 的区域内形成了两个焊点。从理论上讲，这种技术实际提供了一种非机械式倒装芯片微米级高密度内部互连方法。

一般来说，器件与衬底间的接合具有很高机械强度，也就是说若试图采用机械方式硬性取下 LED，未等焊点失效 LED 本身已被损坏。但是，如果仔细观察焊点可以发现比焊点本身小得多的约 1um 大小的锡/铅焊料颗粒，显然这方面的技术还需改进(也许用导电聚合物更适合)。

## 其它应用

电场运送技术的另一个很大的优点是能够进行平行组装，例如将许多微型球体贴装在一组微数组电极上，这一原理也可应用于上述 LED 的组装。

电场贴装技术还可以用于非常复杂的三维组装，实际上这种方法利用溶液来避免组件及组件与衬底互连时产生的种种问题。在微电极的尺寸与电场控制方面作适当调整并选择不同的停留点可实现多级式结构，这一技术能使下一代微电子器件的互联尺寸大为减小并降低其复杂程度。用该技术可进行多种组件贴装，进一步说明了该方法的优越性能。

例如在微型球应用中，要将其放于直径 80um 的电极上，下层放 1um 小球，然后在上层放置 5um 小球。实际上为形成器件的电性连接通路，驱动电极必须装在底层衬底的最上面，当器件与衬底间形成电路连接之后，上部的电极便能将更多材料引入相应位置。换句话说，可以把已完成的组件是否将作为驱动电极而帮助下一步组装完成定向与定位，看成是 3D 组装的判断标准。

## 技术新趋向

下一代组件的封装与贴装技术会是什么样还很难预测，但可以肯定的是尺寸会越来越小，而互连的难度将越来越高，像 Alien 公司提出的流体组装技术以及 Ball Semiconductor 提出的球面半导体和哈佛 George Whitesides 试验室的多面体器件等各种 3D 组装技术仅是其中正在进行研究的一部份。很难衡量这些技术将来是否能互相补充，但显然人们对下一代贴装与组装技术越来越关注。

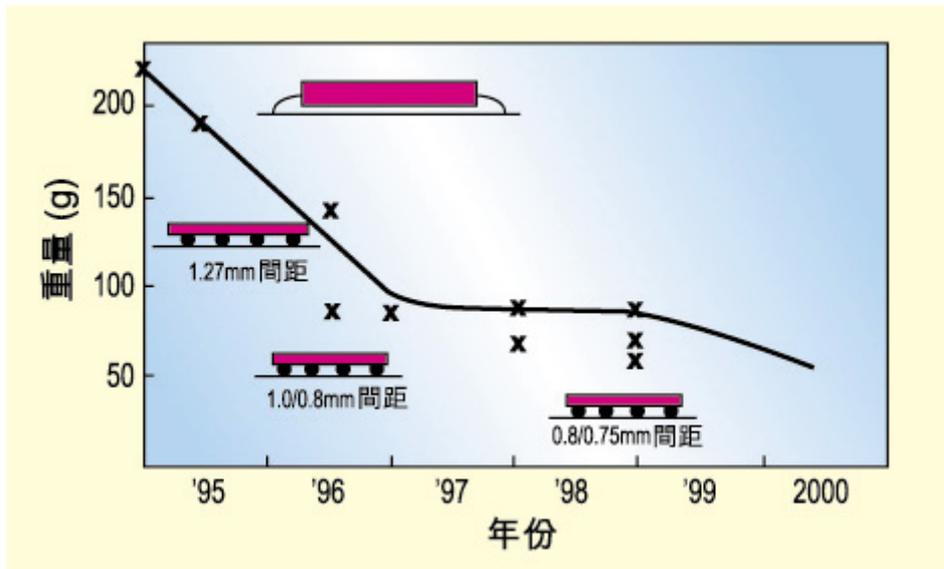
微型组件贴装的定向与定位控制是任何表面黏着技术的基本要求，将来分子生物学中的电泳技术也会应用于电子装联之中。换句话说，包含了生命代码的 DNA 本身将作为一种自选性胶体用于组件定位，此时所要黏接的微型器件和衬底都先附上一

个短小的 DNA 互补结，这些 DNA 结连在一起就可以把器件固定在衬底上，而且 DNA 根据核 酸(A、C、G 或 T)的排列情况本身还具有一定的排序能力。简言之，我们现在可能还完全无法想象，到了几年之后更小更复杂的电子或 MEMS(微型机电系统)器件将会采用什么样的组装方法。

### BGA/CSP 器件焊点可靠性研究

据统计发现，电子设备出现的故障中有很大大一部份是由于焊点接触不良而造成的，尤其是行动式设备，因此焊点可靠性一直是工程技术人员所关注的问题。随着新型器件不断出现，在应用之前更需要对其焊接可靠性进行详细评估。本文以行动电话所应用的 BGA/CSP 器件为例，分析温度循环和跌落冲击对焊点可靠性所造成的各种影响。

近几年来，行动电话体积迅速变小，重量也越来越轻。为进一步降低重量，技术人员又开发出多种高性能多功能组件以减少零配件的数量，并同时不断提高电路板的密度(图 1)。

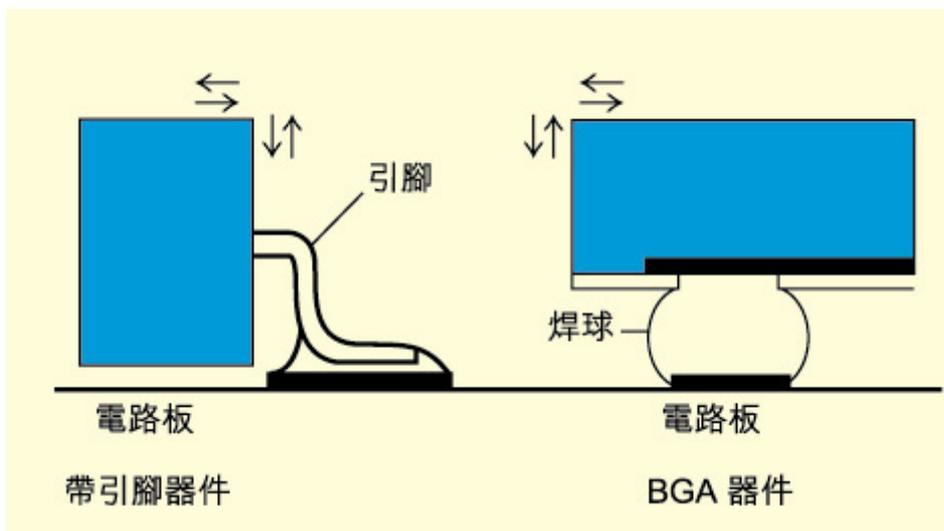


造成重量减轻的一个主要原因是微型器件封装结构的广泛采用，如球栅格数组(BGA)或芯片级封装(CSP)等。这类器件在应用之前，技术人员已针对其焊点进行了温度循环测试及材料和结构等方面的多项研究，以确保焊点应具有较高的可靠性。

### BGA/CSP 焊点结构

BGA 和 CSP 能有效地减小电路板面积，但在焊点可靠性方面却存在一些问题，其根源来自于焊点的结构。图 2 是一个普通四方扁平 L 引脚封装(QFP)与 BGA 封装的焊点结构比较情况。

QFP 可以吸收大部份因温度变化造成的张力或因其引脚变形产生的应力，而 BGA/CSP 器件的应力则都集中在焊球上，因此可能会使焊点或电路板裂开而降低可靠性。对 BGA/CSP 焊点而言，跌落冲击在短时间产生的应力比由于温度变化而产生的长期应力所造成的危害更大。



我们在电路板上安装了好几种 BGA/CSP 封装器件,同时进行温度循环测试和跌落测试,大部份器件都能通过温度循环测试,但很多却无法通过跌落测试,出现问题的地方有的在器件上,有的在电路板上。

图 3 显示了可能会影响焊点结构和可靠性的几个因素,其中下列因素主要与 BGA/CSP 焊点有关:

1. 封装和电路板焊盘表面类型(镍/锡镀层)
2. 焊盘黏着力大小
3. 零配件材料
4. 焊球及焊点形状

本文主要介绍以焊球形状、封装结构、电路板焊盘和阻焊剂尺寸等为参数变量进行可靠性评估所得到的结论。

### 跌落测试

很难测量到跌落冲击过程中焊点受到的实际冲力有多大,这是可靠性评估的课题,所以将装有器件的电路板顺着器件面向下跌落后,要采用数值分析的方法才能说明 BGA/CSP 焊球和电路板受到的冲击力。

数值分析表明焊球和电路板的受力情况几乎完全一样,根据分析结果,试验人员在测量应力的同时,对装有 BGA/CSP 器件的电路板跌落测试进行了调整。试验时将普通移动电话从 1.5 公尺的高处落下(这也是多数电话能保证正常工作的跌落高度),然后测量电路板上受到的压力。

在实物跌落测试中,压力大小因型号、螺孔位置和组件布局不同而有很大差别。由于电路板在生产阶段未装入机壳之前,同样可能会受到这种跌落冲击,因此也对裸板进行了跌落测试。虽然此时测试样品受到的最大冲击力随跌落高度和样品重量而变化,但它却显示出比装在机壳内时所承受的冲力更大。该测试中的跌落高度设为 1 公尺,以仿真从工厂生产线上落下来的情形。

测试时在电路板和器件之间设计了一个锥菊链,当菊链的阻抗出现 10% 以上波动时,测试样品将被判定为失效。

### 焊球形状

从结果可看出,作温度循环测试时沙漏形焊球比柱形焊球的可靠性更高,试验人员在跌落测试中用数值分析也证实了这种现象。

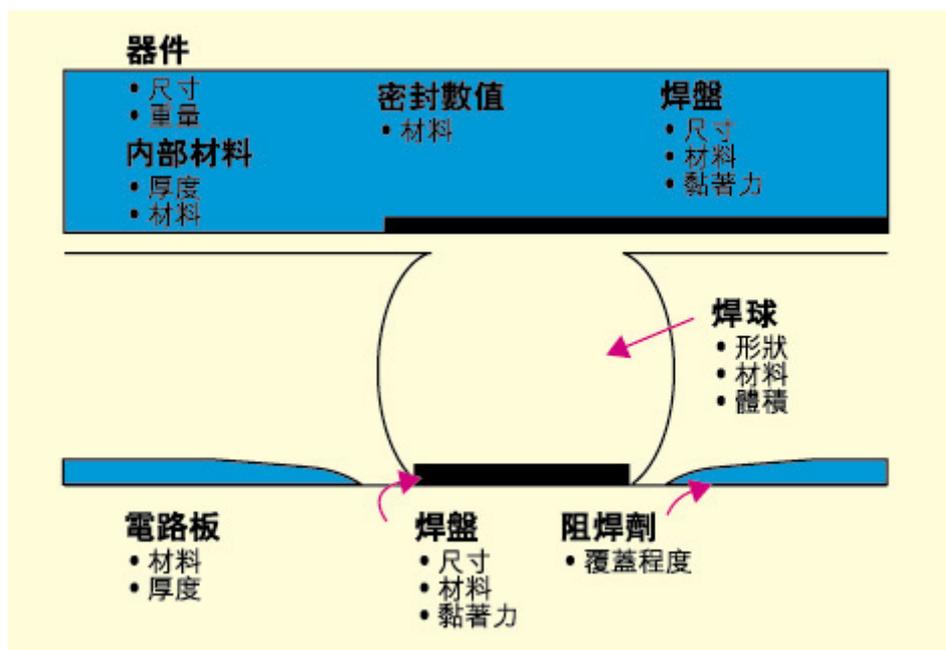
两种形状焊球采用同等焊锡量,电路板和器件的焊盘尺寸也相同,只是焊球的高度不同,然后在这样的条件下计算从 1 公尺的高度落下时焊球所受到的压力。

试验显示,焊球在此过程中受到挤压的时间只有 1 微秒,不管是什么样的力,沙漏形焊球受力情况都要小于柱形焊球,因而可以更有效地抵抗跌落的冲击,缓解应力,提高焊点可靠性。但是沙漏形焊球还没有在产品上获得应用,主要是因为回流焊过程中其它器件焊接时沙漏形焊球不容易成形。

### 器件封装结构

试验测试了三种封装结构, A 型封装将裸芯片黏焊在一个内部多层板上, B 型封装将裸芯片黏焊在聚 亚胺板上,并用树脂密封, C 型封装则在聚 亚胺板和芯片间增加了一层人造橡胶。结果发现封装 B 和 C 有很大差异,将试验样品从 1 公尺高度扔下 20 次, B 型封装的 16 个样品中有 10 个失效,而 C 型封装的 13 个样品则无一失效。

试验时使用红色墨水来检查裂缝,墨水可以渗透到样品的细微裂纹中并将其染成红色,这样有问题就能很容易看到。失效的 B 型封装样品其裂缝靠近器件的焊盘,因此两者结果不同似乎是由于封装结构引起的。C 型封装在硅芯片和聚 亚胺板间焊锡相连的地方加了一层杨氏系数为  $0.9\text{kgf/mm}^2$  的人造橡胶,这层人造橡胶能够缓冲器件封装和电路板之间由于跌落冲撞而产生的挤压力。



### 电路板设计

试验还测试了两种电路板,一种的阻焊剂和焊盘没有重迭,另一种阻焊剂则盖住了焊盘边缘 50um 的区域。

对装有 A 型封装的电路板进行检查后发现,大部份失效样品都属于阻焊剂和焊盘有重迭的电路板,所有样品的电路板和焊锡间都出现了裂缝。可能是因为普通阻焊剂盖住电路板焊盘之后的立体形状有很多优点才采用这种方式。如果焊盘表面镀镍/金或所作的处理不是很好时,焊点里的镍锡之间会形成易碎合金层,此时若阻焊剂过多,测试结果还要更糟。另外,如果电路板电性附着力很小时,普通阻焊剂更是会经常造成引脚从电路板上脱落。

对这些结果进行综合考虑后发现,普通阻焊剂对本次试验所用的电路板效果更好,可以保证为跌落冲击提供很好的保护,此外,焊盘表面处理方式和焊盘黏着力也应在实际设计中予以考虑。

### 底部填充处理

这次的试验也证明了抗跌落冲击可靠性因封装结构而异,当然,目前不可能把所有的 BGA/CSP 封装结构都改成 C 型。对于那些抗冲击性较差的封装,应该先设计出最适合的电路板,同时再采取另外的方法提高其可靠性。为确保从制造到使用各阶段都能保持较高的抗跌落冲击可靠性,我们决定对 BGA/CSP 封装进行底部树脂填充。

所实施的方案首先不能给生产增加很大工作量,因此先挑选开发出一些易于使用的材料作为备选,这些材料都能很轻易地渗入器件封装和电路板内,并可在低温下短时间内完全固化。

试验采用固化条件为 150°C/10 分钟的环氧树脂 E、F 和硅树脂 G。跌落测试结果显示,杨氏系数较高的环氧树脂比模数低的硅树脂能更有效地提高 BGA/CSP 封装抗跌落可靠性,另外,环氧树脂 E 和 F 的可靠性也不同,使用 F 的测试样品引脚会从电路板上脱落。

由于树脂 E 和 F 对电路板的黏着力不同,分别是 2.4kg/mm<sup>2</sup> 和 1.7kg/mm<sup>2</sup>,所以我们估计因树脂 F 对电路板黏着力不够而造成树脂从电路板上脱落,使得导电焊盘与电路板分离,因此用作底部填充的树脂必须要有较高的杨氏系数,并对电路板和器件都有较高黏着力。

从试验得出的数据还可看到,底部填充能够减轻受力大小并加快所受力的衰减过程。不过使用底部填充树脂后,它和电路板或器件封装之间的热膨胀系数(CTE)的巨大差异可能会降低其在温度循环测试中的可靠性。

于是我们进行温度循环测试,结果发现使用了底部填充树脂的 A 类封装仍然十分可靠,只有 C 型封装的可靠性降低了一点,不过这在应用中也可以忽略。我们在 300 次温度循环后对失效样品进行检查,发现 C 型封装的焊点出现有裂纹。

不过,现实中的移动电话使用了各种各样 BGA/CSP 封装,其黏附表面和热膨胀系数(包括密封树脂)完全不同,所以应该在对 BGA/CSP 封装和电路板材料的发展趋势作进一步研究的基础上,开发出符合要求的新型底部填充树脂。

### 结论

我们对移动电话中的 BGA/CSP 封装器件在跌落冲击下的焊点可靠性进行了评估,得出的结论为:

1. 跌落对焊点造成的冲击力可以在电路板上测量得到。
2. 焊点受到的跌落冲击力因封装结构而异。
3. 底部填充可减轻电路板的受力情况。
4. 用于底部填充的树脂应采用高杨氏系数和对电路板及器件封装有较强黏着力的树脂,同时还要考虑树脂与电路板和器件封装的膨胀系数。

今后的工作将主要集中在以下几方面:测定张力变化速度及焊点形状对焊点可靠性的影响,以及建立一种能再现跌落冲击力的冲击测试方法等。

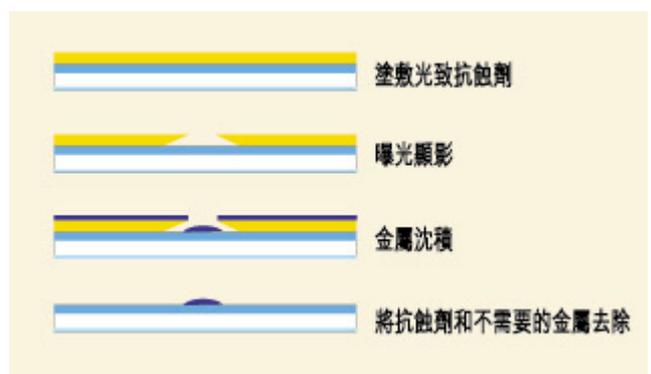
### 覆晶后端铜金属化制程

采用电镀制程能有效降低成本,因此目前的 IC 工厂正倾向于大规模使用后端铜金属化制程。

IC 制造过程中的后端金属化制程大大推进了覆晶的互连结构在形式和性能方面的发展。过去覆晶互连一般采用软焊料,如 IBM 的 97Pb/3Sn 及 Delco 的 50Pb/50In 等,而所有这类制程都需要用真空先镀一层薄膜以便和铝焊盘连接。最近也见到一些关于在铝焊盘上直接作金属化的报导,它藉由电镀制程完成。虽然它在汽车制造业中被广泛采用,但由于种种原因,现在这种制程并没有在半导体领域获得大规模的应用。

在 IC 业起步之初,铝(纯铝或铝合金)便以其相对较低的电阻率(273K 时体电阻率为 2.45uΩ-cm)以及与金和铂相比成本更低等优点而被选用于后端金属化制程。其它可选作金属化的材料只有铜稍具吸引力,因为铜也具有电阻率低(273K 时体电阻率为 1.56uΩ-cm)、电迁移特性好以及沉积方法多等优点。尽管不久前用铜金属化制程进行芯片加工还存在一些问题,但现在藉由在铜镀层上制作黏附层技术,使这些问题已得到了解决,而且一种称为“Damascene”制程的电镀和平面化技术已在多家公司进行试用了。

当与低 K 值介电层一起使用时,铜后端金属化制程表现出极佳的性能,更重要的是作为传统铝沉积和后腐蚀的一种替代方式,它的成本更低。市场调查机构报告指出,与现有后端金属化制程相比,使用这种技术能使成本降低 1/3。成本下降意味着铜后端金属化制程必将会得到广泛采用,同时它也说明和这种技术相配的突起



制作及重布线方法也必须要作相应改变，以与其兼容。

## 后端铜制程

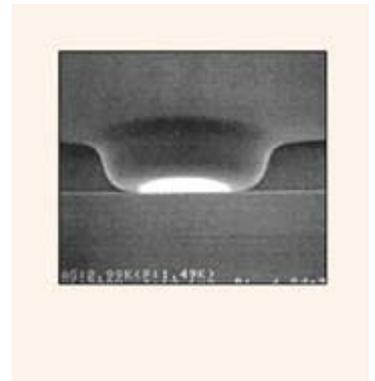
当 IC 设计成边缘焊线互连形式时，为便于将裸晶装入覆晶内，有时需要将焊盘重新分配。如果以铜替代铝作为 IC 后端制程材料，自然就会想到用铜做重分层以确保性能及材料的兼容性。有好几种制程可以用来进行铜金属化焊盘重分，如溅射沉积与后腐蚀制程、可分离抗蚀成形制程及电镀制程等，下面主要讨论分离式制程。

在金属化制程流程中，利用溶剂协助分离完成金属成形具有很大吸引力，特别是在沉积结构需要有一定灵活性的场合。该制程流程如图 1，首先沉积一层光致抗蚀剂然后成形，这里抗蚀剂形成的倒角很重要，当金属用视线法(line-of-sight)作蒸发时，抗蚀剂上的金属与抗蚀剂开口处的金属会分开，溶剂将从断裂处渗透进去而把金属下面的抗蚀剂溶解掉，并带走不需要的金属，从而在晶圆上留下所需的金属图形。由于这种制程仅仅利用沉积金属的缝隙进行蚀刻，所以可以采用沉积多个金属层的方法，以得到高可靠性焊层结构。

Unitive 公司最近推出一种铜重分制程，能形成几微米厚的线路，最小线宽和线间距分别为 12um 和 13um，如果减小金属层厚度，用该制程还可得到更小的线宽和间距。为提高界面处的抗蚀性，在沉积铜时可先用一层钛作为底层。这种结构既能用于单层也能用于多层制程中。

铜制程还需要有与其相兼容的介电材料。20 世纪 80 年代末曾发表过多篇关于使用铜和聚亚胺作为多芯片模块(MCM)薄膜互连材料的专著，据报导，铜和聚亚胺之间会产生相互反应，导致铜分解成游离的颗粒存在于聚合物中。如果这种相互作用产生的频率较低，即使有些影响也还谈不上主要问题，但如果产生频率较高则实际上增加了有效线宽，降低电磁信号的传播速度。造成这种分解现象的原因是在升温过程中聚亚胺的先质酸和铜之间产生了反应。

Unitive 公司的铜重分制程采用 Dow 化学公司提供的苯环丁烯(BCB)作为中间层介电材料，BCB 不是聚亚胺，所以不存在先质酸，它和铜一起通过了广泛试验而没有不良作用的报导。此外，它还具有极佳的平面化特性和低介电常数(约 2.65)。BCB 材料与铜的良好兼容性及其表现出的高度平面化特性，使其成为提供金属化及晶圆突起加工服务的合约制造商之最佳选择，BCB 材料同时还适用于分离式及电镀铜结构。



## 基本规则

现在采用的基本规则要求使用标称值为 5um 厚的介电层，同时光罩最小孔径为 30um,焊盘最小孔径为 17um。从 BCB 通孔剖面图(图 2)可清晰看出这种光成像聚合物的侧壁有轻微的倾斜，对于电镀和分离制程来说，这种侧壁构造是影响介电材料兼容性的一个重要因素。

上面介绍的技术对当今大多数设计及其周边区域互连都是必需的，同时这些技术还在进步以便与 IC 铜互连技术相兼容，而且联机的线宽、间距和高宽比等都会不断发展。用分离式方法所能获得的最小线宽/间距比和图形层厚度之间受一定的约束，随着线宽/间距比值减小，抗蚀层的厚度必须同时减小。要想获得更大的高宽比，则有必要采用电镀制程。

为解决这些问题，Unitive 公司计划在将来转向用电镀的方法，而且还设计了整套分离式制程及基本规则，所以即使在转向电镀后也能够与以前的制程很好地衔接。对客户来讲，它所显示出来的互连结构是一样的，而获得的高宽比则有所增大。

此外，用于 Unitive 公司低温高铅焊接制程的突起下部金属化(UBM)材料属于自动铜堆栈层，所以无须调整即可和铜金属化制程相兼容。

## 结论

IC 业界正倾向于广泛采用铜进行后端金属化制程，这种趋势由于电镀制程能降低成本而得到进一步推动。就焊层重分来说，Unitive 公司开发出一种利用分离式技术实现的铜金属化制程，在不久的将来，这种制程还将会转向用电镀技术来完成。

朝向面数组互连结构方向设计的速度将成为制程转变的重要因素。如果采用面数组设计后能去掉重分，那么分离式技术将能够满足设计的需求。在未来 10 年内，无缝铜互连流程以及与铜兼容的介电材料可能会成为覆晶制程研究的方向和重点。

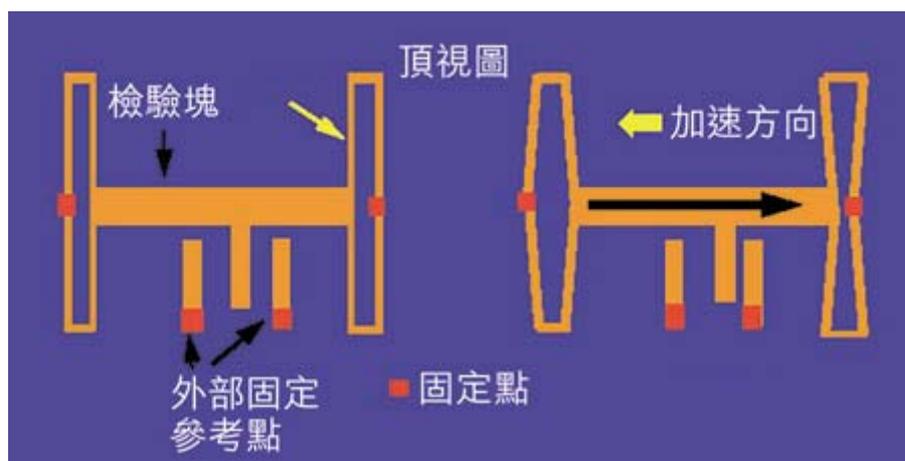
## MEMS 组装技术浅谈

作为一种新型封装器件，微机电系统(MEMS)将成为 21 世纪电子领域的重要技术之一，但是对于如何在 PCB 上装配 MEMS，工程师仍然知之甚少。要想在这一新兴技术领域占有一席之地，除了开发设计外，还应该考虑 MEMS 在 PCB 上的装配问题。

当前微机电系统(MEMS)可以说是最热门的谈论话题之一，但究竟什么是 MEMS？它为什么会成为人们关注的焦点？它又主要应用在哪些方面呢？

简单地说，MEMS 就是对系统单芯片的进一步整合。目前我们几乎可以在单一芯片上整合任何东西，像运动装置、光学系统、发音系统、化学分析、无线系统及计算系统等，有些 MEMS 可以发送、接收以及精确地控制光束，有的可以检测某些分子，有的还可以模仿人体部份感觉器官。因此如果将逻辑芯片比作大脑，那么 MEMS 就相当于人的眼睛、鼻子、耳朵或其它感觉器官。此外 MEMS 还具有电气、机械或电磁控制功能，若继续以人作比方，MEMS 还可以作为人的手或手指行动各种物体。在一个芯片上整合运动、感应和计算等众多功能的确是技术上的一大飞跃，但前面的道路仍然充满荆棘：制造技术有待开发，封装尚不明确，如何在 PCB 上装配也无章可循。

美国 Sandia 国家实验室、科罗拉多大学及其它一些研究机构都相继开发出颇有价值的 MEMS 器件，我们可从中看到一些未来 MEMS 技术的发展方向。其中有一些特别引人注目的器件，如芯片大小的分光光度计，它可以检测出数公里外空气中的成份，另外还有用于医疗(如药品传送)的微型泵和微型阀等，这些 MEMS 器件特别细小，甚至可以植入人体。目前 MEMS 并不都仅仅处于实验室阶段，有的已进入实用场合，例如已有制造厂商完成了 MEMS 光学系统的商品化，该系统可用于一种最先进的数字投影机，现在他们正在进行数字电影院的试运行。



封装工程师们把 MEMS 视为他们所遇到的最大挑战，由于大多数应用方案都是专用的，所以问题更为复杂，适用于某一产品的方案未必适用于其它产品。另外各种各样的输入和输出形式使得 MEMS 千差万别，也给应用带来困难。不过即使封装业能够联合起来克服困难，开发出完整封装的 MEMS 器件，到了下一步——将封装好的 MEMS 器件装到 PCB 上——又是一个大难题。下面以一些实际应用为例说明 MEMS 器件的组装。

## 安全电子气囊

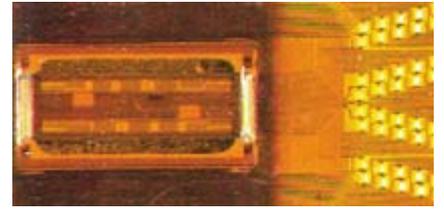
加速/减速计是最早也是最重要的 MEMS 器件之一(图 1)，这种器件通常具有一个硅悬臂或悬梳，当运动状态变化时会出现微小的弯曲，从中可检测到运动状态并将其转换成电讯号。对该系统的要求是必须能准确地感测到减速情况，并且及时发出信号以打开汽车上的气囊，而这一信号又只能在撞车的情况下才能发出。这种产品的封装外形并没有什么特别之处，用一般转移模塑技术就可以制成。加速/减速计是少数几种可以完全密封的 MEMS 产品之一，因为运动状态检测并不需要开口，而且封装不能影响机械的运动，封装的内部应力也必须很低，即使封装存在有应力也必须是可以估测的，以便应用时留出余量。封装和装配的关键都在于是否对应力产生影响，因为任何会增加封装应力的因素都将改变系统灵敏度。

加速/减速计只能感测一个方向的运动状态变化情况而不是任何方向，安全气囊里的感应器主要检测汽车的前向速度变化率，如果车辆受到追尾或侧向冲击，或者遇到路面凹坑而弹起，气囊都不应被触发打开。现在越来越多的汽车安装侧向安全气囊，由另一个独立的感应器检测其侧向运动情况。任何影响方向感应或减速检测的因素都会在使用时带来麻烦。

安装加速/减速计时还需要注意的一个问题是封装的方向必须要摆正，若 MEMS 方向不对灵敏度就会降低。假如水平方向偏斜 45°，则前向灵敏度会降低一半；除了水平偏斜外，垂直方向的倾斜也有影响，因为有效运动方向产生了变化，从而降低了灵敏度。

可以容许多大的偏斜呢？能否设计一种封装可确保装配方向永远处在允许范围内？对于这些问题可能已有了解决办法，只是尚未公开。据一位加速计制造商透露，少数 OEM 客户已有确定的芯片类型，并确立了设计规则建立了装配标准。尽管这是一个很大的市场，但仍然受到很多限制，这种状况今后也许会改变。另外一种可能是每个 OEM 厂商的器件规格都不尽相同，正如一位制造商所说，“拥有 MEMS 装配技术的公司是不会公开他们的经验，这是一个保密的行业，以后也是如此。”

许多 PCB 装配问题都会影响灵敏度，例如说焊点就有较大的影响，这主要是由于机械而非电气性原因。在决定碰撞时感应器的感应强度时，引脚兼容性也很关键，较硬的引脚变形比较小，从而会产生较强的信号。



另外 PCB 特性也不能因外部原因而改变，封装的应力可在一定范围内变化，但它必须先可以估测到。CERDIP(陶瓷双列直插)封装是 MEMS 器件普遍采用的一种封装形式，改为塑料封装后可能会增加应力和灵敏度。制造商在封装过程中对器件进行校准，将之作为测试的一部份，但如果在以后的装配过程中遇到意想不到的变化，像电路板翘曲和扭曲等，这些问题将是致命的。多层板的 CTE(热膨胀系数)变化也必须予以考虑，MEMS 对装配在这方面的影响目前还不太清楚，但基本原则应该是将器件、封装和装配作为一个相互影响相互作用的系统来对待。

## 喷墨盒应用

大多数墨盒中所使用的喷墨芯片都表现出了 MEMS 器件在封装和装配方面的创新。虽然有一些设计利用压电技术，但是大多数还是采用微型加热组件以形成一个可随时喷出墨滴的小气泡，再由许多微小喷嘴构成的数组将墨滴喷到纸上，而封装不能影响喷射路径。MEMS 芯片的连接区域必须保护起来，以免受到墨水等外部环境的影响，而且也必须牢靠耐用便于用户使用，所以这里采用了一种称为 COF 的裸晶装配制程。

喷墨芯片一般都用 TAB 薄膜装配，TAB 薄膜是一种柔性电路材料，带有可伸进接合区的悬挂式线束。挂在接合区的镀金引线跟芯片焊盘对齐，然后由 TAB 内部引线接合器提供所需的热量和压力，以形成牢固的金属连接。通常 TAB 封装都具有连接到电路板的外部引线，但喷墨电路拿掉了这些外部引线，芯片的连接线都装入一种称为 TAB 柔性排线的电路中(图 2)。

然后使用自动针型分配器将液体聚合物有选择地配发在需要密封的喷墨芯片连通区域，再藉由加热或照射紫外线使聚合物固化。芯片的工作面没有密封，因此喷墨不受影响。从某种意义上讲，装配在封装之前就完成了，软性电路连同装配好且受到良好保护的 MEMS 芯片一起被装到墨盒上，电路再绕过墨盒连接到打印机上，藉由这样组装的 MEMS 芯片便可以从墨盒中取出墨水。下次更换打印机喷墨盒时可以仔细观察一下这个非常精妙的 MEMS 器件，虽然很少有文献资料谈及这种 MEMS 器件，但在显微镜下还是能看到很多东西。

## 微光机电系统

微光机电系统(MOEMS)产品的复杂程度又提高了一级，芯片置放于密闭的封装内，以防止敏感的光学器件受到外界光线影响，但是必须留出一条光信道。这一方法原理很简单，但是实施起来比较困难，需要在封装内设计一个导光的盖或天窗，虽然有多种材料可供选择，但是大多数天窗都采用陶瓷或金属以确保良好的密封性能。

图 3 所示的微镜面模块也许是复杂光电产品封装的最好例子，这一数字微镜面器件是当前最复杂的商业化 MOEMS 产品，它也预告出未来的发展方向。芯片采用光束引导镜面，在运行中可以独立实时地行动。将一个镜面指向投射镜头就可接通一个图素，转开镜面即关闭该图素，高密度数组含有百万以上的微镜面，每一个镜面都可以分别寻址并且同时行动，轻型数字投影机采用的就是这些模块。美国加州的电影院正在用它进行一系列数字电影试验，今后的电影可能以电子方式传送到电影院，也许是藉由光纤来传输，然后就用这种投影机放出来。

MOEMS 对 PCB 装配的影响目前还正在研究。

据调研机构 Prismark 资深合伙人 Charles Lasson 介绍，一些新型 MEMS 产品对温度特别敏感，带引线的器件一般采用手工焊接，而表面贴装器件则采用雷射焊接。IPC、电子工业连接协会及国际微电子和封装协会(IMAPS)等组织也指出，目前业界仍然只注重半导体制程，而对封装技术并未给予足够重视，因此当务之急是协同开发 PCB 装配制程及标准，否则到 PCB 装配遇到问题时将悔之晚矣。

## 本文结论

MEMS 将成为 21 世纪的代表性技术。在一个芯片上含有感应、分析、计算和控制等功能的技术，将在近几年为我们带来许许多多新鲜而又奇妙的产品，而且这类产品还会源源不断地出现。虽然封装的难度较大，但进展速度很快，只是现在仅有少数几家大公司在研究 MEMS 的 PCB 装配问题。由于技术的发展难以预测，每天都处在急速的变化之中，所以即使现在还没用到，也应该开始考虑 MEMS 在 PCB 上装配的问题。

## 高性能 IC 的封装设计

封装设计不仅仅只是挑选一种样式进行组装，而更多成为 IC 和系统设计的一部份。如果在设计阶段的早期没有考虑封装因素，那么 IC 中的高速信号可能永远都不会传到 PCB 的其它组件上。(中国)开发设计人员在 IC 电气性能设计上已接近国际

先进水平，但常常会忽视制程方面的要求。本文介绍一种高性能 IC 封装设计思想，解决因封装使用不当而造成的器件性能下降问题。

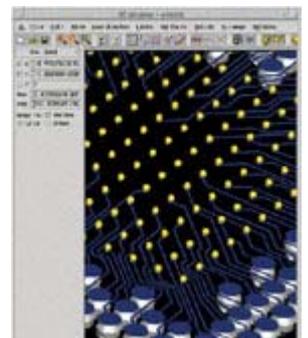
Wayne Nunn  
封装工程师  
VLSI Technology, Inc.

如今的 IC 正面临着对封装进行变革的巨大压力。I/O 数量越高导致从芯片到封装的连接路径变得越复杂，另外高速时钟和快速信号上升时间也会在联机中产生高速传输线效应及串扰或电磁干扰等，从而降低 IC 的整体性能。

为解决这些问题，同时为了使已封装好的 IC 具有良好的性能，封装设计正以其本身的特点成为一门新的学科。封装设计人员必须懂得电性能方面的问题并且要研究芯片和封装之间的相互作用关系，同时他们还必须学习怎样使用更复杂 EDA 软件，以便使 IC 满足物理和电性能设计规则。

封装设计已不仅仅只是挑选一种样式用作装配，而更多成为 IC 和系统设计的一部份，应将其作为专门的多应用领域设计准则并且把先进的封装软件整合到芯片和系统设计流程中。这样设计人员们再遇到邦定及倒装芯片基底技术难题时，利用封装技术就可加快产品设计周期。

VLSI Technology 公司针对这种新形势改变了设计流程。过去我们设计新 IC 封装时先用 AutoCAD 作设计草图，画出芯片及连接点的位置然后将其发送给另一家基底材料供货商或封装供货商手中。他们使用自己的 CAD 工具重新绘制图纸，再把 Gerber 绘图文件或 AutoCAD 文件返回确认(图 1)。



对有引脚封装的设计，用这种方式不会有什么问题，它甚至可以用在相对简单的低引脚数 BGA 器件封装设计中(如果一年里只有那么一两两的话)。对新一代 VLSI 产品而言，随着数量和复杂程度的不断增加，这种流程越来越不能够适应。为了给每种 IC 提供多个不同的封装选项，我们必须要在更短的时间内完成更多封装设计，同时引脚数量增多以及对电气性能优化的需要又进一步增加了图纸的复杂性。

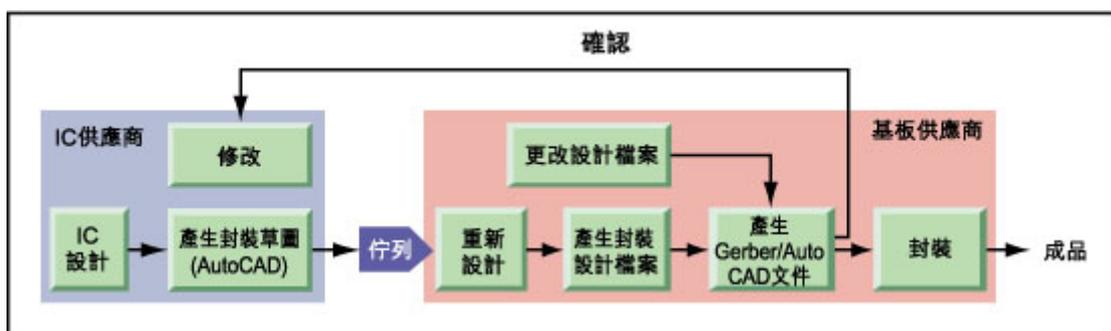
由于我们将很多工作都外包使设计流程拖得很长，而只是凭借草图与远在外地的供货商进行设计要求方面的交流也变得日益困难，有时分包商们不明白我们为什么想要某种布局而会把它改得更糟糕。比如说他们用一种在功能上有错误的方法进行连通，我们发现后就不得不先审查我们所希望的布局，作出改正，然后发给该供货商重新再来。而他们经常又会误解我们手工画的修改图，这样就增加了改正次数并造成延误。因此从最初的封装草图到出最后的图纸时间会拉得很长。

因为有很多时间花在审查和修改设计上，所以旧方法不仅降低效率，而且往往得不到最佳效果。意识到需要加强对设计过程的控制以缩短设计周期、优化芯片和封装的性能并提高成品率时，我们决定自己进行封装设计，并修改设计流程以便能够同时考虑芯片、封装及线路板等各项设计因素，目的是藉由将 IC 及其封装从一开始就看成是一个整体而不只是把封装当作一种后端制程使其性能达到最优。现在其它很多芯片和系统供货商也开始跟随这一趋势。自己进行基底的设计是一个战略性决策，它使我们彻底改变了封装设计的整个流程。

## 新技术应用

根据在先进封装设计中获得的经验，我们发现过去一直沿用的设计工具和设计方法存在很多局限。传统设计工具作出的图纸虽然很好看，但却不一定遵守电气和物理设计规则，而且也不能够从中提取数据进行建模和分析。

要想使性能得到优化，就需要有能够对先进封装进行电性能设计和分析的软件工具。这种工具可以提供内部数据库访问，在设计过程中预先确定制造、装配以及电气特性等制程，最后能直接生成照相底图交给基底分包商。



我们所寻找的设计自动化工具要能清楚地根据先进封装要求对基底互连进行设计分析，而且还要使封装支持更多的裸片功能，如高性能芯片特有的新参数(包括不同电源平面所需的多电压设置、高速 I/O、差分对、阻抗匹配以及固定阻抗等)。除了各种应用信号，封装还必须支持大量其它重要信号以及 I/O 总线。

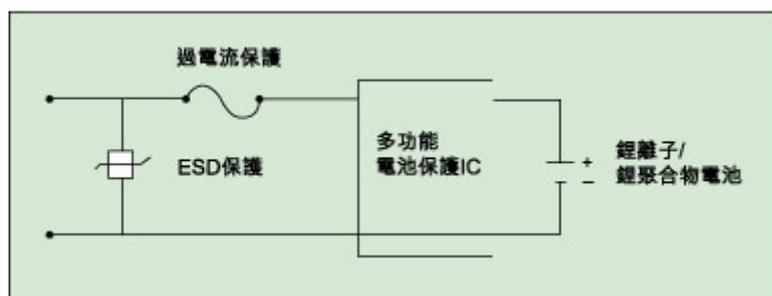
在选择新封装设计工具时，我们对几个供货商的商用封装设计工具进行了评估。我们先设计好一个正规的“审核要求”文件，审查了约 100 个项目，然后定出我们最需要的功能如下：

- 1.有没有网络表都能开始进行设计：对单独一个芯片设计来讲，通常从没有网络表开始效率更高，这样可把重点放在提高密度和电气性能上，然后按照其它考虑因素生成实际的芯片到管脚网络表。而另一方面，偶尔也会有一些芯片的封装需要按照预先定义的网络表来完成。
- 2.能够构造针对 BGA 设计的独特“部件”分级数据库：如 BGA 管脚、梯形通孔、焊接点/基准点以及避开倒装芯片焊盘的数组形式和走线形式。
- 3.能够实现非常高布线密度的交互式自动布线器：器件一般都可以任意角度布线，在布线时能把挡道的线“推开”，而且自动遵守 BGA 设计规则。
- 4.能够自动生成焊接点：按照制造制程的要求由人工构建焊接点将是一个非常沉闷并需要极大耐心的过程。
- 5.能将设计和制造规则检查(DRC)综合在一起：综合规则检查有助于在设计过程中进行最初电气分析、热分析和制程验证。
- 6.能将一流的分析软件结合到设计流程中：应该将一流的分析软件加入到设计过程中以便进行详细的分析和描述。
- 7.能够导入导出常用数据格式：为了确保适用，该工具必须支持在其它设计阶段使用的数据格式，如 DXF、GDS II 及 Gerber 等。

我们选一个用现有芯片设计工具设计的非常复杂的单片 BGA 封装作为测试标准，这样可以将待选工具与我们现有技术进行性能比较。在试用几个业界领先 EDA 供货商的产品之后，我们选择了 Xynetix Design System 公司的 Encore 软件。我们比较喜欢 Encore 的界面和它给人的感觉，还有其内置的“智能化特性”。实际上它是专门为单芯片和多芯片封装而设计的，提供有开放式环境，可以将分析融入到设计过程中。

## 通用互连建模

选择标准的一个关键因素就是它必须要能够为我们的内部和外部用户生成封装互连模型，因为他们需要封装模型来完成芯片和系统级电路仿真。因此，VLSI 和 Xynetix 及 Ansoft 公司合作，将 Ansoft 的 2D 和 3D 参数提取工具装入到 Encore 设计环境中。



将两种软件综合在一起后可允许工程人员在 Encore 内激活分析工具，这比不得不在设计和分析环境之间来回切换要方便得多，而且分析工具的设置和使用也更容易。工程师们可以按照组别、网络类别或单个网络来选择网络，然后自动提取出所有的互连情况如焊线和 BGA 球等。Ansoft 工具可利用 Encore 的布局数据建立互连的 3D 模型(如图 2)，然后生成 RLC 矩阵，寄生参数可用来产生 Spice 模型以进行系统仿真。目前这种综合正处于测试阶段，开放式架构可保证我们容易地添加其它所需分析工具。

## 面向流水化作业的工作流程

迄今为止，Encore 已经证明了它能够满足我们的需要。我们完成了一个试验性 596 球四层设计，目前正在作第二个设计——一个约有 700 个球间距为 1mm 的四层 EPBGA，上面还有多个不同的电压分区。两个设计都用到该工具的自动联机性能。我们现在进行的倒装芯片设计有 1,160 个球，间距为 1mm，另外还用到多层组装技术以建立复杂的过孔结构。

我们希望用 Encore 得到更加流水化的设计流程，这样分包商就不用再重新进入到我们的设计中，也不需要多次回顾和纠正。我们还可以在送给供货商之前，藉由对设计进行分析对已封装好芯片的性能进行优化(见图 3)。

注意 AutoCAD 在我们的设计过程中仍保持着重要的地位。它是一个很好的设计工具，已成为当然的工业标准，我们用它导入供货商现有的 AutoCAD 图纸并生成制造装配图。Encore 能直接读取 DXF 数据并将它转换成“智能”数据，这样就可以在 Encore 内进行处理。同时我们也能够完成 DRC 验证，改变设计使性能得到优化，并将设计变换为 AutoCAD 使用的 DXF 格式。

虽然新设计工具能够使我们对封装设计的性能和制程进行优化，但它还要求封装设计人员具有新的设计思想和技巧。

Encore 可自动完成大部份工作，如在布线过程中自动对焊盘和过孔进行圆角处理等，这对一个优秀并具有可制造性的设计是必要的，自动化节省了大量的时间并改善了效果。但是对主要使用 AutoCAD 进行引脚结构设计并在这方面具有丰富经验的封装设计师们来说，该工具最主要的优点——电性能规划和遵循设计规则则是全新的。这里的差距很大，因为我们不仅仅要作工具方面的培训，而且还要学习具有电气性能规划的总体设计和布局技术，不过为了得到新一代 IC，这是必须要完成的变革。

更进一步的改变是我们要努力把封装设计作为整个芯片设计流程的一个有机组成部份。该工具的开放式架构对这一合成很有帮助，它可以使设计人员预测出最后的封装将如何影响整个器件和系统的性能。该工具提供了制程链接、后期验证、电气和热分析以及藉由“幕后顾问”直接访问其它工具以便在设计过程中进行监控。这个幕后工具使我们在实际输出之前可以先检查电气、热、制造以及系统级设计参数，藉由消除延迟及减少设计和制造部门之间的反复次数来帮助优化设计的性能。

EDA 工具可以大大提高设计速度并为深次微米器件提供封装方案。我们设定了一个内部目标，在两周内把整个设计流程转换过来，以便对 IC 的电气性能进行优化。我们相信这样的目标是现实的，它只不过是在现有基础上增加最新的 EDA 技术而已。

### 为什么要使用先进的 IC 封装？

先进的 IC 需要用到先进的封装技术，如球栅格数组(BGA)、芯片级封装(CSP)以及倒装芯片互连等等，这些封装的优点在于：

1. I/O 数更高：随着目前的 IC 整合度提高，意味着 I/O 数量也在急剧增加，而且这个数字还在继续成长。如今 300~500 个引脚的器件已非常普遍，不久将达到 1,000~2,000 个引脚，半导体工业协会(SIA)在 1997 年美国半导体技术趋势报告中预测半导体器件在 2012 年将发展到 5,000 个引脚。BGA 封装已经成为高 I/O 引脚器件的首选封装形式，它相对引脚封装来说间距缩小了 200%。
2. 性能增强：先进封装技术与带引脚的封装相比器件整体性能可提高 40%，部份原因是由于减少了芯片和封装互连的寄生感应，而这类问题会随着芯片的速度和密度的提高而不断增加。
3. 尺寸及强度：先进封装可以减少系统的体积和重量，这一优点对消费类电器特别重要，采用小型化芯片封装可使粗笨的产品变得小巧玲珑。此外 BGA 封装还可以避免细间距器件所固有的引脚易断等制造问题。

### 用于下一代互连的通孔填充材料

有很多种材料可用于下一代线路板互连应用，在此基础上现在又开发出系列通孔填充聚合物，利用这种聚合物可改进目前高密度组装中所使用的传统环氧树脂通孔插入材料的性能。

有机层压封装及线路板生产的急剧成长驱使制造厂商不断地提高互连密度，同时还要减小尺寸和单位成本。移动电话淘汰数量的迅速上升就是一个很好的例子，小尺寸、低成本及高性能已成为产品在全球市场规模竞争中的重要因素。

与此同时，自从表面黏着成为 PWB 业界标准以来，对通孔填充的需求正开始上升。线路板在作层压时其内层常由树脂填充，当用到塑料焊盘栅格数组(PLGA)封装器件时，回焊焊料还起着增强通孔结构的作用，利用其高导电率修补由于断裂或其它缺陷引起的任何开路。

如今的高密度线路板及序列内置封装(SBU)设计人员正利用各种通孔填充材料来提高设计的可靠性和性能，大多数时候使用绝缘通孔填充材料，通孔填充主要有两个功能，即防止

后制程遗留物蔓延污染以及提供结构支持。另一种方法是最近由 Prolinx 发表的技术，它直接用导电环氧树脂填充通孔而不是先镀铜，虽然这种应用尚未成为业界标准做法，但是已经证明藉由提高通孔填充材料的特性尤其是导电率，可以大大简化封装和线路板制造制程。我们也看到大家对利用导热及导电材料的优点来提高可靠性表示出极大的兴趣，就缩小尺寸而言，用导电或绝缘材料来填充通孔、暗孔及焊盘过孔等都会有积极作用，而且在先进制程技术应用中也没有什么大问题。

## 材料技术

我们这里先介绍实际填充材料的性能特性，以及各种材料如何填充各种形状的通孔才能达到理想的效果，另外我们还将从线路板和封装两个方面以及填充剂开发商的角度介绍不同材料需考虑的因素。

## 性能因素

对线路板和封装制造厂商以及最终用户的大量调查都显示，实际功能方面的要求和通孔填充材料的品质应互为关联地加以考虑，这对导电及绝缘通孔填充技术都适用，但同时并不排除其它人用不同的方法确定具体需求参数。例如有时允许内部有空洞，只要其上下表面都是“盖住”的；或者有时一点下沉也是容许的，只要表面没有会积聚化学材料的凹坑即可等等。在  $6\sigma$  品质控制制程中，上面两种情况都是相当主观的控制因素。随着进一步观察多步骤制程和通孔的功能及机械完整性，尤其是热导率或电导率时，结论会更清楚一些。让我们考虑一下某些经常观察到的特性。比如当某种材料固化收缩时，会留下一个“翻盖”形表面，这样其内部应力可能会增加而使填充物分裂，这对于线路板/封装的最终用户可能只是一个外观问题，而对于线路板/封装制造厂商来说，该缺陷则会引起后续制程的问题，包括阻焊剂发配以及湿制程污染等。再比如内部有孔洞时，它在哪里出现几乎是无法控制的，因而导致表层下面随机出现孔洞，在生产过程中有时就会造成碎裂。对于导热或导电通孔填充材料来讲，孔洞具有良好的绝缘特性，所以这会给实现材料数据资料中所列热导或电导率带来困难。

在考虑用导热或导电通孔填充材料作为热传导或电传导通路时，其特性应该如何测量呢？通常这样的测量需要在导电材料镀层旁边有一个链路，我们认为通孔内壁接触面至少也应是同等重要的。在考虑可靠性时，接触点将起很大作用，含有导电材料的环氧树脂固化后会附在通孔内壁，但实际上它与电镀并不相同。体热传导率常常利用接点上的热油脂来帮助测量，但对于填充通孔壁面来说，这不是一个可行的方法。材料供货商利用隔离式结构来测试这些特性的固化值再将其公布，或许这对制造商会有所帮助。

当把通孔填充与其它变量共同考虑时，又出现了很多新问题。在对高密度线路和 SBU 设计以及印刷线路板制造的复杂性进行研究之后，我们把最能满足通孔填充材料可靠性要求的固化前及固化后特性详列如下：

## 功能性

1. 材料必须要有流动性，可以很好地流入各种孔径的通孔，而且在使壁面润湿的同时，决不能在靠近表面位置出现严重树脂外渗。此外它还应具有优良的平整特性，作“点形”或“面形”填充时尤其应该如此。
2. 填充材料必须形成一个内部没有孔洞的“塞子”，以便为镀孔壁面提供支撑和良好的热导和电导。因为空气或其它气体引起的孔洞会在填充的通孔中形成各种不同的隔离区，贴近表面的孔洞则会引起后续制程的问题，这一点对绝缘通孔也是一样的。
3. 作为孔壁传导的辅助替代物，填充材料应具有较低的热/电接触阻抗，在填充之前进行铜处理可提高整体传导性。
4. 填充材料颗粒尺寸的分布及最大值必须保证能够对最小直径为 0.003 英寸(甚至还有 0.002 英寸)的通孔进行填充，它应能克服一些轻微的孔壁镀层缺陷，如突起或因通孔电镀产生的弯曲限制等。
5. 材料的固化温度必须与封装或印刷线路板材料特性以及设计限制条件相符合，并能够控制温度的下降速度，以尽量减少形状的改变和对后工序的影响。

## 可靠性

1. 固化后的填充物应该能承受后续各种制程，包括水洗和化学清洗、铜蚀刻、抛光、电镀特别是化学镀铜等等，因此应该对所用的化学混合物严格执行 JEDEC 1 级防潮和处理溶液浸入测试。
2. 填充材料必须能承受填充后的机械处理，比如经各种平面化处理后不应破坏通孔的表面特性，或造成后制程材料残留到印刷和蚀刻工序中。
3. 填充材料不管是在预清洗阶段或在铜蚀刻后的表面上都必须要有良好的孔壁黏着力，而且还能承受后面的热循环过程。就是说它必须要藉由现有的可靠性测试标准，在温度循环过程(如在液体恒温槽间转换的 B 类热循环)中孔壁保持连续而不发生破裂。

## 封装和线路板结构因素

我们现在来看一下“内置”和“真空层压”多层构造中通孔填充材料的基本应用。通孔填充可以在层压制造的初始工序中进行，应用对象包括内部微过孔、埋孔、盲孔以及靠近封装/线路板边缘的预镀金孔等。

SBU 从“核心材料”结构开始，它是指一种单层或多层的铜/树脂结构，其上下表面均覆有铜箔。铜箔厚度一般用盎司重量表示，有 1/2 盎司、3/8 盎司等规格。这种核心材料通常先按照设计要求进行机械钻孔，然后去毛刺、进行清洗最后再镀铜。

核心板料涂镀有四种基本方法：平板涂镀(普通表面)、点镀，模形涂镀和完全涂镀。前三种通常采用电镀制程，最后一个则用化学方法。为解释涂镀特性与通孔填充的关系，我们对前三种方法作一简要讲述。平板电镀是最容易的通孔填充方法，通孔填充材料藉由橡胶滚轴接触或其它方法直接发配到板面而不用模版或丝网，这就省掉了模版与通孔精确对位的过程。在点镀和模形镀中则要先用光罩图，然后是电镀、去除光罩，再藉由模版对位进行通孔填充(有时还要一个光罩来帮助填充)。使用光罩版的原因是通孔有一个环形凸面，其宽度通常在 52um 以上，厚度 16~52um，这对模版来说会产生一种类似垫片的效果，特别是在一个 45.7x61cm 的平板上进行 X、Y 和  $\theta$  对位时它的影响会很大。上面这些方法各有优缺点，我们看一下其中两个最基本的方法。平板电镀依靠平面化可以很容易进行通孔填充和整平，但却无法作得很精细以应用于更高的电路密度上；模形电镀具有很好的线条分辨率，但在作模版通孔填充时又有很大的对位问题，使得过填充加剧或者造成树脂渗透到必须保持清洁的表面上。日本趋向于使用平板电镀，并藉由缩小平板尺寸减小对位的难度，但这同时也降低了单板组件数量和利润。在美国，大多数厂商都尝试所有三种电镀制程，在扩大平板

尺寸的同时缩小特征尺寸并增加板上的组件数以增加盈利。

我们的目的是均匀地对钻出的通孔壁面进行电镀，一直到核心层表面。通常厚度一致性会难以保证，造成镀层厚度出现差异，称为“膝形镀层”(在上下开口处的孔壁电镀量过厚)，另外通孔内还会出现由电镀溶剂引起的结点，这些问题会进一步影响通孔填充的一致性及导线蚀刻过量或不足。电镀通孔的尺寸和深度取决于核心层的层数，显然，核心层越厚或通孔直径越小，后面的电镀和通孔填充作业就越困难。平面化可以帮助改善表面的一致性，但通常最好是对电镀槽加强控制，这样就可以免掉这个工序。处理通孔填充目前已有了一些方法，不过材料准备或方法本身也可能引起一些潜在的缺陷。

在我们已研究过的通孔填充材料和特定应用变量关系上，有一些应用限制条件。例如要想在某个平板或基板内不出现过度填充或不合适的平整特性其通孔尺寸就应有一定范围，另外流变特性及填充剂密度也有一个范围，它受到通孔直径和长宽比的影响。

可以看到在所有这些考虑因素中，通孔填充物性能必须要能够与各种制程或者后序制程相适应，并适应这些制程中可能出现的异常情况。对于高性能材料来说，这些特性的考虑是很重要的，有必要加以强调以便开发出性能和成分的最佳组合以满足最终用户的要求。

## 先进的材料开发方法

根据前面讨论的制造考虑因素，我们开发了既可以解决制程又可解决最终性能问题的通孔填充材料。为达到所要求的性能目标，我们利用内部仿真设备研究特殊的界面效果。这些研究可提供关于配方性能的一些高水平化学和理化知识，因此在这里与其它参考资料一并提及，供有兴趣了解这些的技术人员作参考。就通孔填充系统而言，对树脂(一种改进过的环氧/氰酸盐酯)以及填充物的动力学建模帮助解决了许多实际的小问题，正是这些问题使原来的配方常常失败而使相关的学科得不到重视。

虽然对填充剂(包括目前改进的环氧/氰酸盐酯化学成分)仿真会带来影响已经在一些文章中有所论述，但通孔填充表明利用仿真是加快配方开发的有效途径。例如，利用分离的组件模型我们可以藉由确定颗粒分布的一般趋势，帮助调整目前(专用)填料颗粒分布，从而获得更高更密的传导性。更进一步还可对分子建模，以确定表面活性剂以及导电聚合物的效果，它将同时影响通孔填充剂的印刷特性和界面及体积传导性，而且还可控制一些次要的方面，如渗出和相分离等。不过目前分

子建模最重要的是要与化学试剂选择共同使用，并考虑对黏着特性的影响。由于环氧/氰酸盐酯系统具有很复杂的化学反应过程，因此确定能够增强聚合物固化后防潮性能的理想化学材料是很重要的。依据我们的实验室研究，环氧/氰酸盐酯的固化逐步进行，最后的产品分布很大程度上取决于配方引入的催化剂类型。分子建模可用于确定哪一物质对于增强固化特性是有帮助的，尤其是防潮特性。所找出表现最佳的材料最终都在固化研究中得到证实，进一步建模说明这些产品还有助于提高压力循环特性和防潮特性。这些资料可用于对催化剂进行正确调整，以优化配方并获得具有更佳反应效果的材料，下一节将介绍通孔填充应用中的防潮效果以及其它测试结果。

## AlliedSignal 新型通孔填充材料

AlliedSignal 通孔填充材料编号为 JM3200 系列，具有很好的通孔填充性能、低孔洞固化特性、较高防潮性以及较高黏着性等，其中导电型填充剂还加入了一种专用导电聚合物和渗出修正剂，可以增强孔壁的接口传导率。本节将讨论这些性能各个方面，以及读者可能感兴趣的其它数据。

改进后的环氧/氰酸盐酯通孔填充剂里不含溶剂，可以消除因挥发性成分引起的孔洞。JM3200 系列材料的挥发性很低，与环氧树脂材料相比，不含溶剂的材料在热固化时不会出现较大的重量减少，例如 200℃ 时通孔填充材料的重量损耗是 0.397%，而环氧树脂材料则是 3.467%。比较发现，采用我们目前的环氧/氰酸盐酯和一些其它厂商的环氧树脂通孔填充材料进行填充后，可看到有很多孔洞散布在通孔填充剂内部，而使用不含溶剂的材料后，整个通孔内都没有孔洞或者气泡，得到的是一个非常理想的稳固填充物。另外这种填充剂的黏度藉由黏性非常低的单体以及一种专利技术而得到良好控制，与之相反，其它环氧树脂通孔填充材料利用稀释剂来抵消填充物过多(通常不到重量的 80~90%)的影响，以达到更高的热/电传导率。对这些填充剂来说，固化时稀释剂或者溶剂挥发将造成很大的重量损失，导致填充后通孔收缩并出现孔洞。为克服孔洞现象，含有溶剂的配方通常先在低温下烘干，除去溶剂，然后在更高温度下固化，这就要使用两段或三段式固化曲线。虽然一些建议的加热曲线可减少孔洞现象，但并不能消除。这是因为反应中的环氧树脂会迅速凝结、黏性提高并且发生聚合，在溶剂发出气体时将空气留在内部。

简化固化制程是 JM3200 系列的另一个特征。由于这种填充剂不含溶剂，因此免去了溶剂预热工序(虽然这种工序很少能够将溶剂全部去除)，缩短了制程时间，也减少了搬运传递步骤。缩短制程周期和提高生产率是该材料的另一个优点。虽然建议的固化制程为 160℃ 下进行 1 小时，但是也可采用其它固化程序，例如在某些临时情况下可以在 175℃ 下固化 30 分钟。不过注意高温/快速固化对材料的韧性可能有轻微影响，并要留心内外材料的玻璃转换温度(T<sub>g</sub>)。这种材料藉由仔细控制和设计，可在任意一种条件下进行单步式固化，不会由于孔洞或者收缩而影响产量。除了缩短制程周期提高生产效率之外，其灵活的制程性能也为制造商提供了一个非常可靠的无孔洞通孔填充制程。这种灵活性可以从其稳定的传导特性清楚地看到，它与固化时间无关(如图 1)。

对于高密度线路和 SBU 制程来说，前面所述在通孔填充之后的常用制程，如铜蚀刻、抛光和电镀等都要求通孔填充材料必须能够防潮，并且不会有材料损耗或者收缩。有些方法可以用来测试材料的防潮能力，包括湿气的吸收和预处理测试。我们用湿气吸收试验对 AlliedSignal 改进型环氧/氰酸盐酯与普通环氧树脂通孔填充材料进行了比较，图 2 显示在这方面可防潮的环氧/氰酸盐酯比环氧树脂通孔填充材料要好很多，暴露于湿气之中重量只呈现出较小增加。图 3 中的黏性保持特性更清楚地说明了防潮性能的重大差异，在 85℃ 和 85%RH 环境下藉由 7 天后(JEDEC 1 级标准)，通孔填充聚合物在铜/铜和铜/FR4 上分别还有 75.5%和 72.8%的黏着保持能力，虽然环氧树脂材料在铜/铜样品上最初黏着力更高，但是藉由潮湿环境之后黏着力几乎完全丧失。环氧树脂材料的潮湿敏感性在以前的文献中已经作过很多介绍，这主要是由于其中的聚合物具有亲水性，同时在一些环氧树脂系统如酞固化环氧树脂中弱酯黏合剂的水解作用。JM3201 通孔填充材料藉由普通后处理制程测试，在电镀制程中具有很好的耐久性而不会有材料损耗。

JM3200 还在 8 小时制生产线上表现出良好的制程性，特别是与橡胶滚轴制程联合使用时。它也有一些缺点，由于材料配方内含氰酸盐酯，因此需要低温贮藏，不过这已经是封装/芯片黏接业中施行了很多年的一种作法。

JM3200 系列的另外一个优点是可以黏着于各种基底材料。数据表明，在铜和有机基底材料之间利用这种独特的聚合物化学制剂可以达到很强的黏合，对于 BT、FR4 和聚亚胺也有同样良好的附着力。其较低的 CTE 能够很好地缩小两种不同材料在热膨胀上的失配，另外这种新型化学制剂具有中等弹性系数和 T<sub>g</sub>，保证制程材料能经得起高温回流焊，而且热循环过程不会产生裂缝。在一个从液体环境到液体环境的热冲击测试(B 类条件，500 个周期)中，环氧/氰酸盐酯聚合物系统未出现裂缝或者收缩，也没有因潮湿而出现退化现象(如图 4)。

研究中另一个关键性能指针是体传导率。藉由使用一种在导电填充物形态方面的受控设计以及新型表面发配技术，可以提高环氧树脂材料的热传导率，将这两种技术合在一起能使新材料比环氧树脂材料在装填物重量上节省 10%，同时仍然满足各种关键性能指针，如热传导率等。

最后，虽然目前还没有要求，但是这种通孔填充材料因为使用(从离子杂质的角度来说)非常干净的成分，而具有较高离子纯度，每种离子在对其水解离子含量(如 Cl<sup>-</sup>、F<sup>-</sup>、Na<sup>+</sup>、K<sup>+</sup>等)进行测量时，通常不足 10ppm。环氧树脂通孔填充材料由于使用由环氧氯丙烷组成的环氧基树脂，不可避免地含有很多 Cl<sup>-</sup>，通常为 100ppm。在芯片黏接和底部填充应用中，黏合材料非常接近芯片，研究证明此时 Cl<sup>-</sup>在潮湿条件下可能会造成腐蚀。

## 本文结论

本文介绍了表面上看似简单的通孔填充技术在开发时需要考虑的各种因素，同时为读者介绍由 Johnson Matthey 电子公司开发的新型通孔填充产品。随着微通孔和高密度电路板技术不断面临挑战，它们也为新材料的发展带来了契机。高性能通孔填充聚合物在提供可靠的高品质通孔填充方面显示出巨大潜力，数据表明它在可靠性、可用性和制程性等方面都超过了环氧树脂材料。可靠的高品质通孔填充聚合物出现为设计人员和制造商在开发下一代产品时提供了更多的材料选择。

## 声学显微技术新进展

目前声学显微技术正朝着显示更高密度被测器件方向发展，以满足其更加特殊的应用要求。本文介绍这方面的一些最新技术，为(中国)工程师提供一种进行器件结构分析的实用工具。

声学显微技术的原理就是用中心频率为 5MHz 至 230MHz 左右的超声波扫描被测样品上方的压电感应器，并使其聚焦于样品内部需观察的区域。在这个感应器上施加一个电压后，压晶体管会将该电讯号转化成机械超声波，感应器的焦距和中心频率在设计 and 制造时就已固定。另外，声波从传出感应器到进入被测样品的过程采用水作为传播媒介。

声学显微技术分成两类。第一类称为“脉冲反射”法，采用这种方法时进入被测样品中的是短促超声波脉冲，样品内部每一处分界面都会有部份声波被反射并返回感应器，然后对返回声波的三个特性(振幅、相位和传播时间)进行分析，再用一种复杂的计算机软件计算这些数据，并最后将其在屏幕上显示出来。振幅反映了返回声波的强度，相位则显示了声波跨越不同材料界面时的相移程度。

不同材料界面之间反射的超声波振幅由反射系数 R 确定：

$$R=(Z_2-Z_1)/(Z_2+Z_1)$$

其中  $Z_i=r_i c_i$  是对应材料( $i=1,2$ )的声阻抗，其定义为该种材料的密度( $r_i$ )及其内部声速( $c_i$ )的乘积。

利用 R 还可确定一些简单的相位信息，当然也可以使用更复杂的相位检测技术来进行。传播时间(通常以微秒为单位)则是从发出脉冲到收到反射所经历的时间。

另一类方法称为“透射传播”法。这种方法需要使用两个感应器——一个向样品发射超声波脉冲，另一个沿发射方向装在样品的另一面，接收从样品中传出的脉冲。如果声音可以一直穿过被测样品，则样品内部就是完好无损的；如果有的区域没有收到声波信号，则说明该处有断层或孔洞。正因为此，所以通常要检测信号的振幅。穿透不同材料界面的超声波振幅由传播系数 T 确定：

$$T=2Z_1/(Z_2+Z_1)$$

这里的声阻抗  $Z_i$  与上式中定义的相同。

如果  $Z_2$  远远大于  $Z_1$ ，则超声波将不能够穿过界面，在断层及孔洞中有空气时就是这种情况。但是透射传输法无法确定样品内是否存在异物，此时要用脉冲反射法才能发现这类问题。

## 新型系统组件

声学显微系统由几个部份组成，脉冲发生器/接收器就是其中之一。它是一种藉由仔细设计的电子系统，可优化声波信号的发射以及被测器件(DUT)响应信号的接收。设计良好的脉冲/接收器能使信噪比达到最优，而且还可获取更多的 DUT 信息。

最初设计的脉冲发生器/接收器性能很好，完全能满足业界的需要。但是后来被测器件越来越复杂，使得这些系统的局限越来越大，所以又相继推出了许多新型设计和电子结构，以克服老式脉冲发生器/接收器的缺陷。

我们以一个带特殊感应器的新型脉冲发生器/接收器为例进行说明。图 1 是标准配置脉冲/接收器生成的声纳图，从图 2 则看到使用新型高压设计后在同一样品上能得到更高的分辨率。这里加大了感应器上的输出电压，从而产生更多的声能发出更强的信号，因此在水(耦合介质)中传播的距离也 longer，到达 DUT 的声信号利用率也更高，最后返回信号中所包含的器件信息也就更多。由于它可根据不同应用选择一种最合适的设置，所以新系统具有老式传统显微镜所无法比拟的灵活性。

声学显微技术的另一项发展也与感应器及脉冲发生器/接收器有关。新型感应器可以在 230MHz 以上工作，相应地，脉冲发生器/接收器也要能够接收这一范围的数据。这类新器件的设计已经完成，并且都已藉由了测试。

## 声学显微标准

另一个颇受关注的领域是声学显微技术标准的发展。目前有多个组织都在寻求测量声学显微技术各个参数的方法，并提供确认可测性和系统性能的标准。现在正在研究的一项标准利用了通用晶圆制造技术和晶圆至晶圆连接技术。这项研究里硅片图案的结构是已知的，亦即硅片基底图案的大小和相互间位置(空间分辨率)都是确定的，然后把刻有图形的第一块晶圆反转之后针对下放在未刻图形的第二块晶圆上，将两个晶圆黏接在一起，这样就出现了尖峰和低谷。第一块晶圆的尖峰与第二块晶圆接触，低谷则形成大小已知的孔洞(气沟)，可以用显微镜将其测量出来(图 3)。这种方式对评价声学技术的实际测量性能十分重要。

## 本文结论

应指出上面这些都仅仅只是初步应用，和基础科学相关的新设备、新软件、新方法以及新技术等都在不断地得到商用化，一个多世纪前就已出现的声学技术在半导体领域有了新发展，几年前还认为是不可能的事情现在不仅能够做到而且已经在发挥作用。目前，有很多器件都可以利用新技术进行成像，因此，现在还需要进一步研究声学相关技术，并利用这些新产品开发出测试新封装的方法。

## 上腔式增强型 BGA 性能及可靠性分析

随着移动电话、呼叫器、手提摄影机及笔记型计算机等可携式电子产品的普及，电子业也开始从封装中寻求小型化方案，这种小型化趋势将随电子封装的性能和板级可靠性的提高而不断发展。为满足市场的强烈需求，目前又开发出了一种新型上腔式软性增强型 BGA 封装(Cavity-Up Enhanced BGA)，这种封装在裸晶和软性线路之间增加了一块完整的铜固片，可以使封装可靠性及散热性等都得到增强。

Terry F. Hayden

Paul M. Harvey

Randy D. Schueller

William J. Clatanoff

Eumi Pyun 电子产品实验室 3M 公司

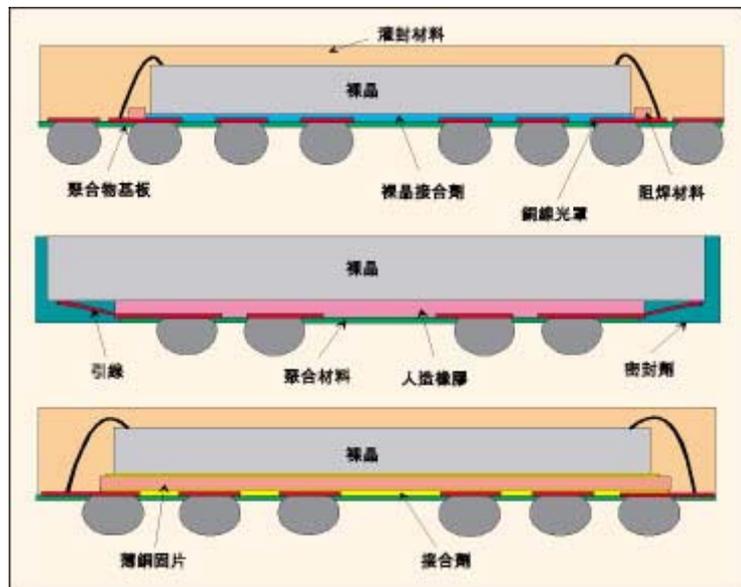
在对尺寸要求较严格的应用中，芯片尺寸封装(CSP)等小型封装属于第一代电子封装，现在又出现了一种软性封装，用软性电路作为内部互连传输通路，它将很快成为使用芯片尺寸封装的另一种选择。

软性封装对散热、信号电感等封装性能要求同样十分严格，这样才能对日益成长的信号频率和硅片整合度以及板级可靠性提供支持，满足最终产品的使用寿命要求。并不是所有的电子产品都要采用小外形封装，采用与否主要是出于对电子封装性能的考虑或者看它能否达到所希望的板级可靠性。

下面从实际角度分析一些主要的软性芯片级及 BGA 封装的电气特性和封装可靠性，并与最新的软性上腔式增强型 BGA 封装在外形、可靠性、散热性及电气性能等方面进行比较。

## 丝焊软性结构

目前用量最大的软性封装是丝焊软性 BGA(德州仪器公司将它称为  $\mu$ Star，Amkor 则称其为 fleXBGA)。这是一种超声波压焊上腔型结构，具有多种输入输出端选项(如图 1a)，这种封装的主要优点是简单以及成本低廉。



### $\mu$ BGA 封装结构

Tessera 的  $\mu$  BGA 是另一种人们熟知的软性 CSP，它是一种 TAB(卷带自动接合)型下腔式结构，输入端形式如图 1b。这种封装的主要优点是有一个橡胶层，可消除由于硅片和电路板基板之间热膨胀不均匀而造成的剪切应力。

### 增强型 BGA 结构

这种新的上腔式增强型 BGA 封装结构有点类似于丝焊软性 BGA，只不过它在软性电路上增加了一层 5mil 厚的薄铜固片(图 1c)。这种封装设计中的固片在 IC 散热、信号完整性电气参考以及使裸晶与 FR4 的 CTE(热膨胀系数)相匹配以减少焊球张力等方面提高了封装的性能。

**新封装基板采用传统 3M Microflex 电路**，藉由接合剂压制在一个金属刚性框中。软性电路作为内部互连信号传输通路，利用其高分辨特性，可实现密集型球数组布线，从而将封装尺寸和金属联机都缩到最小。除了具有良好的布线性能，软性电路的高分辨特性还可将丝焊焊盘放在靠近裸晶的位置，这样使得晶圆尺寸和封装尺寸可以做得很小，同时较密的焊盘间距在缩小裸晶尺寸同时还缩短了焊线，也即降低了自感。

以 3M 向 IC 封装制造商提供的封装基板为例，压制到固片上的软性电路在封装制造过程中相当于“引脚框”，并在铜插片和接合剂的窄缝中留出用于丝焊的焊盘，聚亚胺内的通孔是软性电路到 PWB(印刷线路板)的最终焊球连接点。

用增强型 BGA 封装基板进行组装比以前用软性基板更为简单，因为金属固片的材料与厚度和许多引脚框型封装(如鸥翅型封装的 5mil 厚引脚框)是一样的。因此当进行裸晶黏接及丝焊时，增强型 BGA、四方扁平封装(QFP)以及其它引脚框型器件在用标准设备进行处理时，方法完全相同。同样，对于后续组装制程如灌封、焊球放置和单一化分割来说，增强型 BGA 和塑料球栅数组(PBGA)的制造参数也是相类似的。

### 板级可靠性

随着业界从 QFP 封装向 BGA 封装转化，板级可靠性成为一个重要的考虑因素。虽然已经证明 PBGA 和下腔式 TBGA(卷带球栅数组)封装能够适用于多种 IC 环境，但对于最新的芯片级和准芯片尺寸封装还不能下这样的结论。这类小型封装的主要难点在于其基板一般比较薄，而且几乎所有的焊点都位于裸晶(CTE 为  $3\text{ppm}/^\circ\text{C}$ )的正下方，因此如果控制不当，热循环产生的应力会很大。另外比较复杂的是，这些封装的焊球间距(0.5mm~0.8mm)比传统 BGA 小，所以焊点也更小(焊球直径为 0.3mm~0.5mm)，而较大的应力集中在小焊点上更容易出现缺陷。为了能够应用于各种场合，这类小封装必须满足板级可靠性的最低标准。

过去几年里已经有了一些 CSP 封装板级可靠性数据，但是由于部份重要参数产生了变化，结果与实际有较大差异。例如板级可靠性很大程度上取决于测试板的 CTE、测试板厚度、温度循环速率、封装尺寸、芯片尺寸、焊球大小/间距以及材料的弹性系数等等，而要对这些个别领域的研究结果进行比较十分困难。最近 Theo Eijm 在他撰写的一篇文章中准确地指出，在这些 CSP 封装(或 BGA 封装)中最重要的是位于裸晶下面(焊球面)的有效封装 CTE 值。尽管板级可靠性测试对于确定某种应用中某个封装的实际可靠性仍然很有必要，但研究封装的 CTE 才是一种更为有效的方法，可以快速对各种封装类型进行比较。

计算封装 CTE 一个比较好的方法是磨光焊球，并在高温下将精细的交叉栅网格线放到封装下部进行观测，目前一般采用 2,400 线/mm 参考栅在室温下产生的波纹样式。封装 CTE 计算公式为：

$$CTE = \Delta N / (f \times \Delta L \times \Delta T) \times 10^6$$

其中

$\Delta N$ : 边缘数

$\Delta L$ : 测量长度

$\Delta T$ : 温度变化量

f: 栅格每毫米线数

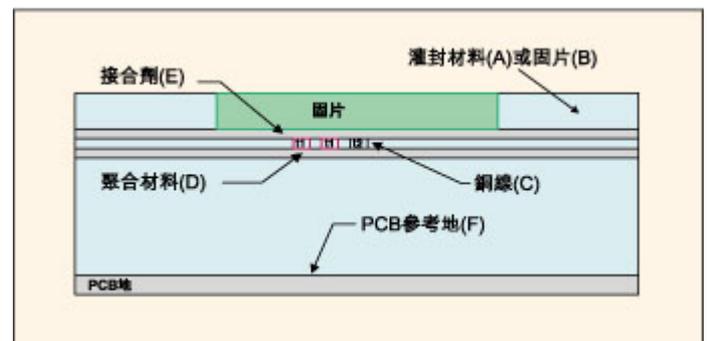
由于多数电路板的 CTE 在 15-18ppm/°C 范围内，所以可将封装设计在这一范围内对板级可靠性进行最佳化。有很多种方法影响封装的 CTE，例如 Tessaera 的  $\mu$ BGA 藉由在裸晶和焊球间放置一个通用性固片来控制 CTE 匹配，这种 6mil 固片作用明显，可使 10mm 芯片获得 15.7ppm/°C 有效 CTE 计算值，而用上面波纹边缘法实际算出这一封装(6mm×8mm)的 CTE 是 14ppm/°C。丝焊软性 BGA 封装只有一层很薄的裸晶接合剂来隔离裸晶和焊点，这时的 CTE 就比较低，裸晶下测得为 4.3ppm/°C。采用薄 BT(双马来 亚胺三 )压膜的小型 PBGA 的 CTE 约为 9ppm/°C，这个值可藉由改变 BT 压膜的厚度而改变。

上腔式增强型 BGA 封装的 CTE 藉由在裸晶和焊点之间放置一个金属固片进行控制，CTE 为 16.6ppm/°C，并且厚度为 125 $\mu$ m 的铜固片能够十分有效地将裸晶和焊点的 CTE 分开。为了防止在裸晶和铜片的结合部份产生应力，它采用了一种低模数裸晶接合剂，这样的裸晶大小为 8.7mm、I/O 数为 144 个的 12mm 完整封装，其 CTE 为 15.5ppm/°C。板级可靠性结果很快就将得出，不过预计这种封装会有很好的应用性能。

## 封装级可靠性测试

为了满足专门应用而开发的特殊尺寸封装通常需要先确定裸晶接合剂、灌封或密封组装材料以及基板材料，封装结构必须要藉由 JEDEC A112 的 3 级或 4 级防潮测试(MRT)和 JEDEC A113 压力容器测试(PCT)以及热冲击或热循环。随着开发进一步深入，还需要做更高级别的 JEDEC(1 级和 2 级)测试，而且经常还有一些其它测试(如高温储存及染色渗透性测试等)。

尽管以前一般都接受 3 级测试的最终结果，如许多用 BT 树脂制成的 PBGA 材料均藉由 3 级测试，但是最近也有要求要过 2 级才接受，主要是因为生产商/合约制造商面临的存货已不是那么紧张。



## 增强型 BGA 的封装级可靠性研究

尽管封装内的聚 亚胺吸潮率为 2-4%，但是已证明软性 BGA 和增强型 BGA 封装在 PCT 和 MRT 条件下均具有非常好的防潮裂性能，显然这是因为潮气能穿过封装而不破坏封装接合处的接合剂(产生“爆裂”)。增强型 BGA 的载体本身(藉由接合剂压制在软性电路上的固片)已藉由 JEDEC 1 级 MRT 和压力容器环境测试，用扫描工具未发现任何空隙，因此封装的防潮性能可以藉由选择组装材料和组装制程条件加以控制。

目前有一些测试尚未完成或正在进行中，另外还有空气对空气的热循环测试。

## 散热设计

可携式电子产品中的高整合度及高性能先进逻辑器件提高了对产品电源的要求。在这类应用中，重量和尺寸尤其是厚度十分关键，这些物理限制使得无法使用传统的强制对流散热器和风扇。而在软性 BGA 的基板中加入铜固片非常适合于这一新型散热设计，它可以把芯片上的热量沿着封装里的铜固片传出去，并藉由焊球栅格传到系统线路板上。由于软性电路在压制时线路朝向铜固片，所以封装内仅有的非散热接合部份就只有黏接软性电路和固片的接合剂。压制成型后，接合剂在焊盘位置上的厚度通常保持在 25 $\mu$ m，对散热信道的影响非常小。由于这种情况下散热基本上是由传导而不是对流，因此具有较低热传导系数的灌封混合物对整个封装的散热性能不会起什么作用。这样一来封装制造商可利用和目前大批量 PBGA 组装相同的上腔式芯片黏接、丝焊及灌封组装技术，而得到增强型散热封装。

许多高性能可携式电子产品对整体外形的严格限制，还对系统线路板设计中的布线密度提出了更高要求，并引发了这类应用系统线路板微穿孔结构技术。微穿孔技术可以提供更薄的电介层和更高通孔密度，从而显著提高这些线路板的导热性，并大大增强系统设计的散热机制。总之，这一技术可作为一种符合成本效益的器件和系统级热管理解决方案。

## 电气设计

整体来说,和标准基于 PWB 技术的上腔式 BGA 封装相比,软性 BGA 封装在某些电气设计性能方面要更好一些,最明显的好处是一个布线层上可获得更高布线密度。以 3M Microflex 设计规则为例,目前大批量生产中已允许做到 30 $\mu\text{m}$  线宽和线距,在小批量生产中可做到 25 $\mu\text{m}$  线宽和线距。这样可具有比较大的设计灵活性,例如能在设计中引入交叉参考地线将同时产生的切换干扰降到最低并减少串扰。更重要的是,这些设计规则允许在超声丝焊的焊盘区域作很密的布线,使基板焊盘离裸晶焊盘更近,从而缩短丝焊的长度。由于 BGA 封装的大部份电感来自丝焊互连,因此缩短丝焊长度可大大降低封装的总感应系数。

将铜固片加入软性 BGA 结构还可在封装中增加参考层,进一步提高封装的电气性能。上文提到的新型封装结构中信号线非常靠近这一参考层,因而可有效地降低信号线自感,使封装内同时出现的切换干扰降到最低;此外与参考层靠近还可降低互感,使封装内串扰减到最小。

为了说明这一作用,我们采用边界元素电磁波分析器 OptEM 开发出一种 2D 软性 BGA 封装交叉部份模型。

在模型的交叉部份放置了两条信号线和一条地线,用来表示 BGA 设计中的典型输出线,另外模型建立时考虑了三种不同的软性 BGA 结构:第一种结构没有导电固片,软性电路联机完全包入灌封中;第二种结构放置了导电固片(图 2),但固片被视为额外的导体而不是参考地线,在这两种结构里,对地返回电流藉由 PWB 的地线层和布线层上的相邻地线传送;在第三种结构里,固片接地并和前面所述的其它地线通路一起传送对地返回电流。

尽管 BGA 输出设计中有很多相同的地方,但还是有灵活设计的余地,软性设计由于具有超细间距布线能力更是如此,因此电气性能会受到设计布局及整个结构的影响。为了说明这种设计的依赖性,信号线和相应地线间的距离被作为模型变量提取出来,如图 3 所示。

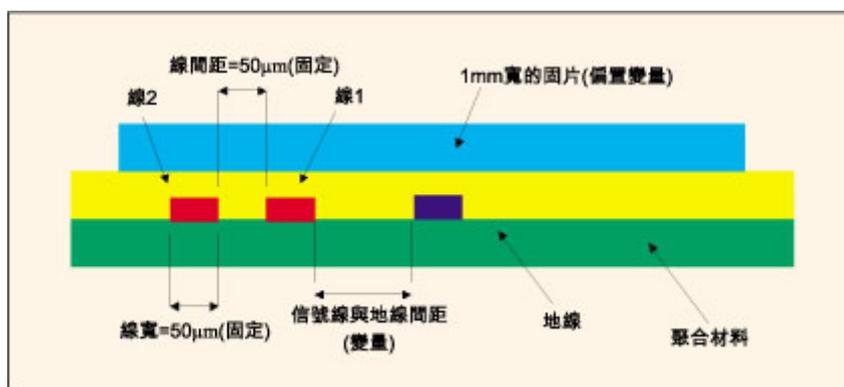


图 4 是从上述各种情况中提取的等价电路得到的电感值。图 4a 显示图 3 中线 1 在上述各种结构下自感相对于频率(10MHz 到 10GHz 范围内)的变化情况,同样,图 4b 是图 3 中两条线在各种结构下其互感在相同频率范围内的变化。

对图 4a 进一步研究还可以看出固片对封装电气性能的潜在影响。在靠近信号线的地方放置导电固片可大大降低信号线的自感,即使固片没有专门接地,但由于固片上会产生偏移电流,这一作用仍然存在。当固片完全接地时,因为返回电流都在固片上传送而使这种效果更加显着,而形成一个紧密的感应环路。此外,导电固片还使得每条信号线的感应系数和电路布局关系减小,这可以从每个设计中信号线自感系数随其与邻近地线距离不同而变化得出。没有导电固片的软性 BGA 以 PWB 上距离 0.5mm 处的地线层为参考,所以软性电路上的单独地线对感应环具有更加明显的作用,从图 10 “无固片”设计中 50 $\mu\text{m}$  和 150 $\mu\text{m}$  地线距离的不同结果可以看出这种效果。将固片主动接地可减小 50 $\mu\text{m}$  和 150 $\mu\text{m}$  地线距离的差异,即使导电固片没有主动接地,它也能够很大程度上发挥此一作用。图 4b 中的互感系数也有类似结果,这是由于存在同样的电磁效应。

最后,图 4 还给出了更宽频率范围电感值,有助于将所观察到的固片效果与频率增加时自感和互感的减小联系起来。请注意 2D 分析的特点使我们不能充分考虑共振效应,这些效应很可能取决于产品的外观尺寸以及各个电路的布局,因此需要专门设计。

## 本文结论

本文对一种具有上腔式固片软性电路引脚框结构的增强型 BGA 封装进行了模型建立和分析,与其它多种现有的无固片软性和基于 BT 压膜(如 PBGA)的 BGA 和 CSP 相比较,它在可靠性、散热性和电气性能方面都有所提高,这些特性使得这种上腔式增强型 BGA 封装适合于那些对微型封装尺寸要求比较高的场合中。

## 用于倒装芯片凸起制作的表面平整制程

在制造倒装芯片凸起的过程中，引入绝缘层将倒装 IC 表面的拓扑图进行表面平整处理后，合同制造商就可以采用统一的设计规则来加工表面拓扑各异的 IC。对(中国)封装设计公司来说，了解该技术的起因和解决方案，有助于掌握该领域的最新技术动态。

Paul A. Magill, Dan Mis 和 Robert Lanzone  
Unitive Electronics Inc.

30 多年前，IBM 公司首先将倒装芯片互连结构引入制造业。该公司不仅引入了三维(3D)互连结构的概念，还率先提出了将裸片组装成模块或组装到底板上的所有技术和设计规则。从那时起，一些较大的制造公司也开始建立倒装芯片生产线，他们或者直接从 IBM 获得许可(如摩托罗拉、AMD 等公司)，或者像 Delco 公司那样对大公司的组装制程加以改进。对大公司而言，可以完全控制着整个芯片加工到成品出厂的全过程，因此，完全有可能将制程规则与布线软件相结合，并采取灵巧的设计流程。但是，现在情况不同，合同制造业受到倒装芯片加工制程的限制，面临一些过去没有遇到的问题。

IC 制造商所采用的制造制程和设计规则千差万别，使得制造倒装芯片凸起的合同制造商很难选择何种自动布线软件进行倒装芯片的 I/O 布局和金属互连。为此，有必要引入一个绝缘层，将倒装 IC 表面的拓扑图进行平面化处理，这样，合同制造商就可以采用统一的设计规则来处理表面拓扑各异的 IC。

## 合同制造链

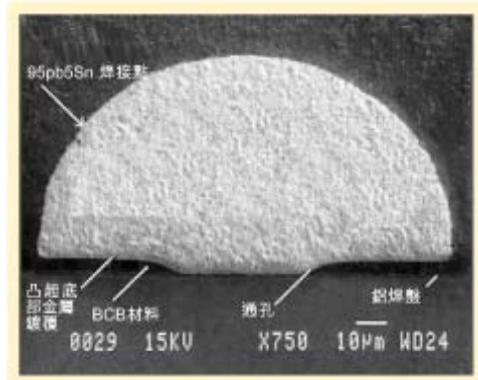
制造业早已改变了以往大型、纵向整合结构的模式，如今，对全球设计和代加工倒装芯片的制造商来说，制造过程基本可以分解为三个阶段(如图 1)。第一、设计和生产芯片，多数情况下，设计和生产可能分开进行；第二、设计和制作倒装芯片互连结构；第三、设计衬底或底板，并将芯片黏着到电路板上。合同制造商处于制造链的第二阶段。



对于能够控制整个制程的制造商，他们就可将其芯片设计无缝地整合到倒装芯片互连封装中。可是，合同制造商无法控制芯片设计和制造的整个制程，因而需要增加额外的布线层，以便将芯片的不平整布线结构转换为平面数组互连结构，这个额外的布线层通常称为金属或 I/O 二次布线层，或者就称为二次布线层。

一般来说，二次布线层是由铝或铜线构成的薄膜布线层，其中布线既可用做信号线，也可用做电源线和地线。在这些布线中出现的附加层可能需要黏合，或者要增加电流传输线的电子漂移阻抗。目前，这种薄膜布线层一般要在后端加工中制造，因此，根据特定的设计要求，其厚度通常在 1 到 3  $\mu\text{m}$  之间，而宽度通常在 12 到 100  $\mu\text{m}$  之间。

不论是否对倒装芯片的 I/O 进行二次布线，都要在 I/O 邦定焊盘上形成焊接互连结构。在焊接互连结构加工、组装和返工过程中，会出现金属化合层。最可靠的凸起底部金属镀覆(UBM)结构要采用尽可能薄的支撑架构。在加工和组装过程中，基于共相金属的一种高铅焊点能够制约易碎的金属化合层的生成。图 2 所示为一种薄膜 UBM 焊接互连结构。有关金属化合层厚度与热循环周期关系的研究有专著可供参考。

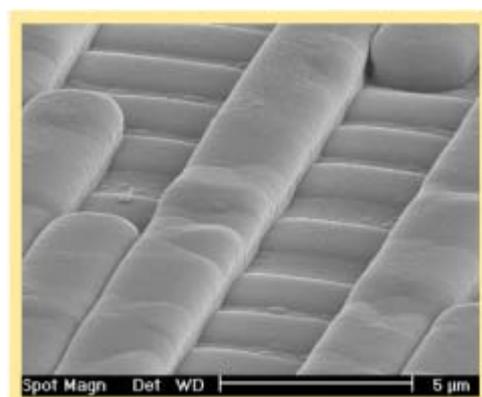


## 合同制造商所面临的问题

合同晶圆供货商所面临的问题来自两个方面，一方面无法控制制程流程，另一方面缺乏对芯片拓扑图的了解。许多的制造商要求晶圆厂提供倒装芯片凸起加工(bumping)服务，同时，他们为了控制成本或保护其制造链的安全，通常还会选择其它代工厂来制造功能完全相同的芯片。但是，各代工厂的制程流程不同，因而制造出来的倒装芯片物理结构存在差异，因而给合同制造业带来了诸多不便。

在典型的合同制造过程中，芯片厂将顶层金属层和钝化层提供给合同加工服务商(contract bumping house)，但为了保护 IP，通常不会提供更多的布线层信息。因为芯片顶层拓扑图存在不一致平整的表面，因而不方便自动布线工具根据电子模型或热模型来放置 I/O 和布线。图 3 所示为加工过程中可能遇到的典型拓扑图。与图 2 的横截面相比，可以看出 UBM 和金属层厚度相差不多。由 IC 金属布线和保形无机钝化层构成的不平整拓扑图产生了阶梯覆盖(step coverage)问题。

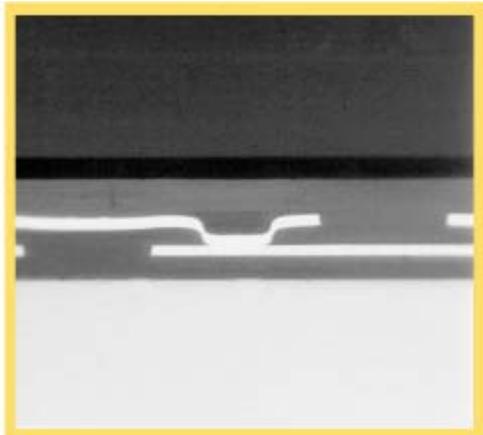
阶梯覆盖问题存在的原因在于，焊接互连结构的二次布线和 UBM。如果能掌握完整的拓扑图，便可以利用自动布线系统来解决问题。但是，如上所述，这很



难做到，因为合同加工服务商必须面对大量的代工和设计公司。要想采用自动布线技术，就必须采用一种不需掌握完整拓扑图的布线方法。

## 表面平整制程

采用表面平整(planarizing surface)制程,可提供平整一致的表面来实现焊接互连结构和二次金属布线。在实际应用中,要采用一种有机钝化层,如 Dow 化工公司提供的 BCB 材料。图 4 所示为表面平整的实例。



藉由这种特殊方法,可产生一个约  $5\mu\text{m}$  厚的平面层,从而将厚度相近的几何平面进行平面化处理。当厚度在 3 到  $7\mu\text{m}$  之间调整时,材料的化学特性不会变化。

该材料还具备多层覆盖的性能,对高频应用尤为重要。保持二次布线层及其下部金属层之间的一致和较大的间隔也很重要。藉由表面平整层,起因于金属层和焊接互连结构的拓扑图问题就迎刃而解了。

## 本文结论

目前,倒装芯片互连设计面临的主要困难有两方面:1. 满足裸片及衬底需要的所有电气参数要求的金属互连制程;2. 满足所有组装和加工制程流程的三维几何结构。

提供合同凸起加工服务的供货商正面对一系列似乎难以克服的问题,为了将自动布线工具与倒装芯片凸起加工及二次布线过程结合起来,必须掌握加工的控制过程,但要从提供晶圆的合同制造商获得更多的金属层信息几乎没有可能。晶圆凸起设计公司(wafer-bumping house)也许可以解决这个问题,正如人们曾利用封装解决 IC 制造制程缺陷一样。此外,事实上,除了掌握顶层精确设计尺寸之外,更多的信息可能就很难拿到。

为了解决上述问题,要在制造过程中采用统一的平面绝缘层,如 Dow 化工公司制造的 BCB 材料。覆盖有机钝化绝缘层可能会提高成本,但的确需要一个藉由平整的表面来加工互连结构,进而实现高度可靠的组装。

## 掌握印刷电路板加工成本的衡量基准

对(中国)电路板设计和制造工程师来说,掌握电路板制造业的加工成本衡量基准,有利于控制成本和电路板黏着的品质,加快产品上市时间。本文介绍电路板黏着过程中,成本的衡量基准,如总产量、批量和地区等因素。

Charles-Henri Mangin  
Ceeris 国际公司总裁

印刷电路板制造业对印刷电路黏着(PCA)的加工成本有诸多定义,通常加工成本(cost of conversion)定义为 PCA 的价格与每批订购单所购置材料的成本之差。加工成本包括所有费用,如:材料、黏着与测试、SG&A(销售、综合和管理)、所有的日常开支以及合同电子制造商的利润。

## 成本明细

将加工成本具体到每个组件并不一定能提供可靠成本数据。即使工厂是彻底按照经营活动计算成本,个别成本也可能很难核算,与其它款项也不是泾渭分明。黏着和测试成本不能估量设计对生产成本的影响,但可以采用基于物理单元的更简单、更可靠的尺度。单项计算加工成本的不全面之处还在于,无论是消费者还是销售商支付的都是加工总费用,而不是单项付款。即便在工厂或组织机构内部可能存在一些随意设置的部门,但是从组件到 PCB 成品的制造链是浑然一体的,而不是一连串的离散事件。

## 每个引脚的成本

在市场上,客户通常都按每个 PCA 来付费,所以加工成本通常也以此为基准进行衡量。为便于分析,加工成本通常用组件数来计算,它提供了每种组件放置的成本或每个组件所承担的 PCA 加工成本。但这种度量标准的问题在于,它不能将电容、QFP-208 和过孔连接器加以区分。如果为了便于比较,了解每个组件的成本很重要,要选择 PCA 设计相当、黏着制程类似且黏着与测试所需运行时间也很接近的实例。

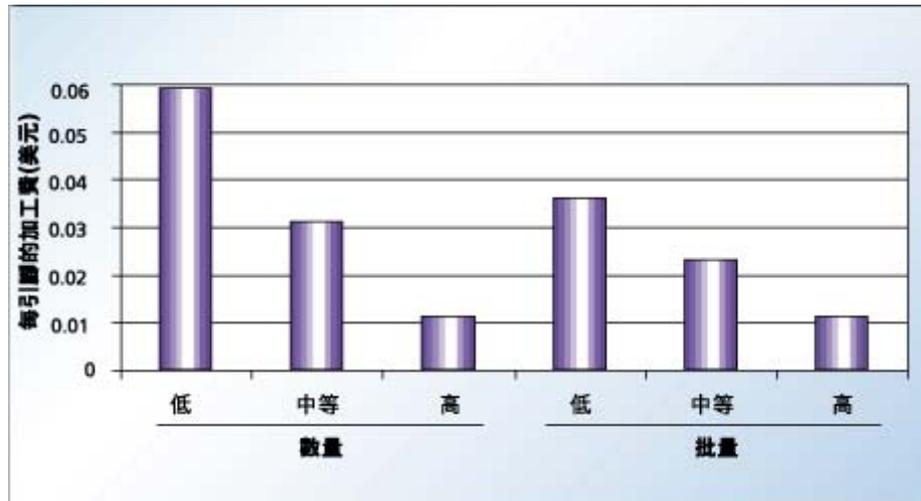
为了衡量成本基准、预算和工厂管理总费用,以每个引脚的成本,即每个引脚或每个焊点分摊的 PCA 加工成本,作为衡量尺度最可靠。八十年代中期以来随着表面黏着技术的普及,在计算每个引脚成本的过程中,允许将多引脚封装及相关的黏

着复杂度、测试和修复的影响加以考虑。每个引脚的成本也是每个 I/O 材料成本的组成部份，它是优化设计及组件选择制程的重要指针。

此外，还要计算每个故障可能性的加工成本(OFD)，这个衡量尺度将成本与加工品质联系起来，并反映了设计的复杂度，它有利于详细评估工厂的业绩。

### 成本的驱动力

全面计算加工成本要区分不同层次。因为加工成本会随电路板加工制程、数量、批号和生产地区的差异而有显著变化。每种因素引起的成本变化都是重要的参考依据。每种不同电路板加工制程的加工成本，是工厂业绩评估或加工成本预算的重要基准。



成本变化主要受数量和批号(图 1、表 1 和表 2)的影响，后者的影响尤其严重。尽可能地增加数量有助于提高效率，比如：每年黏着的组件数少于一百万，则每个组件及每个引脚的平均成本分别是 0.300 美元和 0.059 美元；每批少于 5 万个组件，则加工成本则变为每个组件 0.479 美元和每个引脚 0.036 美元；每批组件在 5 万至 25 万之间，则成本又降至每个组件 0.098 美元及每个引脚 0.023 美元。

乍一看，可能会得出这样的结论：小量 PCA 必须按照中等批量方式加工，如果工序很少改变，这种方案还可行。事实上，加工成本包括材料采购、黏着及测试工作，其中材料采购是加工总成本的主要部份，换句话说，小批量黏着并不是转换加工制程的主要推动力，改进黏着流程才是关键所在。

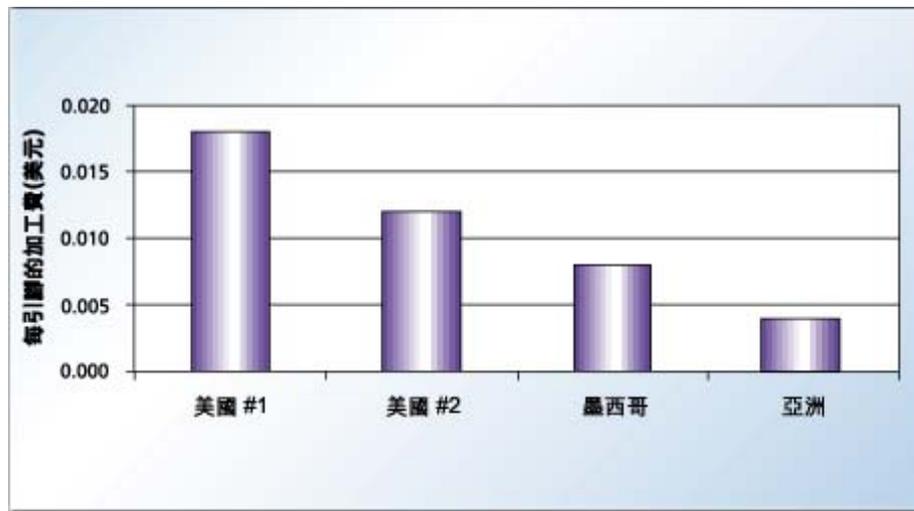
数量大小	定义	每个元件(美元)	每个引脚(美元)
小	每年每个PCA合约 <1M元件	0.300	0.059
中	每年每个PCA合约 1M到10M个元件	0.184	0.031
大	每年每个PCA合约 >1M元件	0.073	0.011

批量大小	定义	每个元件(美元)	每个引脚(美元)
小	每批<50,000元件	0.479	0.036
中	每批50,000到 250,000个元件	0.098	0.023
大	每批>250,000元件	0.073	0.011

每年黏着组件数量超过 1 千万的大量 PCA，通常要分成批次来黏着，每批要超过 25 万个组件。这时，平均成本为每个组件 0.073 美元，每个引脚 0.011 美元。

### 战略地理位置

在不同地区，每个组件及引脚的加工成本的确存在很大的差异，它反映出黏着环境、成本结构、效率、服务水平、历史沿革、利润目标和定价能力的区别。



我们已经对不同地区的生产成本进行了比较。目的是根据地理位置的不同确定成本的差异。由表 3 和图 2 可见，材料总价值为 282 美元、复杂程度中等 (平均每个组件有 5.5 个引脚) 的电路板的加工成本，表中四个工厂并不一定都能生产较为复杂的电路板。低成本运营的工厂并非都拥有美国的管理能力、技术经验和水平。

对于同种 PCA，比较两个相互竞争且具有相当生产能力的美国公司可见，其生产成本为每个引脚 0.012 美元和 0.018 美元。在墨西哥，生产成本通常只有美国的三分之二。而在亚洲成本只有墨西哥的 50%。表三中定价是美国的到岸价格(CIF)，因而货运不会造成成本计算的偏差。

因为存在地区性差异，是否所有的印刷电路都应该在美国黏着呢？除必须考虑罢工、火灾、地震、社会动荡及通货膨胀等风险，交付周期短、产量高仍然是美国的优势所在。只要供应链管理的矛盾持续发展下去，这种状况也就会一直延续下去。美国调节额外成本的优势在于，它具有先进的管理和技术，如加工过程的供应线、工厂的流水线黏着以及先进的封装设计技术。

## 本文结束语

同一地区加工成本存在差异的原因多种多样，例如工厂及其客户之间已经签定的合同、为争取新客户而降价以及增加新功能等，都有可能促进价格下调。但是，我们还要看到，同种 PCA 产品在全球不同地区，其加工成本仍存在很大差异，而这种现象并非美国所特有。有些地区降低成本甚至只是为了购买黏着设备，但仍能获利，还有一些公司甚至能在很低的利润空间内运作。

随着 Internet 中的商对商交易模式的加速发展，出价最低的竞标商可获取 PCA 的订单，同时附有材料清单(BOM)。争取到合同的厂商将自动从组件零售商及分销商处购货，而那些销售商又会因此调整其对原材料供货商的需求。PCB 黏着工业尚未开始简化，业已存在的问题就已经变得更为复杂。

## 倒装芯片的底部填充制程

随着新型基底材料的出现，倒装芯片技术面临着新的挑战，工程师们必须解决裸片和基底间热膨胀系数的不同引起的问题，以避免在热循环中接头边缘的破裂。

在各种先进的芯片黏接封装技术中，倒装芯片技术较适用于传呼机等小型电子产品。随着裸片尺寸的增加，以及在倒装芯片贴装中采用非陶瓷新型材料作为基底，沿用了 20 年的传统技术面临着新的挑战。其中最主要的问题是裸片与基底间热膨胀系数(TCE)的不同。

在先进的倒装芯片产品中，多数底部填充材料都具有最佳流动性、最小热膨胀系数。目前的固化时间约 30 分钟。通常的底部填充材料黏度较低，以便于流入裸片的下方。因此贮存温度最好恒定在 30°C。当机器内部温度高于 30°C 时，应将阀体、容器及注射器进行冷却。底部填充材料的流动与成型不仅受其自身温度的影响，同时还受着基底材料与裸片的温度影响。

将底部填充材料发配于基底上时，基底表面和裸片的温度必须为 70°C--90°C，这样会从裸片下方和基底表面产生向上的气流。这种表面的排气可减少在裸片底部产生填充气泡，避免涂料在长期使用中失效，同时可确保填充材料在裸片下方的适量填充。温度的不同或不均会导致非线性填充，从而使空气内陷形成气泡。因此必须采用死循环系统对基底温度进行控制，对于非接触式系统，温控精度应至少为±5°C；而对于在基底下采用加热真空夹盘的接触式系统则应高于±2°C。在进入发配区前，基底应再加热以达到所要求的温度，因此还必须增加一个预热阶段。在发配阶段，另外一个加热装置用于保持基板与裸片的温度。在第三阶段（这是一个根据具体情况而选择的阶段），可用于在进入固化炉前协助填充材料正确流动或略微的凝固。

接触式与非接触式加热系统的选择十分简单，只需藉由选择灵活的加工方式或专用的加工方式即可。对于薄膜基底，只能选择接触式加热装置，该装置采用真空加热夹盘，在预热、保持和回流三个阶段在对薄膜基底进行加热。而在采用 AUER 托板或其它专用传输工具以及引线框的场合，接触式加热系统是最好的方法。接触式加热温度分布比较均匀。例如，倒装芯片可能有多种尺寸，从  $3\text{mm}^2$  至  $12\text{mm}^2$  甚至  $20\text{mm}^2$ 。如果采用专用工具，用一系列工具即可对所有的组件进行处理。接触加热的唯一缺点是生产灵活性差，但由于其升温速度快、温度均匀，因此用 10 分钟来变换生产工具也就微不足道了。

在用标准的 FR4 PCB 作为基底时，例如用于承包式封装的倒装芯片底部填充，在这种封装中板子尺寸会变化很大。此时，使用非接触式加热较好。尽管此时温度上升速度与温度均匀性不可兼顾，然而，基底尺寸可随要求变化而不会导致生产的停止，这一点对转包商来说又是明显的优点。随着倒装芯片技术在主流电子工业中应用越来越广泛，制造商应该能提供灵活的非接触式加热系统。

旋转阀技术旋转正向位移阀可进行精确度高、重复性好的底部填充。例如，Speedline CAMALOT 公司的 680 系列阀可进行低黏度底部填充材料的发配，同时其正向材料关闭阀可封闭针头，防止拖滴。该阀带有由软件驱动的死循环电机控制器，即使填充材料的比重不稳定也可监视并自动控制发配量。这一体积测量系统(VMS)可选配在 Speedline CAMALOT 倒装芯片底部填充或封装发配系统上。另外一项技术能使阀准确定位于裸片上方(定位水平轴 x-y)，并测量出高度(z 轴)以确保阀体定位准确。

预备步骤是为了使针头尽量接近裸片边缘，防止对裸片周边造成污染。同时还需让针头正好略低于裸片的下表面，以确保发配足够的黏合剂。只要针头足够接近裸片的边缘且高度合适，沿裸片边缘所发配的黏合剂便会快速均匀地流入底面(图 1)。

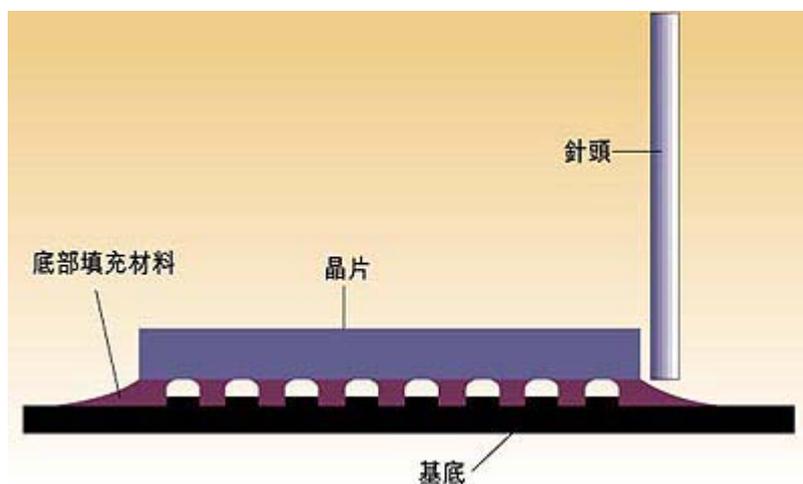


图 1：底部填充前针头的定位

制程控制制程性能，或者是 CpK，已在多数用户制程要求中成为一个重要特性，制造商也努力控制废料以提高产能和利润。尽管底部填充是一种可控制程流程，但是用传统的泵涂技术还达不到其精度。不过，随着新方式的出现，Speedline CAMALOT 的正向位移活塞泵发配系统已能够满足甚至超过这种重复性要求，使得器件制造商对倒装芯片底部填充制程能够进行严格的控制。CAMALOT 的这一新技术是采用一个加热的多活塞泵产生出优于  $\pm 1\%$  的重复精度而不需要再填充。自动重量校正系统可以设置预定重量，并进行精度高、重复性好的底部填充。

表面张力和加热温度是底部填充产生毛细现象的二个主要因素。底部填充制程的工作原理是在表面张力的协助下，用低于  $30^\circ\text{C}$  的常规底部填充材料置换裸片下方的热介质。在热力及表面张力的驱动下，下填充材料在被称为“毛细现象”的作用下“爬入”裸片下的空间。

对于较大的裸片，可能需要多条填充路径，不同情况下，采用不同的发配模式。针头沿边缘移动的方式与顺序均会影响气泡的产生。对小于  $3\text{mm}^2$  的裸片，一条填充路径即可。而对大于  $3\text{mm}^2$ 、小于  $6\text{mm}^2$  的芯片，可进行双面发配并采用“L”形路径。“L”形路径可用图 2 中两种不同的方法得到。

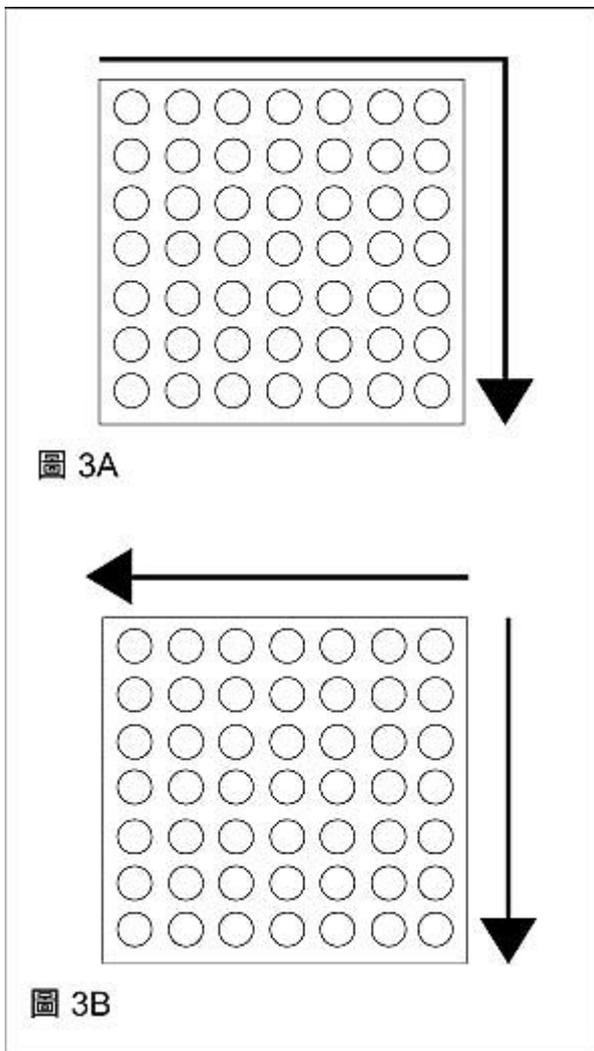


图2：双面填充 a)常规“L”形 b)共点“L”形。

另一个屡经争议问题是：是否需要沿裸片的另外三侧进行发配？目前为止，人们还认为另外三侧的发配只起纯粹的装饰作用，是对材料与时间的浪费。但是，最近的研究表明，如果不进行这三侧的发配，原发配面会形成大量的堆积，固化时裸片会受到不均匀应力的作用，在一定情况下会将裸片掀起甚至破坏连接，如图3。

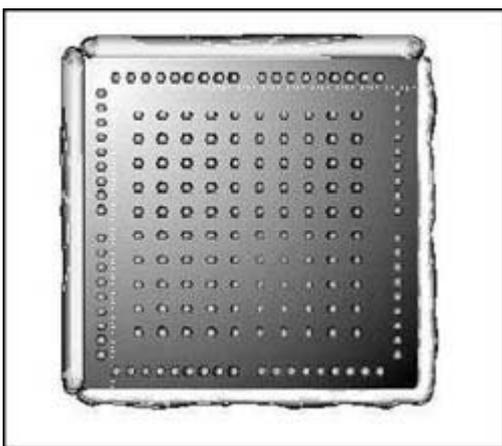


图3：完全填充发配。

倒装芯片中实现成功的底部填充的关键因素包括基底和材料温度的精确控制、发配阀和发配平台的可重复性、体积控制、发配模式。随着器件尺寸的小型化和产量的增加，这些因素的精确控制将变得更为重要，并且更符合客户要求。

### 新型的倒装芯片 ACF 贴装技术

本文着重讨论了在倒装芯片组装中采用新型“有序”ACF的优点。特别地，导电粒子的分布取决于倒装芯片凸点，并且与理论推论相吻合。

- [ACF 的特性](#)
- [评估技术](#)
- [ACF 厚度](#)

用各向异性导电胶(ACF)作为互连材料贴装硅芯片并不是一种新方法，早已被普遍用于倒装芯片与玻璃的连接上。但是，传统的 ACF 有一个重要的缺点，即内部导电粒子的分布是无序的。那就意味着大量的导电粒子存在于两个连接面间，且呈不均匀状态分布，而这一不均匀性最坏情况下会导致开路或短路。而最大的可能是导致接触电阻的不同。接触电阻的不同在 FCOG 场合下是允许的，因为整个电路的电阻很大。但是在其它情况下(如刚性或柔性有机基板)接触电阻差别过大是不可接受的。因此，理想的倒装芯片互连材料其导电粒子的分布应是均匀的，以保证在每个焊盘上的数量相同。随着面阵凸点芯片的日益普及，对于导电粒子均匀程度的要求也将更为严格。目前新材料正在实际生产中试用，以确认其优越性。

### ACF 的特性

ACF 材料是采用特殊技术制成，以使任一单分散性导电粒子均匀分布。在研究的初期采用的是单分散性的镀金的聚合物球（直径  $7\mu\text{m}$ ）。黏着剂采用环氧树脂及微量的电子级品质化学药品。ACF 材料的典型性能见表 1。

• 固化前性質	
微粒類型	鍍金聚合物
微粒大小( $\mu\text{m}$ )	7
微粒密度( $\text{mm}^2$ )	1800
微粒平均間距( $\mu\text{m}$ )	$16.1 \pm 1.3$
薄膜類型	環氧樹脂
薄膜厚度( $\mu\text{m}$ )	25
• 固化條件	
黏合壓力(MPa)	1 - 50
黏合溫度( $^{\circ}\text{C}$ )	180
黏合時間(秒)	> 20
• 固化後性質	
Tg ( $^{\circ}\text{C}$ )	130
C.T.E. (低於Tg時)	50

表 1: ACF 材料的特性。

本文主要就一种载体含量为  $1800\text{粒}/\text{mm}^2$  的 ACF 材料进行讨论。该载体适用于本次研究的凸点间距。同样也能生产出更高颗粒密度的材料，导电粒子独立分布，但此时的平均间距缩小了。高密度材料适用于细间距电路。

### 评估技术

图像分析可用来分析实际倒装芯片组件上每一凸点处颗粒的平均数量。例如，组件有 98 个球形凸点( $100\mu\text{m} \times 100\mu\text{m}$ ,  $20\mu\text{m}$  高)，间距  $200\mu\text{m}$ 。组件置于 ITO 玻璃基板上，以使凸点区域显露出来，从而能够进行图像分析。

图像分析系统包括一个高品质的反射显微镜，显微镜与一个高分辨率的 CCD 摄像机及一台装有图像分析软件的计算机相连。倒装芯片的连接用一台 Finetech Fineplacer 183 倒装芯片邦定机(如图 1)黏着。

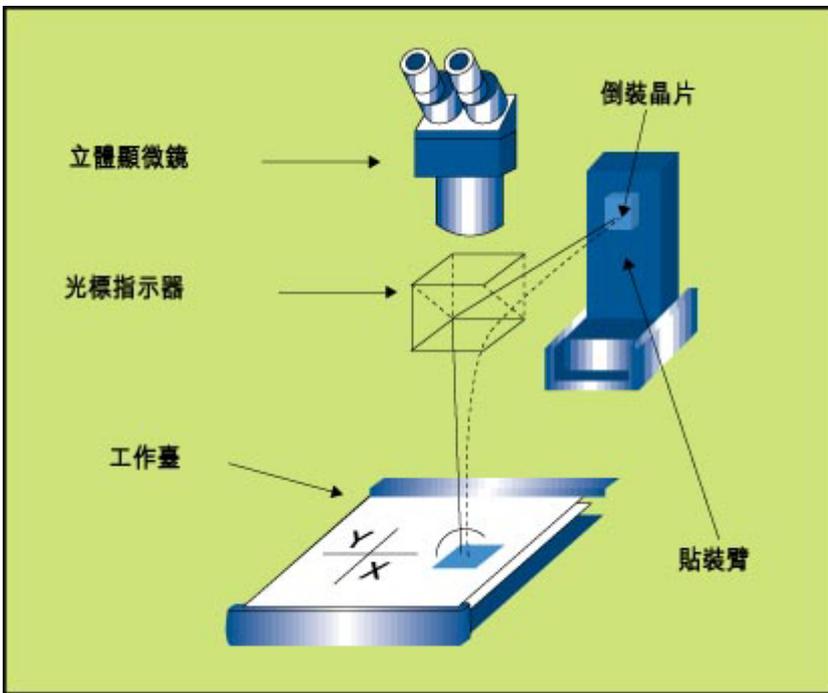


图1：具有  $5\mu\text{m}$  以上贴装精度的 Finetech Fineplacer 183 邦定机。

这是一台手动系统，贴装精度可达  $5\mu\text{m}$  以上，包括一黏着于支点上的贴装臂和装于气垫上的工作台，贴装臂上装有带加热与真空装置的定心爪。用真空吸取倒装芯片，经定心爪定心后，藉由立体显微镜和一个固定光标指示器，与台上的基板对准。基板能够作 X、Y 与  $\theta$  方向的移动以准确定位。随后贴装臂转动  $90^\circ$  使芯片装贴于基板上。然后再在其上施加不同的温度和压力以形成可靠的连接。通常以  $180^\circ\text{C}$  的温度加热至少 20 秒的时间，压力应根据凸点面积的不同可在 1 至 50MPa 间改变。

在本试验方案中，第二种倒装芯片用于对有序 ACF 的电气性能进行评估。该芯片有 576 个凸点以面阵式排列(见图 2)。凸点尺寸依然是  $100\mu\text{m}$ ，间距  $200\mu\text{m}$ 。

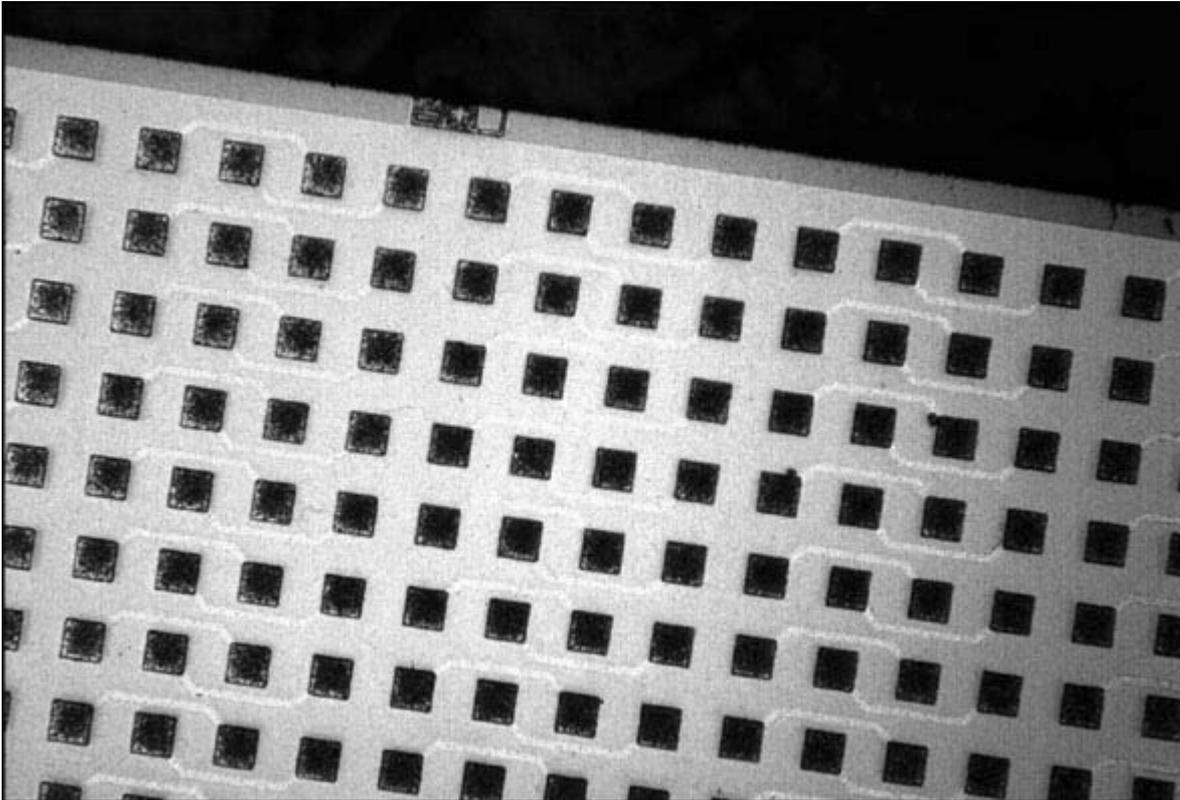


图2：用于对“有序”ACF 进行评估的面阵式倒装芯片。

相应的 FR4 基板如图 3。

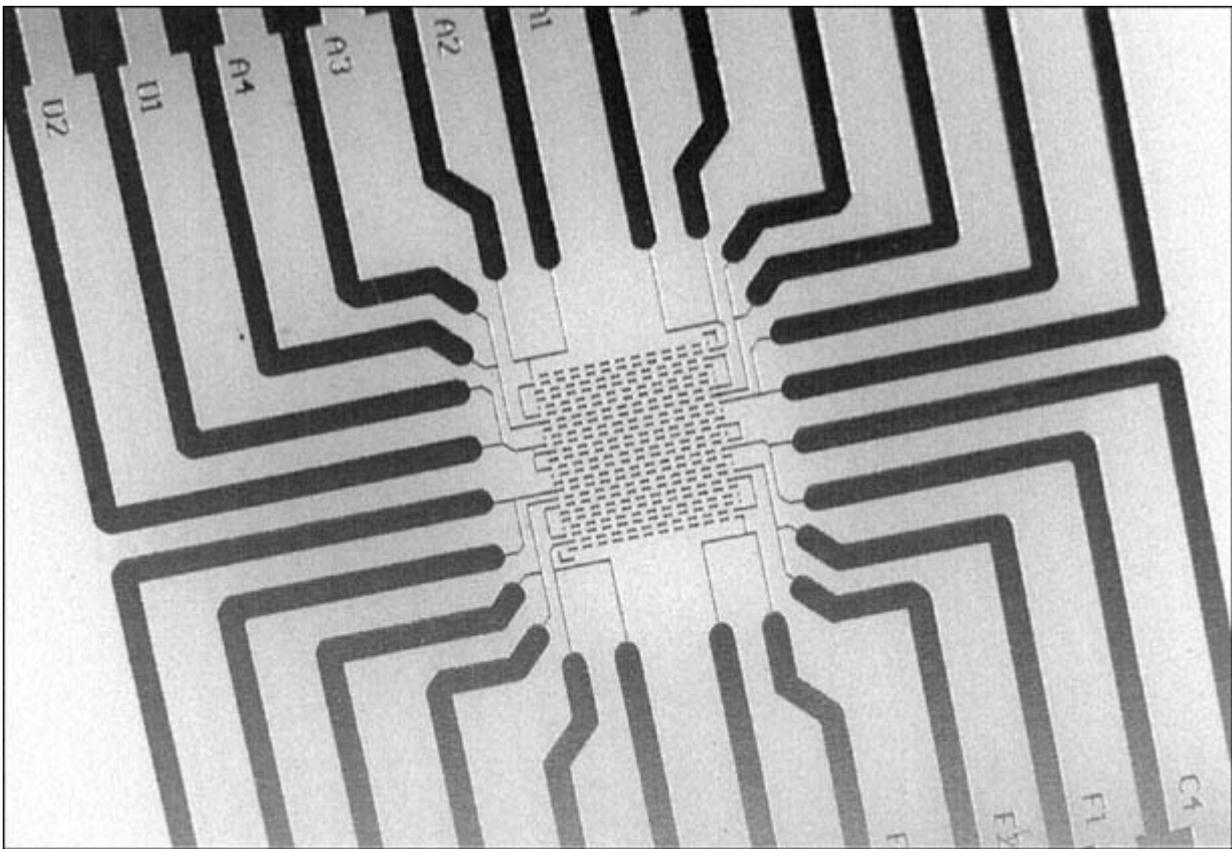


图 3: 面阵式 FR4 基板上各种链式结构。

芯片与基板的设计使其在组装时形成 6 个不同的链式结构。这种设计便于对相邻链进行探测，从而可探知它们之间的绝缘电阻。尽管将来可能会用到 ITO 玻璃基板，在初始试验时仍采用 FR4 基板。这样一来图像分析与电气可靠性均在相同的倒装芯片组装中进行。

装到玻璃基板上时，导电粒子有时会进入倒装芯片凸点的下面。此时，凸点上的压力是 30MPa。连接时凸点下导电粒子的分布不受影响仍呈均匀状态。每一凸点下导电粒子的平均数量可采用图像分析的方法得出，结果是每一凸点下平均有 16 个导电粒子。由于对  $100\mu\text{m}\times 100\mu\text{m}$  的凸点而言采用的 ACF 中导电粒子的初始密度为  $1800\text{粒}/\text{mm}^2$ ，试验结果证明每一凸点下 16 个导电粒子非常令人满意。

#### ACF 厚度

试验中所发现凸点下导电粒子数最低值是 13，这就意味着所有的凸点均有着良好的导电性能，接点非常可靠。这说明了  $1800\text{粒}/\text{mm}^2$  密度适合于  $100\mu\text{m}$  直径而间距  $200\mu\text{m}$  的凸点。同样说明随着凸点尺寸与间距的减小，需要更高的密度来保证每一凸点达到相同的水平的导电粒子数。在保证分布均匀的前提下，ACF 的制造制程能够达到更高的导电粒子载体密度(即减小导电粒子间的平均距离)。

邦定时的压力对于凸点下导电粒子数量几乎没有影响，只是决定着 ACF 的最佳厚度。本次研究证明 ACF 的最佳厚度值是  $25\mu\text{m}$ 。这不足为奇，因为凸点的高度为  $20\mu\text{m}$ ，而导电粒子的直径为  $7\mu\text{m}$ 。当凸点开始接触并压住导电粒子时，胶黏剂便与芯片的底面相接触，见图 4。

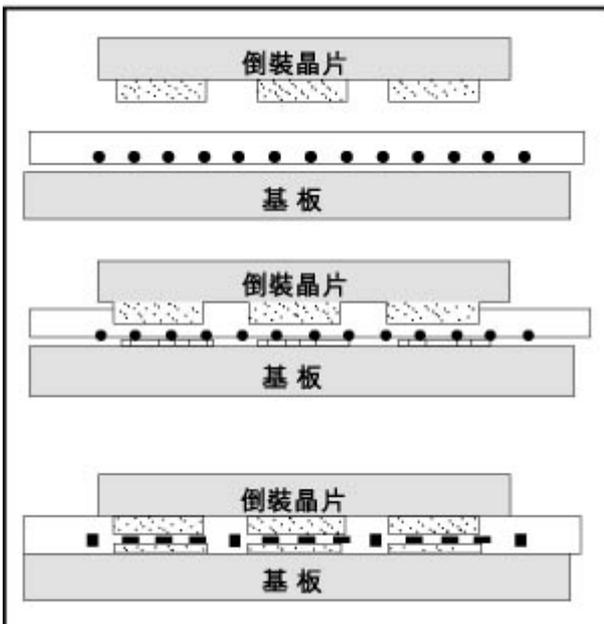


图 4: 最佳的 ACF 厚度降低了邦定压力的影响。

当凸点被压入膜中至相应值时，少量的胶便会被置换出来。凸点所占总面积为  $0.0196\text{mm}^2$ ，仅为芯片下胶面积的 3%(芯片尺寸为  $5\text{mm}\times 5\text{mm}$ ，ACF 厚度为  $25\mu\text{m}$ )。由于被置换出的量极少，因此装配时不会对相邻凸点造成破坏。

如果采用较厚的膜，便会出现更多的损坏，原因是在凸点尚未与导电粒子相接触时，大量的胶便已被置换出来，芯片下胶的“流动”会导致粒子顺序的破坏。可以预见对于面阵芯片结构，在 ACF 厚度与胶体的流动/导电粒子运动间有一些关系，一旦在玻璃基板上的试验结束，这些关系便会被揭示出来。

基板的共面性同样对装贴后导电粒子的分布有影响。ITO 玻璃基板是非常理想的选择因为其表面非常平整。在周边凸点芯片和面阵凸点芯片上的电性能试验已完成，组件在各种老化条件下长期可靠性试验后的接触电阻值与芯片的初始接触电阻值基本相同。

一种新颖的 ACF 能使所有导电粒子均匀分布。在倒装芯片装联时采用这种材料，可将凸点下导电粒子数量的实际值达到理论值的水平。但是，ACF 的厚度必须优化为凸点高度，以保证导电粒子的顺序不会被破坏。

## 黏合晶圆的缺陷显微声像分析

在晶圆与晶圆的黏接技术中，工程师必须要面对的一个问题是缺陷的表现形式。这些缺陷可能会存在于晶圆之间，包括孔洞和微孔，以及异物物质。各种大小不同的孔洞可能是非粒子表面污染造成的，而较大的孔洞则可能是由于黏接制程中温度变化而产生的。在 SOI 中，孔洞会在上面的晶圆切薄后造成对衬底的电性短路。作检查时存在的问题是非常小的孔洞很难用光学方法显现出来。

可以采用红外成像作为解决办法，但是由于反差效果不好成像的分辨率有限，只能看到大的缺陷。有两个原因可以把这类问题作为显微声像理想的应用对象。首先，硅晶圆片对于非常高频的超声波而言几乎是透明的；第二，缺陷会形成“气沟”，可将所有接收到的超声波都反射回去，而和它们自身的厚度无关。这种缺陷是隔音的，而它们所处的硅层则是完全透声的。

## 黏接及缺陷的类型

目前，有四种晶圆与晶圆黏接类型：直接晶圆黏接(又称为融合黏接)、共晶黏接、玻璃烧结黏接以及阳极黏接。在直接晶圆黏接中，散装晶圆上的亲水性或疏水性表面都压在一起并在高温下退火，在一块晶圆中心存在的压力会生成一个单黏接波向外扩散，多个波复合就会产生翘曲并形成孔洞。共晶黏接和玻璃烧结黏接在作低温处理前分别采用了金属或玻璃的原始镀膜。阳极黏接通常要用到一个硅晶圆和一个具有较高碱金属成分的玻璃晶圆，处理过程中会在两个晶圆之间产生静电吸引力，然后在  $500^\circ\text{C}$  温度下黏接到一起。

在没有金属或玻璃烧结这样的中间层时会有一些困难，异物颗粒会产生孔洞，其直径大小与颗粒高度成正比。比如，在直接晶圆黏接中，一个  $1\mu\text{m}$  的颗粒会形成直径  $1\text{cm}$  的孔洞。然而在玻璃烧结黏接中，由于玻璃会流动而将颗粒包围起来，因此类似的颗粒可能一点孔洞都不会产生。但是如果异物颗粒的尺寸足够大，它也可能在晶圆内产生裂纹。

## 黏接晶圆的显微声像

在显微声像中，超声波换能器逐步扫描穿过晶圆区域。扫描时，换能器每秒要作几千次脉冲和接收模式的转换。在脉冲模式下，它向晶圆发出频率在  $50\text{MHz}$  到  $230\text{MHz}$  的超声波，接收模式则接收从样品内部反射的回声。

在这样的频率下，整块硅片对超声波变得非常透明，其结果是第一个晶圆块不会反射任何回声。但是当超声波碰上两种不相同物质黏接良好的接口时，有一部份超声波会反射回换能器，而剩下的会进入到更深层被下一个接口反射。反射的强度和极性(正或负)由两种材料的声阻值决定。在黏接得很好的晶圆中，两种材料之间的接口可能不存在。黏接晶圆中的任何缺陷实际上是存在于对声音透明的介质里。

由于非常高频的超声波不会穿透孔洞或气沟，故而裂纹和脱离层的声阻始终为零，这样就非常可能形成反射。沟道的厚度并不重要，大量的声像图和实验室扫描电子显微图的对比都显示了厚度小于  $0.1\mu\text{m}$  的沟道可以反射所有超声波。

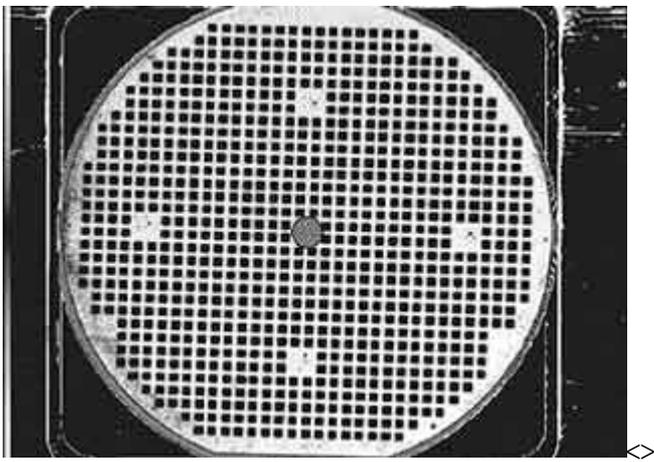


图 1：这是一幅 50MHz 声像图，显示两个用玻璃烧结方法黏接的晶圆之间有很多微孔(图中左部)。(照片由 Motorola 提供)

图 1 显示的是用玻璃烧结方式黏接晶圆对的 50MHz C-SAM 声像图，在这个例子中黏接的目的是为一个压力传感器的移动部份提供保护。沿着晶圆的左边是一块微孔密集的区域，可能是黏接过程中的低温造成的。在这种场合中微孔的危险之一是它可能会切断并改变感应薄膜其中一边的受控参考压力。

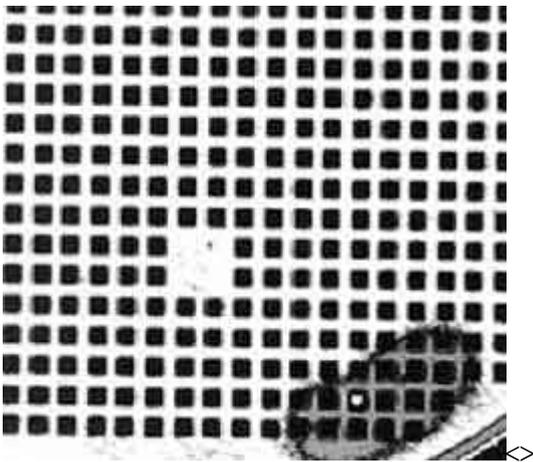


图 2：在这幅 50MHz 声像图中，椭圆形黑暗区域是黏接晶圆中间一个大的孔洞，孔洞中的亮点是造成孔洞的颗粒。(照片由 Motorola 提供)

图 2 是在类似玻璃烧结晶圆对的 50MHz 声像中显示出的异类颗粒情况。该颗粒(可以看见一个小的亮点)造成了一个孔洞，比颗粒本身大了许多倍，而且会影响到很多器件的黏接。

即使是在同一晶圆对中，孔洞的大小也会有很大不同。最近推出的高分辨率显微声像技术，采用了高分辨率 230MHz 换能器，可以作出高达 8,000x8,000 像素的声像图(以前的标准是 512x512)。虽然相对较大一点的孔洞在低频率及低分辨率时也能显示出来，但高分辨率所带来的一些其它信息在进行判断时是非常有用的。

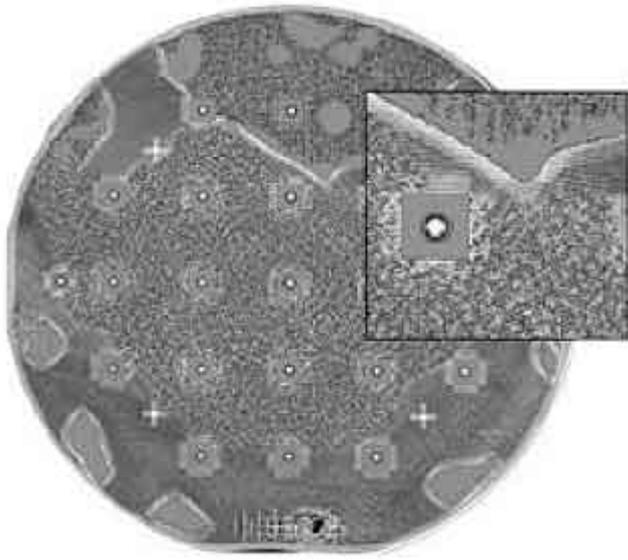


图 3: 融合黏接的高分辨率 230MHz 声像图既显示出大的孔洞(整块红色), 又有包含许多小孔洞的区域。对图像的局部进行放大可以显示出小孔洞的细节。(照片由 Sonoscan 提供)

图 3 显示的是具有大范围缺陷的融合黏接晶圆对, 亮红色的地方就是孔洞。但是细小斑点的区域就不太容易判断了。将图像的一部份进行放大(插入图)表明另外不清楚的斑点区域实际上包含了大量细小的微孔。

还可以自动对黏接晶圆作出声像图。已开发出的自动化高产量生产系统首先是用在 IC 封装的 JEDEC 托盘。藉由扫描每个托盘, 就象它是一个巨型组件, 可以部份达到高速, 然而每个组件成像的分辨率还保持在实验室仪器的水平上。一个类似的托盘可以托住两片 15.24cm 黏接晶圆对, 并自动作黏接成像。

### 外发加工--不再只是一种趋势

环球资源《电子工程专辑》最近在 BTU International 对 IPC SMEMA 协会指导委员会总裁兼市场总监 Steven Hall 先生进行了专访。“效率游戏”使电子装配和封装市场中 OEM 厂家专注于技术的开发, EMS 则要提高设备通用性和制造工程师的作业技能力争获取更大利润, 与更多 I/O 数的先进封装技术一起构成了推动电子装配和封装市场发展的源动力。

#### 问: 目前制造业的主要发展趋势是什么?

答: 在降低总体成本、提高生产效率和产品品质的推动下, OEM 厂商已经转变经营模式(我认为这种转变是永久性的), 他们不再以产品制造作为企业的基本职能, 即使有些产品打上了自己牌子。企业经营核心内容已经转变为技术开发, 实际上这已不再是一种发展趋势, 现在企业就是这样运作的。

我们只需要回顾一下在过去的一年中电子市场发生的变化就可看到这种效果。1998 年, 世界上最大的 PC 制造商 Compaq 将其大部份生产都转移到全球合约制造商手中, 而 IBM 和 HP 两家一贯自我标榜为制造专家的公司, 也开始将生产设备出售给一些领先的电子制造服务(EMS)公司, 并同这些公司签订了长期供应协议。

#### 问: 你能不能做更具体的解释?

答: 除了这些个别案例以外, 工业市场调查人员也得出了类似结论。IPC 五月发表的数字(《EMSI/合约组装厂商 1998 年市场报告》)表明, 1998 年单在北美地区对电子制造服务的需求就增加到 225 亿美元, 比前一年增加 45 亿美元, 而且预计 1999 年还会有 20% 的成长。EMS 市场的成长很容易超过整个电子工业的成长。

#### 问: 亚洲地区情况怎样呢?

答: 根据市场调查公司 Technology Forecasters 的报告, 1998 年亚洲地区对 EMS 的总需求为 255 亿美元。在这个数字中, 日本占了大部份, 达 162 亿美元, 亚洲其它地区占 93 亿美元。

和世界其它地方一样, 今年市场预计还会上升, Technology Forecasters 预计亚洲对 EMS 的需求会升至 295 亿美元, 其中日本 183 亿美元, 仍然超过亚洲其它地区总和(112 亿美元)。

**问：亚洲货币贬值对工业的影响有何评价？**

答：亚洲货币危机已藉由去了两年，去年美国的出口下降了 0.7%，这是近年来的首次下跌。同时，根据美国商业部的报告，贸易逆差上升了 53%，达到 1680 亿美元，而对环太平洋区的逆差非常严重，去年为 31.9%。专家们认为这是货币贬值在发生作用，因为它提高了美国产品的相对价格，同时亚洲许多国家转向采用日本的出口模式，即藉由向美国倾销产品以维持国内经济成长。

**问：近期您预计情况会怎么样？**

答：现在所谓亚洲区生产总量过剩，在台湾却是例外。尤其是 IC 方面，对 IC 的需求两年来首次出现成长，据报道三家主要晶圆厂的开工率都在 90% 以上。这是一个好兆头：OEM 厂家将下更多的订单，意味着整个供应链都将有更多的业务。但是过去两年累计的问题还是束缚了许多公司的预算，EMS 公司是否愿意采购新生产设备？要看整个电子工业是否能保持几个季度的成长。目前，最成功的 EMS 公司都是大公司，最大的五家 EMS 公司的成长率都超过 50%。在今后十年中，EMS 供货商不仅要占电子装配市场的大部份，而且还要在后封装领域与半导体封装厂竞争，成长率还会达到新的高度，这一点我们会在后面谈到。

**问：等等，那么这种变化会对电子装配市场供货商产生什么样的影响？**

答：确实，EMS 公司的利润非常低，他们用股东的投入维持经营，利用投资取得回报。他们要计算电力、氮气消耗、维护及制程缺陷产生的费用等各种相关成本。实际上甚至还会计算机器的工作时间，考虑每台设备是否都适用于整条生产线。这种活动性成本分析都是“效率游戏”的一部份，胜者就是那些抓住并掌握了用最低的成本生产出可靠产品诀窍的人。

**问：可以举例说明吗？**

答：以我目前在一家主要的热处理设备制造厂所处的位置来看，这样的例子每天都看得到。一些公司不再购买波峰焊机器，而改为购买可以一次性对表面黏着及穿孔组件进行回焊的回流焊设备。实际上现在这种情况非常平常，制程已经有了发展，采用回流焊比用波峰焊的缺陷率要低。而且，推动力还来自高产量适应性强的机器，因为可以最大程度收回投资。这就意味着越来越高的一次合格率、更高的可靠性，以及维护量的减少。EMS 公司需要能够处理移动电话电路板、马达控制板以及 PC 主机板的设备，而所有这些设备的性能都是一样的。

**问：您是如何看到这种趋势呢？**

答：EMS 公司买入 OEM 厂商的装配线后，这些生产线与他们现有的生产线存在不相同的情况，所以生产线的整合会成为他们的主要障碍。然而，可以适应特殊制程要求(比如高温和不同空气环境)以及能用于不同场合与环境的设备，会比那些适应性差的机器更受欢迎。

随着市场需求量的波动，EMS 公司还希望能藉由将设备从一个工厂搬至另一个工厂来保持高度灵活性。这样就要求不同类型的设备能够进行连接。这种趋势也给 IPC 表面黏着设备制造商联合(SMEMA)协会这样的组织增加了压力，要求他们制定出标准来解决这些问题。

**问：现在电子市场和封装市场真是两个分开的市场吗？**

答：与 OEM 电子制造商为什么要“外包加工(outsourcing)”一样，关注自身核心能力并寻求新方法降低成本的趋势也是零配件制造业发展的一个重要驱动力。零配件技术的变化是与经营方法的变化同步的。在过去的几年里，电子装配厂商已经承担了组件的采购，将以前只有发货的行为变为一种潜在的利润来源，而且只有电子装配厂商才有能力组装各种应用所需的大量焊接部件(如象倒装芯片)等。

因此，只有当装配厂商涉足一些半导体封装领域，承担某些 IC 供货商的角色，这样才有意义。从长远的观点看，封装市场和电子市场会互相交错。消费者对器件更多的应用要求，会取消掉外围引脚封装。他们的产品会要求有更多的 I/O 数目和更高的密度，使得倒装芯片或芯片级封装(CSP)成为必然。在所有情况下，成本都是最原始的驱动力。

**问：现在的 IC 封装技术发展情况怎么样？**

答：采用小外形封装(SOP)和四方扁平封装(QFP)已经达到了顶峰。虽然我们已被更小、更薄、更轻最终产品的种种说法所包围，但相反的是事实上应用 0.015 英寸或更小的超细间距组件并不广泛，而且可能永远也不会。不过我们的确也看到一些先进的零配件技术开始使用并得到广泛采用。先进封装如象 BGA、CSP 及直接芯片焊接已经使用一段时间了，尽管如此，向这些先进封装进行的转变还不快，但情况可能正在发生变化。

**问：为什么？有什么迹象吗？**

答：IBM 最近制造出 I/O 数为 4,000 个的多芯片模块，并希望在今后几年里达到 6,000 到 7,000 个 I/O，这样的进展足以推动业界转向倒装芯片的应用。三家调查机构(Prismark Partners、Frost and Sullivan 及 BPA)分别进行研究后得出结论，倒装芯片和 CSP 在未来五年内年成长率将在 30%以上，在这个成长率下，它们会轻易超过 BGA 和表面黏着封装。请注意"SMT 封装"，根据 BPA 的报告，它的年成长率只有 9%。理由在于(Prismark 估计)每秒钟都有超过 10,000 个电阻和 10,000 个电容贴装到板上，但是 CSP 比其它组件的单位面积成本都要小，因此毫无疑问，随着板子尺寸的缩小，更多的分立组件都会取消以节省空间。

**问：这种趋势对采购策略有什么影响？**

答：两个市场的交叉的确会使电子装配中设备采购策略发生变化。多年来股东的投入一直是 IC 制造商要清楚的“成本所有权(cost of ownership)”概念，现在，随着公司从 IC 行业向传统装配行业的转移，或者随着业务扩展到半导体领域，股东投入对一个公司总体行为的影响也在电子装配市场中加强了。最后，企业越了解市场的运作及其关联的情况，就会越加成熟。

**问：也许更重要的是在亚洲和中国，这些宏观市场的变化会如何影响到工厂中的个人呢？**

答：很明显有直接的影响。高效通常就是高产出率，对工程师来说，这就意味着设备需要运行得更快，品质水平需要更高以避免产品的维修。压力就落在制造工程师身上，他需要开发出更好更快的制程，并且在批量生产中减少达到高品质水平的的时间。这里也有一个“钟摆”效应，因为设备制造商的压力也会增加，要提供更完善的过程开发和控制工具。

这样专家系统过程开发工具就有可能应运而生，这些工具应能够在人工智能知识的基础上提供设备的设置参数。另外，工程师们需要在生产产品的同时减少生产线的维护。这又回到了原来的话题上，设备制造商必须要提供具有较高维护周期的设备。所有这些因素都与提高投资收益和资金利用率有关。

**问：所以这有一个最低要求？**

答：这样说，今天，生产设备和员工都需要面对不同类型的产品的生产，简单地说，高效需要更强的适应性。最低要求就是：对设备来说，电子装配的决策者们希望用尽可能简单的方法去制造产品。

这就意味着同样一条生产计算机主机板的生产线，会被用于生产电话机或视讯转换盒，而制程工程师及作业员都得知道如何去做。困难在于不管我们可以自动贴装多少组件，象丝网印刷及回流焊接等制程步骤还是要制造工程师和作业员去作业，需要由他们来确定并设置合适的参数值，以保证生产线能适用管理层希望的各种板。另外，这也很好地表明制程流程会成为一个整体，降低复杂程度就有可能增加投资回报。

**问：还有其它重要的因素吗？**

答：除了对多种制程都要有认识以外，一个迫切要考虑的问题是材料的变换，向“无引脚”方向转移现在看来是一种“不是如果而是何时”的问题，这会使所有的工作更加有趣。毕竟采用常规藉由考验的锡铅焊膏来组装板子是很困难的。不久的将来，生产线上的作业工要学习一整套新的化学材料及其假塑性趋势(pseudoplastic tendencies)。而且，加热温度曲线和空气环境也会完全不同。

从组件这一方面来讲，高效率一般意味着低成本，很多数字都说明了这点。BPA 估计在 1997 年到 2002 年间，双列直插封装的数目将从 160 亿片降到 115 亿片(图 B)，同时在这段时间先进技术封装(CSP、COB、倒装芯片等)加起来将达到 111 亿片，在之后的五年还会增加三倍。厂商在寻求降低每个 I/O 的成本，制程工程师现在也许还没遇到过象倒装芯片或者 IBM 以前提到的 MCM，但他们今后肯定会。

成本是一种源驱动力，因而零配件的材料转向塑料而放弃了陶瓷。生产厂家也在开发共晶合金作为高温合金焊接材料的替代品，有一些改变还受到政治因素的推动，例如，在美国及其它一些国家就有些立法运动可能会导致立法禁止铅的使用。

**问：结论怎么样？**

答：这些结论对全世界的生产人员都适用，不仅是亚洲和中国。不管直接影响生产第一线人员的问题是宏观上的还是微观上的，效率是这个“游戏”的名字。更快、更便宜、更好是效率的基本要素。OEM 厂家专注于自身的核心能力，EMS 工厂则在与低的边际利润作斗争，另外还有朝向更高 I/O 数的先进封装，这些就是推动今日电子装配和封装市场的所有动力。

Steven Hall 是 BTU International 的市场总监，以及 IPC SMEMA 协会执行委员会主席。

## **利用超声波压焊方法进行连接**

超声波压焊(Wire Bonding，又称为“帮定”)是一种初级内部互连方法，是连到实际的裸片表面或器件逻辑电路的最初一级的内部互连方式，这种连接方式把逻辑信号或芯片的电讯号与外界连起来。其它的初级互连方式包括倒装芯片和卷带自动焊

接(TAB),但是超声波压焊在这些连接方法中占有绝对优势,所有互连方式中有90%以上都是用这种方法。在这个数字中又有约90%采用金线超声波压焊,其余的则使用铝及其它贵金属或近似贵金属的材料。

## 超声波压焊的种类

超声波压焊用于芯片到基板、基板到基板或者基板到封装的连接,它有两种形式:球焊和楔焊。

金丝球焊是最常用的方法,在这种制程中,一个熔化的金球黏在一段线上,压下后作为第一个焊点,然后从第一个焊点抽出弯曲的线再以新月形状将线(第二个楔形焊点)连上,然后又形成另一个新球用于下一个的第一个球焊点。金丝球焊被归为热声制程,也就是说焊点是在热(一般为150°C)、超声波、压力以及时间的综合作用下形成的。

第二种压焊方法是楔形制程,这种制程主要使用铝线,但也可用金线,通常都在室温下进行。楔焊将两个楔形焊点压下形成连接,在这种制程中没有球形成。铝线焊接制程被归为超声波线焊,形成焊点只用到超声波能、压力以及时间等参数。

不同制程类型的采用取决于具体的应用场合。比如金线压焊用于大批量生产的场合,因为这种制程速度较快。铝线压焊则用于封装或PCB不能加热的场合。另外,楔形压焊制程比金线压焊具有更精细的间距。目前,金线压焊的间距极限为60 $\mu\text{m}$ ;采用细铝线楔形压焊可以达到小于60 $\mu\text{m}$ 的间距。

## 应用场合

超声波压焊应用的场合多种多样,最终产品从个人计算机、录象机、微波炉到汽车、飞机等。自动化超声波压焊行业已有20到25年的历史,已经发展得相当成熟。设备的速度和精度以及处理不同类型材料的能力都有了提高。与之相反,人工压焊设备可用于一些特定场合,比如在组件不能用于自动压焊机上的时候。人工压焊用得最多的地方是磁盘驱动器的组装。

在厚膜混合电路、MCM以及类似封装的压焊中,有一些特殊要求是单片器件所没有的。这类产品的一个主要问题是对大面积和深入取放要求的特殊处理。当产品内有步进高度时,比如压焊到裸片、基板和封装引脚时,直线运动的Z轴压焊机头要能够藉由简单的设置,在0到250mil或更大的范围内找寻到焊接表面。

对于厚膜混合电路和MCM,其它的特殊要求还有包含在封装内的各种芯片及每种表面的特定属性。这就要求压焊机对每个焊点都具有对压力、时间及超声波参数进行编程的能力。另外,还需要能够使第一个和第二个焊点形成特定的成结形状。在微波应用中,成结的形状对电路调节是很重要的。

## 压焊机的评估

购买超声波压焊机时,需要考虑几个方面。首先,要看压焊机能否生产所需要的产品?要确定这点,可以将任务交由供货商去完成,超声波压焊机的供货商不仅要知道如何完成目标任务,而且还要懂得冶金学知识和电子产品的生产制造。还需要决定的是设备的可靠性级别,以及在机器黏着和投产后可以得到的服务支持如何。

一般来讲,超声波压焊出现的问题分为三类。首先是材料,它是否适合高产量压焊制程流程,比如金线压焊就需要光滑、洁净的焊接表面。一般金线焊在裸片的铝焊盘上,而厚薄不等的金膜则喷镀在基板上。表面的干净程度会影响焊接的可靠性。

金线压焊是微电子装配中最敏感的制程之一,它可以归为"决定性试验",用来确定材料和制程是否处于控制状态。如果没有控制好,那么压焊机就极有可能出现问题。

材料问题包括焊接表面上的有机和无机污染,以及裸片结构上细微的裂纹等。通常可用清洗制程去除有机污染,比如氩等离子气清洗。其它的材料问题通常需在前一道或几道工序中解决,比如在裸片和基板制造中。

第二个可能出现的问题是压焊制程的作业方式,包括如下问题:

- 材料是否正确地送入机器?
- 书写及编入的压焊程序是否正确?

通常很难使得材料和制程都保持较高等度的控制和可重复性,但是,这些却是造成压焊产出损失的主要原因。

第三个要检查的是设备本身,尤其是机器的校正和运行情况。在平常解决压焊问题的过程中,这应该是要检查的最后一关。如果设备维护完好,材料和过程控制良好,压焊作业的缺陷率就完全可以小于100ppm。

随着倒装芯片技术的不断提高,对超声波压焊的要求也越来越高,特别是I/O间距和焊盘形状。虽然超声波压焊机的供货商们不断降低作为处理能力的最低间距,但是每个倒装芯片上还是具有较高的I/O密度。不过直到下世纪初,超声波压焊

仍将是初级互连的最主要方法。这是因为已经有了大量的配套设施，包括设备、配套材料及制程技术人员，即使对一个小公司也能提供足够的支持服务。而且，即便存在上面谈及的问题，超声波压焊仍然是初级互连中最为灵活的方法。

## 制作晶圆凸起的先进封装方法

要使用倒装芯片，生产厂家就需要将其开发和制造电子产品的制程都进行改造，从零配件直到 PCB，这样就限制了它在许多任务厂的普及，虽然这种技术已出现 30 多年了。近年来，随着材料和制程的革新使得倒装芯片更易于采用，并且它在尺寸、性能和成本方面的优势更显得突出。对倒装芯片器件的初步估计和需求分布图(表 1)表明，这种技术在不久的将来就会有较大的成长。

全球倒装晶片器件预测										
年份	1996	1997	1998	1999	2000	2001	2002	2003	2004	2005
器件总颗	548	638	837	1,375	2,188	3,308	4,428	5,548	6,668	7,788
分配百分比										
北美	26	28	29	29	30	30	30	30	30	30
欧洲	10	10	10	10	10	11	11	11	12	12
日本	36	31	48	45	43	41	40	39	38	37
亚洲	7	10	13	14	16	17	18	19	19	19
其他地区	1	1	1	1	1	1	1	1	1	1

表 1: 材料和制程技术的革新使得倒装芯片的使用更为容易，在将来会有较大的成长。

## 倒装芯片器件的发展驱动力

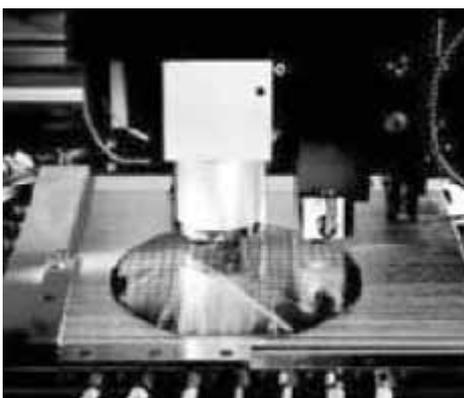
倒装芯片器件市场由三个主要因素带动：尺寸、速度和成本，这种技术可以提供可携式装置中的小外形高密度封装器件，同时避免了封装裸片的费用。它可以在极具经济效益的面积内做出高 I/O 数的硅片(如在处理器和 ASIC 中)，并且对 RF 器件具有较低的自感系数。

速度、性能和微型化推动着 IC、封装和基材等走向更高的电路密度、更多的 I/O 数、更密的间距而且尺寸还要缩小。这种趋势导致新封装类型的出现，并增加了对芯片尺寸封装(CSP)、倒装芯片和其它先进技术的关注。器件的尺寸要小，同时还要求具有更加可靠的制造制程、更大的产量和更高的成品率，这就要求有先进的内部互连技术，包括焊料的印刷或喷射技术，为 BGA、CSP 及晶圆/裸片突起的制作形成良好的球形焊球。

生产厂商正在评估新方法，将焊料及其它材料放到 PCB、封装和晶圆上。对于业界正在寻求新方法将焊料放到较小的焊盘上而言，外形较小的高密度 IC 器件和封装将会是一个极大挑战。伴随性能要求的增加 IC 密度越来越大，这就意味着电路和内部连接通路更短。采用焊球连接可为芯片或封装与基板的连接提供一种合乎经济效益并且性能可靠的接口。

## 金属喷射技术

这种技术可以分别将焊料、合金及其它低熔点金属快速准确地发配在晶圆、陶瓷、PCB 以及其它可以焊接的基板上(图 1)。从作业原理来看，它同喷墨打印机有些类似，当液滴到达目标后，它就会固化(实际上是凝固)为可以很好控制的球形焊料附着物。多个小液滴可以准确地重合在一起形成一个大的球，或者几个小液滴可以排成一列，然后这些焊料在回焊时扩散开来，覆盖整个可焊表面。由于熔化的材料直接涂在基板上，就不需要再有中间层物质，比如模板或丝网。在某些场合下，金属喷射技术比常规方法表现得要好，常规方法在作间距小于 0.152mm 的发配时会受到限制。



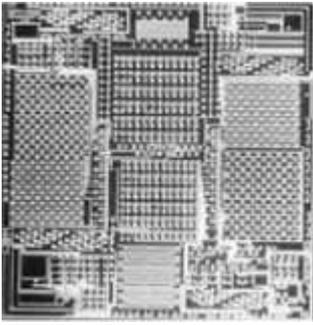


图 1: a)连续方式焊料喷涂适用于芯片尺寸封装(CSP), 表面处理适用于直接芯片黏接点的准备, 晶圆突起适用于倒装芯片和光电子器件封装。b)以 0.15mm 间距喷涂 0.08mm 突起。

金属喷射用于许多现有的和将来的亚  $0.25\ \mu\text{m}$  半导体器件等要求比较严的生产中, 可以提供较高的密度、更小的特征尺寸、更好的制造成本控制, 藉由 CAD 文件数据还能快速容易地作产品转换。芯片制造商可放心地继续缩小芯片的尺寸, 因为他们知道这些芯片可用焊料突起进行可靠的连接。

藉由取消工序, "需求喷射"(Drop-On-Demand jetting)成为微电子产品封装中具有经济效益的一种方法。

### Drop-On-Demand 金属喷射

Drop-On-Demand 金属喷射技术可以精确置放熔化的焊料液滴, 速度从一次一滴到每秒几百滴。在 Drop-On-Demand 金属喷射系统中, 将一个低频高能脉冲施加到一个环形压电换能器(PZT)上, 该换能器包在一个喷嘴上面的毛细管上, 可以吸取焊液, 释放后形成在重力下加速的液滴(图 1)。由于喷嘴距基板表面只有 1mm, 因此行程时间很短暂, 其通路不会受到外力的影响。一束小于 5SCFH 的高纯度氮气流可在喷嘴周围维持很低的氧气含量, 帮助焊料液滴成型并减少液滴在运动过程中的氧化。

为了将焊料液滴放在指定的位置, 有一个 x-y 工作台可使基板在喷嘴下面移动, 液滴释放的速度与固定的基板运动速度一致, 这种技术称为“现场式印刷”(print-on-the-fly), 以固定的速度传送小而精确的焊液。其生产结构平台的精度小于  $\pm 0.01\text{mm}$ , 在许多先进微电子应用的容许误差范围之内。

最近在 Drop-On-Demand 喷射技术方面的研究包括以 125 滴/秒的速度, 在硅片晶圆上置放 0.060mm、0.075mm 和 0.100mm 液滴。在这个速度下, 一个有 312 个裸片、每个裸片有 68 个 I/O 的 150mm 晶圆, 喷射时间不超过 5 分钟。焊料与焊盘之间的黏度值都在可接受的范围内, 但这只有当焊料附着在可焊的区域上并完成焊接以后才可以。虽然有很多种突起下部的喷镀金属(UBM), 但最好的表面涂层是无电解 Ni/Au 或 Cu 或 Pd。

这种技术首先用于板上倒装芯片、封装型倒装芯片及其它类似场合中硅片晶圆的突起制作。

### 无需工具的方法

作为一种 CAD 数据驱动系统意味着不需要再用中间工具, 比如光罩或模板, 因为这些都会导致出现采购及储存成本, 并且取回和更换还要花费时间。而 CAD 数据驱动金属喷射技术根据晶圆、基板的不同, 可以使基板样式和设计的更换在瞬间完成, 所有控制参数都包含在一个带有视觉功能的在线软件系统中。这样由于只有一个控制软件的数据文件需要修改, 使得金属喷射能够非常有效地用在小批次生产和大批量生产中。

对于往电子基板发配焊料或其它材料来讲, 这种无需工具的方法增加了制程的灵活性和速度, 它可以促使新封装设计的开发, 并且可用于多种应用中, 包括直接芯片黏接点的准备, 晶圆突起制作、3-D 基板、细线内部互连、基板过孔填充以及光电子领域。

### 用模板印刷晶圆

用模板印刷技术在晶圆上作焊接突起要用到传统的丝网印刷技术, 需要有膏状焊料、针对特定印刷样式的专门模板、刮刀以及模板印刷机。用丝网印刷技术作晶圆突起的不同之处在于, 希望印刷出比以前更细的间距。大多数 SMT PCB 组装制程需要作 0.4mm 细间距印刷, 在有些场合组件引脚距离低至 0.3mm, 但这些都很少, 而且通常会导致缺陷和成品率方面的问题。

在硅片裸片上要求的距离或间距通常都在 0.3mm 及以下, 这对于丝网印刷制程来讲是一个非常严重但也并不是无法克服的难题, 需要有一种在 0.3mm 到 0.15mm 之间都可用的制程, 所需模板厚度仅 0.05mm, 而且这些模板的厚度必须均匀并且开口形状都应一致。

采用模板印刷方法会引起下面几个问题:

\* 该制程能否在间距低至 0.15mm 的裸片上做出均匀一致的突起？ \* 现有的模板制造技术能否做出符合这种超细间距印刷要求的模板？ \* 为了优化这种制程，应考虑哪些制程因素及作业参数？ \* 模板与晶圆表面接触是否会有什么影响？如果有，有多大？ \* 用于晶圆印刷的模板应遵守哪些设计原则(厚度、开口尺寸及材料)？

藉由很多试验已经确定出用于倒装芯片突起的模板印刷限制条件，可以提供数据确定最佳作业参数和模板设计要求。试验中用到的变量包括不同的刮刀压力、焊膏类型、印刷类型、室温、刮刀材料以及模板厚度。

初步的数据表明，用丝网印刷制程印刷 0.254mm 到 0.304mm 间距的突起是可行的，但并不妨碍用模板印刷制程作间距低于 0.254mm 的印刷。

然而，Drop-On-Demand 金属喷射技术也正争取在微电子领域中占上一席之地，虽然还只是用于 PCB 一级的装配，但却逐渐在使线路板制造和芯片组装的界限越来越模糊。

## 倒装芯片封装中灌封剂的选择

由于 IC 封装频率越来越高，引脚数也越来越多，为了满足大批量生产的需要，组装厂家正在考虑采用倒装芯片。此时不管是采用非模压(non-molded)设计还是用超模压(overmolded)设计，所用到的灌封材料对封装的可靠性而言都绝非小事。

## 热膨胀系数优化

在灌封材料的各种特性中，首先它的热膨胀系数(CTE)应该与连接裸片和基板的焊接凸点相匹配。通常用于倒装芯片的焊料是 Pb5Sn95(CTE 为 29ppm)和共晶焊料(CTE 为 24.3ppm)，因此配制灌封剂时需要将其 CTE 仔细调整到上述范围内。灌封剂的 CTE 可藉由改变材料内硅填充料的数量和聚合物的化学性质来进行调整，对上述两种焊料来讲，注入填料的最佳比例范围在 60%到 65%之间，同时还随其它过滤特性诸如填料粒度及其分布等而有所不同，此外注入的填料还会影响灌封材料的流动性。因此，考虑到这些所希望达到的特性，在优选灌封材料时需进行仔细计算。

对 CTE 进行优化不仅要在室温下进行，而且还应包括所有封装可靠性测试温度。这是因为当超过玻璃化临界温度( $T_g$ )时，聚合物材料的 CTE 会上升。其它测试还有潮湿测试，包括 85°C 及 85%相对湿度的温度循环；以及从 55°C 到 150°C 的热冲击测试。最好的方案是制出的灌封剂  $T_g$  在 150°C 或更高，这样就可以在整个可靠性测试中与焊料保持 CTE 匹配。

## 黏度与填料沉积

灌封剂的黏度应该使其在室温下的适用期(pot life)，比一个 IC 装配生产班次的时间要长，而且还应该有足够长的保存期。根据发配系统对随时间变化的黏度的应变处理能力，典型的适用期范围为 8 小时到 24 小时之间。因为适用期是一个与设备有关的参数，所以必须由制程工程师进行确定。采用氰酸酯两层填料的灌封剂时间-黏度变化图(图 1)表明，不考虑填料注入变化时，藉由 30 小时后，黏度增加了 30%。黏度采用锥型和平板型 Haake 黏度计测定。

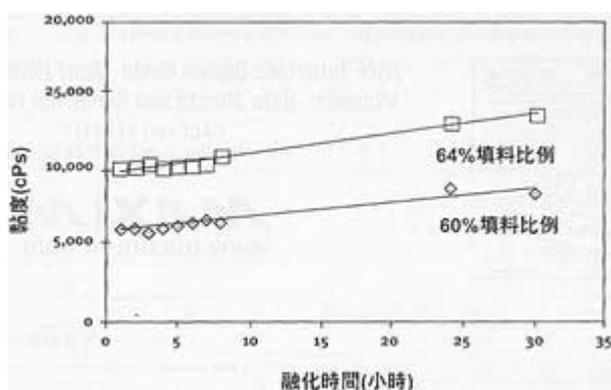


图 1. 不考虑填料注入变化时，藉由 30 小时后，氰酸酯基灌封剂的黏度增加了 30%。

另外，由温度变化而造成的黏度变化必须非常低，这样可以保证在灌封剂流动时的温度下，流动不会受到影响，填料也不会沉积。

当温度超过灌封剂的推荐流动温度，或由于灌封剂本身的黏度太低，不能保持填料浮起，填料就会发生沉积现象。藉由观察封装的横截面可以看到灌封剂填料的沉积现象。由于二氧化硅填料是透明的，有时难以用光学显微镜观察到填料沉积现象。但是，采用荧光显微术可以观察到这种沉积现象，因为灌封剂中填料和灌封材料的荧光强度是不同的。此外，还可以利用扫描电子显微镜对填料沉积现象进行观察。

另外还有一点不容易发现，那就是在温度上升时需要保持较低的黏度直到底部灌封过程结束，该过程的时间约为 10 到 60 秒，由灌封剂、温度及裸片尺寸来决定。

## 流动特性

灌封剂的流动是由毛细作用造成的，灌封过程所用时间可用下式表达： $t_r = 3 \mu L_r^2 / h \gamma \cos \theta$  其中  $t_r$  是灌封剂流到裸片底部距离为  $L_r$  时所需时间； $\gamma$  是液气相界面的表面张力，而  $\mu$  为黏度， $h$  是凸点的高度， $\theta$  是灌封剂和接触表面之间的接触角。

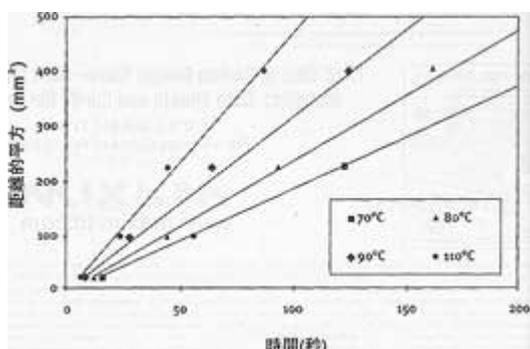


图 2. 灌封剂灌注流动制程参数范围宽广。

上式表明灌封剂流动时间和距离的平方成正比。它虽然没有考虑凸点数目以及硅颗粒大小的影响，但还是能足以说明现今市面上几种商用灌封剂的表现特性。可用图形方式表示该公式（图 2），由图可以看出，随着灌封剂流动结束时温度的不同，其制程条件的范围可以非常宽。温度确定灌封剂的初始黏度，因而决定了它在裸片下流动的速度。

填料粒度及其粒度分布也会影响灌封剂流动过程的速度。为保证灌封剂平滑的流动，最大颗粒尺寸应小于焊接凸点高度的三分之一。灌封剂供货商一般都会注明颗粒的尺寸，直径范围通常在  $10 \mu\text{m}$  到  $50 \mu\text{m}$  以上。

灌封剂的流动能力(或称为“流动性”)还受到与它所接触的表面的影响，也就是指基材的表面以及裸片的底面。迭层基材通常覆盖有一层防焊膜，而裸片的表面则可能有聚胺、氮化硅或氧化硅涂层，这些材料具有极低的介电常数，使得芯片有较高的频率和时钟速度。更为复杂的是，不同公司的涂层具有不同的结构特性，这样尽管防焊膜的类别是一样的，但不同供货商的基材防焊膜表面特性都不相同。测试这些表面的方法之一是在要求的温度下，测量灌封剂和接触面之间的接触角大小。另外一种迅速并经考验过的方法是用实际基材和晶圆进行灌封剂流动研究。

空洞的存在以及与助焊剂相适应的程度也会影响灌封剂的流动，焊料凸点回焊后留下的助焊剂残余物会妨碍灌封过程，并且会在固化后出现空洞和分层。为了避免此类问题，可以征求灌封剂供货商对于与灌封剂最适配的助焊剂的建议，。

## 灌封剂的固化

灌封剂加注制程之后就是固化。以前，固化的时间长达数小时之久，而现在最多也只是十几分钟，象 JM8805 在  $165^\circ\text{C}$  下固化时间为 10 分钟，采用更高的固化温度还可缩短灌封剂的固化时间。可以参考关于固化曲线的研究，包括对固化曲线上升和保持部份的分析。

虽然所有的氰酸酯灌封剂都可用微波固化，而对于某些灌封剂还可以采用变频微波(VFM)炉来固化。这种技术能有选择地对灌封剂进行加热，而其它封装部份仍保持相对较低的温度。它不同于常用的对流式加热炉，会将封装的所有部份都加热从而带来有害应力。和普通对流式加热炉相比，VFM 的缺点是炉子的成本还相当高。

## 弹性模量要求和黏着力测试

一旦固化以后，坚硬的灌封剂的弹性模量应该相当低，以便在可靠性测试中，释放裸片和基底之间的应力。它还必须十分坚固以保持封装的形状和共面性，并帮助缓解来自焊接凸点的应力。藉由对模型进行研究表明，层压封装的理想弹性模量应在 7GPa 到 10GPa 之间，而陶瓷封装材料应该接近 10GPa，并且在温度藉由  $T_g$  时也应保持这一数值。所选灌封剂材料的弹性模量在温度低于  $T_g(E1)$  时应在 7 GPa 到 10GPa 范围内，而温度高过  $T_g(E2)$  时的弹性模量则应尽可能地接近上述范围的最低值。

灌封剂对裸片、焊接凸点以及基材的黏着力大小，决定了它防止分层的能力，尤其是在受力情况下。倒装芯片封装在后模压固化、焊料回焊以及可靠性测试中会承受应力，因此灌封剂的黏着力应该在仿真这些条件的温度下进行测试。一种简单的方法是把灌封剂当作裸片黏接材料将裸片黏接在基材上，当固化以后，可以用裸片剪切、迭板剪切或旋拉(stud-pull)等方法对裸片进行测试。测试不仅要在室温下进行，而且还应在后模压固化温度和回焊温度下进行。

## 受潮对黏着性的影响

灌封剂即使在恶劣的条件下也应保持黏着性，尤其在可靠性测试中，这一点是很重要的。压力炉测试(PCT)是用得最多的一种试验方式，这里灌封剂要在 121°C 下经受 100%相对湿度和 15psi 的压力。对湿气比较敏感的灌封剂如酸酐系统在受潮时很容易发生水解生成低分子量副产品，从而失去黏着性。应力测试以后黏着性的保持能力对封装可靠性也有重要的影响，因为大多数失效都是从接触面的脱离开始的。

參數	特徵	
1	CTE	與焊接凸點相匹配
2	T <sub>g</sub>	接近或高於150 c
3	彈性模量	E1在7至10GPa範圍內，E2盡可能接近7GPa
4	黏度	黏度與時間及黏度與溫度滿足要求
5	灌封劑流	優化溫度下流速與裝配要求匹配
6	粒度	最大顆粒尺寸小於凸點高度的1/4
7	助焊劑	與灌封劑相匹配
8	固化曲線	對爐子優化固化曲線
9	黏著性	在製程溫度下保持高黏著性 在可靠性測試條件下遇潮濕仍保持高黏著性
10	吸濕	在PCT條件下保持低吸濕率 遇濕後仍保持黏著性

表 1. 考虑封装类别和制程条件下的性能指针。

灌封剂的选择标准根据的是一系列性能参数指针(表 1)，表中指针值只是一种参考，而实际参数的优化值还要取决于封装类型和特定的制程条件。