Allegro SPB V15.2 版新增功能

Cadence 对 Allegro 的产品包装在 v15.2 之后有重新的分类及定义,
强调的是 **S-P-B (S**ilicon-**P**ackage-**B**oard **)**.
在 Allegro 概分成 200 及 600 系列.
200 是指 PCB Design Studio, 600 是指 PCB Design Expert.
详细的产品分类如下,或请参考 www.cadence.com.

Pre-Platform Name	Allegro Platform Name
Allegro	Allegro PCB Editor
Allegro Performance option	Allegro PCB Performance option 220
Allegro Viewer	Allegro Physical Viewer 610
Constraint Manager	Allegro Constraint Manager
PCB Design Expert	Allegro PCB Design 600 Series
PCB Design Expert w/ Capture	Allegro PCB Design CIS 610
PCB Design Expert w/ Concept	Allegro PCB Design HDL 610
PCB Design Studio	Allegro PCB Design 200 Series
PCB Design Studio w/ Capture	Allegro PCB Design CIS 220
PCB Design Studio w/ Concept	Allegro PCB Design HDL 220
PCB Designer Suite w/ Capture	Not part of the Allegro platform - contact Cadence Sales for more information
PCB Designer Suite w/ Concept	Not part of the Allegro platform - contact Cadence Sales for more information
Allegro PCB - legacy	Not part of the Allegro platform - contact Cadence Sales for more information
Allegro Designer - legacy	Not part of the Allegro platform - contact Cadence Sales for more information
Allegro Expert - legacy	Not part of the Allegro platform - contact Cadence Sales for more information

下表中列出了相关文件的名称更动状况.

Pre-Platform Title	Allegro Platform Title
Allegro/APD User Guide: Getting Started	*Allegro PCB and Package User Guide: Getting Started with Physical Design*
Allegro/APD User Guide: Defining and Developing Libraries	*Allegro PCB and Package User Guide: Defining and Developing Libraries*
Allegro/APD User Guide: Transferring Logic Design Data	*Allegro PCB and Package User Guide: Transferring Logic Design Data*
Allegro/APD User Guide: Layout Preparation	*Allegro PCB and Package User Guide: Preparing the Layout*
Allegro/APD User Guide: Design Rules	*Allegro PCB and Package User Guide: Creating Design Rules*
Allegro/APD User Guide: Placement	*Allegro PCB and Package User Guide: Placing the Elements*
Allegro/APD User Guide: Routing	*Allegro PCB and Package User Guide: Routing the Design*
Allegro/APD User Guide: Design Completion	*Allegro PCB and Package User Guide: Completing the Design*
Allegro/APD User Guide: Manufacturing	*Allegro PCB and Package User Guide: Preparing Manufacturing Data*
Allegro/APD User Guide: APD-Specific Information	*Allegro PCB and Package User Guide: Using Package Designer*
Allegro SKILL Reference Manual	*Allegro PCB and Package User Guide: SKILL Reference*
Allegro: What's New in Release 15.1	*Allegro PCB Editor: What's New in Release 15.2*
Allegro Known Problems and Solutions	*Allegro PCB Editor Known Problems and Solutions*

Introduction to Allegro Tutorial	*Allegro PCB Editor Tutorial*
Using SPECCTRA with Allegro Tutorial	*Autorouting with the Allegro PCB Editor Tutorial*
Best Practices: Working with IDF	No Change
Best Practices: Working with Shapes	No Change
PCB and IC Packaging Physical Layout Command Reference	*Allegro PCB and Package Physical Layout Command Reference*
PCB Design Studio Tutorial	*Allegro PCB Design HDL 220 Tutorial*
Getting Started with PCB Design Studio with Concept HDL	*Getting Started with Allegro PCB Design HDL 220*
Migration Guide for PCB and IC Packaging to Release 15.0 and 15.1	*Migration Guide for Allegro Platform Products Release 15.0, 15.1 and 15.2*
PCB and IC Packaging Properties Reference	*Allegro Platform Properties Reference*
PCB and IC Packaging Documentation Roadmap	*Allegro Platform Documentation Roadmap*

Note: 在 15.2 中含有多媒体动画教学文件 *Allegro PCB Editor Tutorial*

C:\Cadence\SPB_15.2\doc\algrotutorial\algrotutorialTOC.html

动画教学文件目录

C:/Cadence/SPB_15.2/doc/algrotutorial/appa.html

Electrical DRC 检查更精确

Z 轴延迟 – 时序路径包括贯孔及焊点数据(600 系列)

15.2 已经加入了有关贯孔及焊点的 Z 轴延迟计算功能. 先开启 Setup - Constraints - Electrical constraint sets 下的 DRC 选项. 点选 Electrical Constraints dialog box 下 *Options* 页面 勾选 Z-Axis delay 栏.

底下的属性会影响 Z 轴延迟:

- DRC 选项只会对 Min/Max Propagation, Relative Propagation 或 Diff Pair Phase Control electrical rules 有影响.
- 线长的总长度也会将贯孔及焊点的长度效果并入计算.
- Z 轴的长度是由焊点孔的铜箔及介质层厚度加总计算.
- 例如在一个十层版的全贯孔上,有一条线由第一层走到第四层.那么这一个贯孔长度为:

  VIA (Z LENGTH) = L2 + L3 + D1 +D2 +D3

  L = 铜箔层厚度, D = 介质层厚度

零件可含 Pin Delay Property (600 系列)

在 15.2 版以前, 您必须要有系统阶的连结才可以顺利的将 APD 中的.mcm 文件数据转入得到各 die 到 pin 等等的封装长度. 但是您通常不容易由芯片厂商得到完整可直接导入的数据,反而是一些含着计算式的 Excel 数据文件.

15.2 中新增 PIN_DELAY property 您可以将外部的零件延迟值导入. 可将 .csv 的值导到零件上, 或是在 Constraint Manager 下的 *Propagation Delay* 或 *Diff Pair* 得窗体中填入其 PIN_DELAY 的值.

就像先前 Z 轴延迟一样, 先开启 Setup - Constraints - Electrical constraint sets 下的 *Options* 页面 DRC 选项. 勾选 *Pin Delay* DRC . 如果是在 Constraint Manager, 选 *Analyze - Analysis Modes* 下的 *Options* 页面会显示其窗体.; 可直接设定值.
因为 pin pair 的顺序是 U2.T2:J42:75 所以 Pin Delay 的 "Pin 1"上的 602 Mils.是代表 U2 的 T2 脚的延迟值,不是 J42:75 的延迟值.

Pin Delay Setup in Constraint Manager

Objects	Referenced Electrical CSet	Pin Pairs	Pin Delay Pin 1 mil	Pin Delay Pin 2 mil
System				
after_place_152				
DP_GROUP_VIA_Z		Longest Pin Pair		
E_SPI4_TXDAT11_L	DIFF	Longest Pin Pair		
U2.T2:J42.75			602 MIL	
E_SPI4_TXDAT11	DIFF	Longest Pin Pair		
U2.T1:J42.73			602 MIL	
E_FC_RXCPAR_L	DIFF	Longest Pin Pair		
J42.71:U2.AK4				404 MIL
E_FC_RXCPAR	DIFF	Longest Pin Pair		
J42.69:U2.AK3				404 MIL
E_FC_RXCFC_L	DIFF	Longest Pin Pair		
U2.AK2:J42.47			474 MIL	
E_FC_RXCFC	DIFF	Longest Pin Pair		
U2.AK1:J42.45			474 MIL	
E_FC_RXCDAT3_L	DIFF	Longest Pin Pair		
J42.67:U2.AK6				550 MIL
E_FC_RXCDAT3	DIFF	Longest Pin Pair		
J42.66:U2.AK5				550 MIL
E_FC_RXCDAT2_L	DIFF	Longest Pin Pair		
J42.63:U2.AM4				450 MIL
E_FC_RXCDAT2	DIFF	Longest Pin Pair		
[illegible]				450 MIL

差动讯号的间距可依不同层设定 (200 及 600 系列皆可)

在 15.0 只能设定差动讯号的一个间距值. 您只能设很多对的 ECsets 对应来达到不同层不同间距的需求.

在 15.2 可以 PCB Editor *Setup - Constraints - Physical Rule Set - Set Values* 设定不同层不同间距匹配的需求.
DRC 检查时会先看 electrical constraints set 里面的设定值. 如果没有,才会以 physical constraint sets 里面的值为准.

我们建议的情况是:

- 如果没有不同层不同间距需求只有 neckdown 的情况, 请设定差动讯号 中 electrical constraints sets 的 physical parameters.
- 如果有不同层不同间距需求, 请不要设 electrical constraint set 中 physical parameters ,而是设定在 physical constraint sets 里面的 line width 和 gap 值.

Caution ***如果把 15.2 的图档降到 15.0 或 15.1 设定的 Diffpair By Layer 的参数只会被保留但并不会执行出 DRC 检查错误.***

Multiple Matched/Nested Groups (200 及 600 系列皆可)

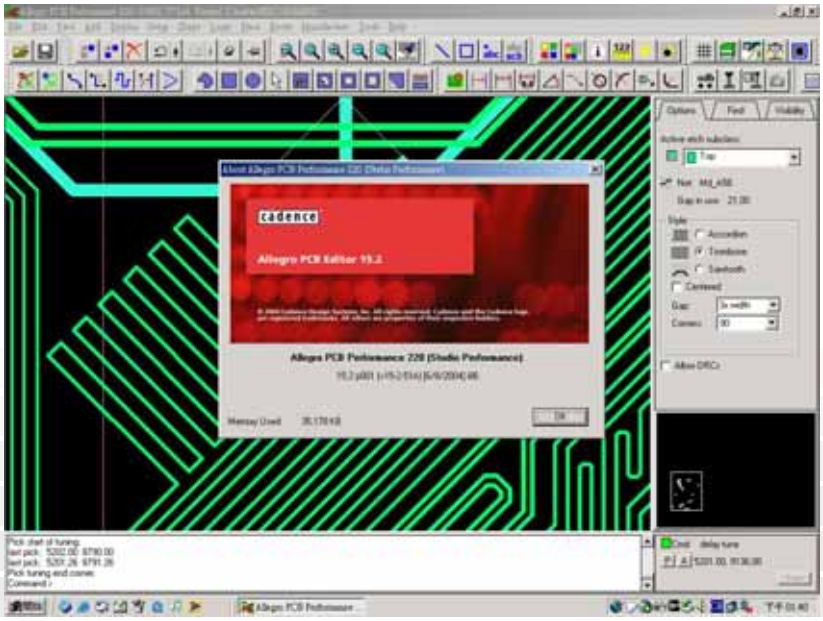
对整组同步讯号而言,我们必需对 “多组” nets 或 pin-pairs 同时设定.但是在 15.2 以前 pin-pair 只能对应到一个 group.
在 15.2 版 nets 或 pin-pairs 已经可以挂入一个以上的 group. 在手动布线时会以会从严显示所挂入的各组 group 条件.

Caution *在 Version 15.0, PCB Editor 会踢掉 多重定义.*

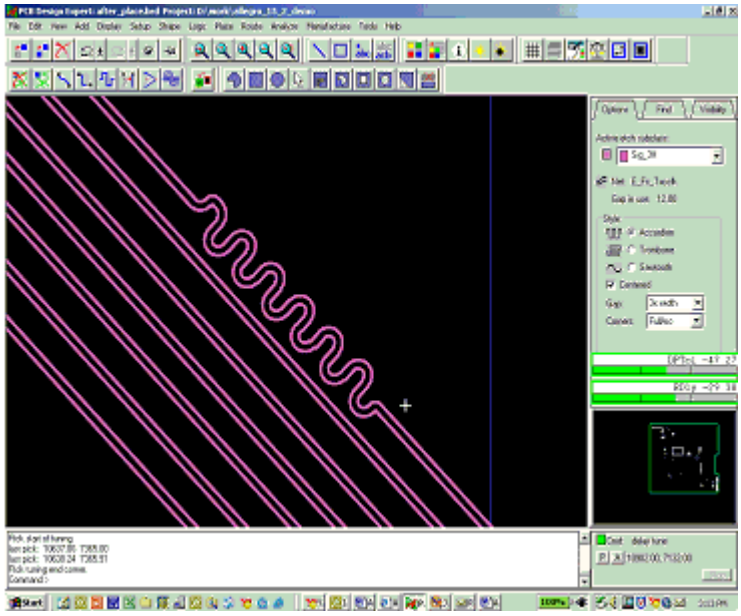
强化手动布线功能

手动延迟线 TUNE 线功能 Version 15.1 ISR - Feb 04 (200 及 600 系列皆可)

手动 TUNE 线在 Version 15.1 ISR 就已支援. 您可以选择不同的 TUNE 线模式控制间距及振幅.也可以在不同区域作 TUNE 线的动作来符合总长度的需求. 利用光标就可以控制振幅大小,位置及数量. 如果没勾选置中 Centered ,会将 TUNE 线整个偏向一边. 而实时的抬头显示器也会同步的反映出现在的走线效果.



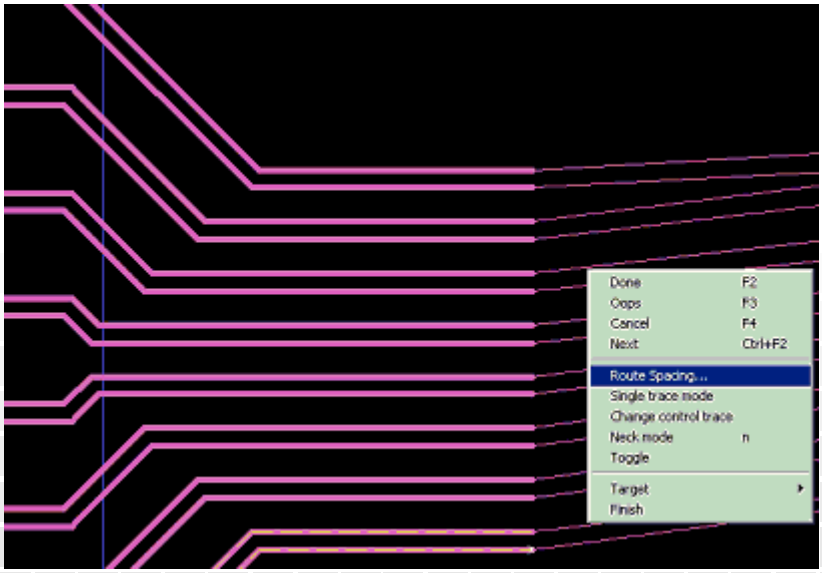
差动讯号的弧线 TUNE 线



整组布线(200 及 600 系列皆可; 600 系列有进阶设定)

布线支持多线布线模式. 您只要框选对象例如 clines, vias, 或 pins 就可多线布线. 在 600 系列,点鼠标右键更可以实时变更线到线的间距值为原始值、自定值或最小间距值.也有更方便的导引线切换或控制功能.

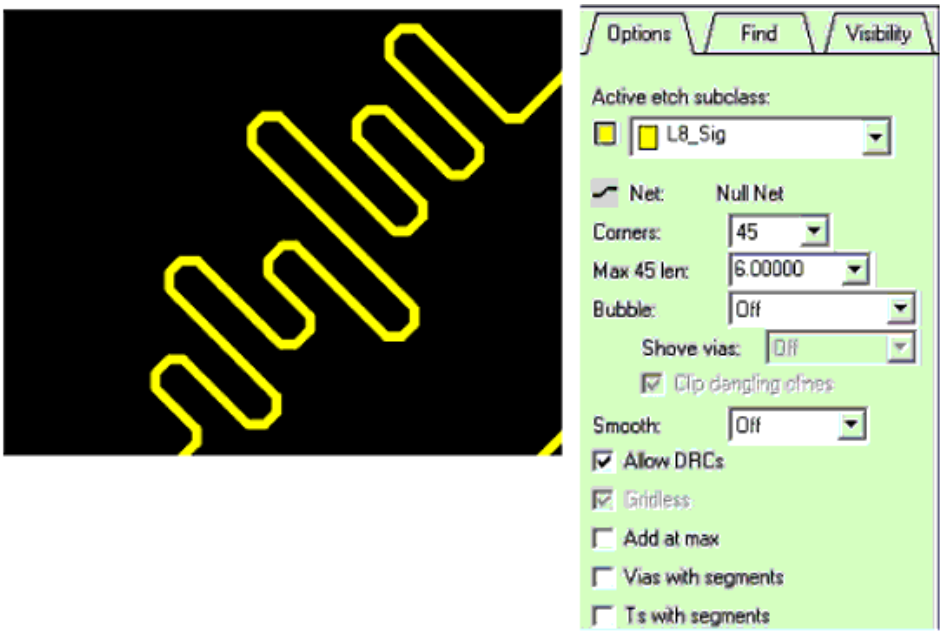
差动讯号的整组布线



修线功能强化 Version 15.1 ISR - Feb 04

45 度线更容易编辑调长度. 建议您将 45 度线长与 elongation 设相同长度并且把 *Bubble* 及 *Smooth* 关闭会更方便调长度.

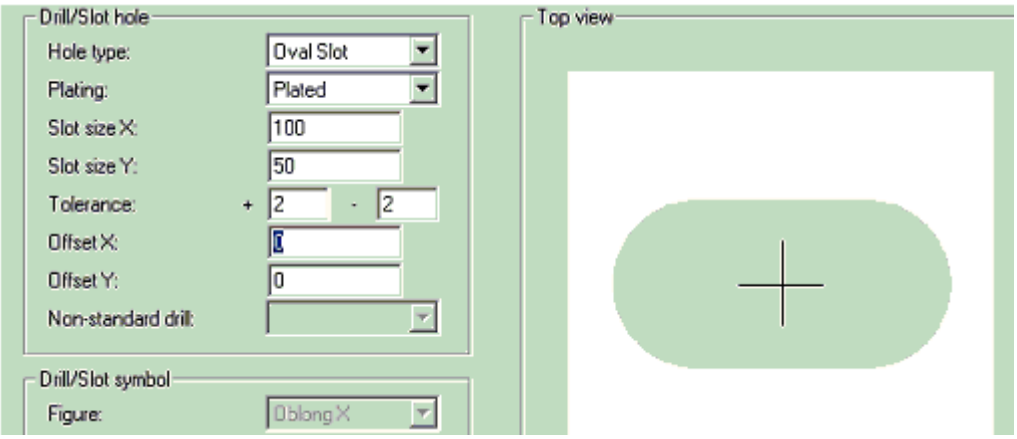
45 度线的修线功能- 建议选项



辅助制造功能

长孔设定

在 Padstack Designer 中，可设定长孔效果．可选择为长椭圆形或长矩形．在定义其 *x* 、*y* 大小后即代表其真实值．长孔的报表可由 *Tools – Reports* 中产生 CSV/HTML 格式，会列出长孔的类型，位置，旋转角度．
如果执行 NC Route，会产生 `<design>.rou` 档案列出相关数据．



孔径误差值

15.2 可设孔径误差的正负值 ,在钻孔档.drl 中也会列出误差的正负值.

```
;FILE  : ncdrill-1-10 for layers TOP and BOTTOM
;T01 Holesize 1. = 12.000 Tolerance = +1.000/-12.000 PLATED MILS
;T02 Holesize 2. = 22.000 Tolerance = +2.000/-3.000 PLATED MILS
;T03 Holesize 3. = 32.000 Tolerance = +1.000/-1.000 PLATED MILS
```

钻孔符号字符数量

钻孔符号字符数量由一个增加到三个.

支援同孔径不同误差值

在 ncdrill 和 nctape 的输出数据中支持同孔径不同误差值的设定效果

以底下 design.drl 档案中 40-mil 的钻孔有不同误差值会列成不同钻头值:

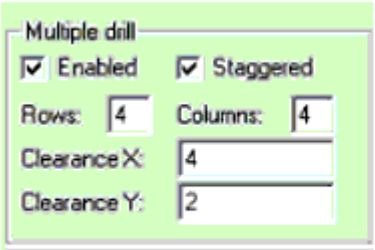
```
;FILE  : ncdrill-1-10 for layers TOP and BOTTOM
;T01 Holesize 1. = 12.000 Tolerance = +1.000/-12.000 PLATED MILS
;T02 Holesize 2. = 40.000 Tolerance = +2.000/-3.000 PLATED MILS
;T03 Holesize 3. = 40.000 Tolerance = +1.000/-1.000 PLATED MILS
```

非标准钻孔效果

对圆孔的非标准钻孔效果可选 *Laser, Plasma, Punch, Other*. 到时后会反映到转出的非标准钻孔档 separate .drl, 让后段生产配合厂商有更清楚的作制程上的区隔.

Multiple Drills 可设 *X,Y* 间距值

Multiple drill 可设不同的 *X,Y* 间距值



操作接口及指令更新

操作接口也随着指令更新.

- 在 *Manufacture - NC* 中新增了以下指令以配合新增功能:

Menu Command	Console Command	Status
Drill Customization	`ncdrill customization`	New
Drill Legend	`ncdrill legend`	No change
NC Parameters	`ncdrill param`	formerly *Drill Parameters*
NC Drill	`nctape_full`	formerly *Drill Tape*
NC Route	`ncroute`	formerly *Route*

- NCDrill 会产生一个 `<design>.drl`, 以前的 `ncdrill.tap`. 如果要用 `ncdrill.tap` 檔, 宣告在 `nc_param.txt` 中.
- 在 NC Route 内定的输出档为 `<design>.rou`, 以前的 `ncroute.ncr`.
- 在执行 NC Drill 或 NC Route 后相关的文件名称会写在 .log 档中可方便下次做批次执行.
  在先前的版本中程序会用编码过的文件名作临时存取用,不可做批次执行.
- NC Drill 中 *DIPs* 和 tape-related 项目已经移除. 当旧的参数档套入时会有警告讯息并会被忽略, 在新的参数档中将不会有此项纪录.
- 在 15.2 前如果没有 default `.dlt` 不会产生钻头表.现在程序会显示警告讯息自动转出 .dlt 并会跳出对话框您可输入新.dlt 文件名称.

NC 参数对话框设定

在 NC 参数设定有底下几点更新:

- 文件头字段支持到 1024 字符并支持多字段.
- 强化 Excellon 格式支持 T<*nn*> C<*size*>.
- 设定值对 ncdrill 及 route 都有效.
- 设定值对 ncdrill 及 route 无效的会被移到特定输出中.

钻孔输出 – 钻头选择

钻头选择不再需要自定 nc_drill.txt. 如果没有工具文件,程序会自动抓钻头顺序并存成 nc_tools_auto.txt.

Caution ***If the nc_tools.txt file is not found, the PCB Editor automatically generates the file.***

我们会比较建议您使用 Auto select 模式.
底下的例子中就是以 Auto select 模式,并配新的误差宣告及档头宣告的效果.

```
;T01 Holesize 1. = 12.000000 Tolerance = +1.000000/-2.000000 PLATED
MILS
;T02 Holesize 2. = 22.000000 Tolerance = +1.000000/-2.000000 PLATED
MILS
;T03 Holesize 3. = 55.000000 Tolerance = +1.000000/-2.000000 PLATED
MILS
;T04 Holesize 4. = 68.000000 Tolerance = +1.000000/-2.000000
NON_PLATED MILS
G90
T01
X03225Y02125
T02
X00645Y02081
T03
X00311Y-00025
T04
X00208Y-00213
M30
```

进阶 Excellon 格式支持

支持 T<*nn*> C<*size*> 宣告，直接列出钻头号及其孔径值.

例如:

```
M48
INCH
T01C.01
;T01 Holesize 1. = 10.000000 Tolerance = +1.000000/-2.000000 PLATED
MILS
```

将底片/钻孔文件输出到指定路径

15.2 版可设定输出底片/钻孔文件的次路径,利用 *Setup - User Preferences - File Management* 宣告 `ads_sdart` 值就可指定.
而底片或钻孔档的转出或读入会利用此路径.

自动产生盲埋孔钻头表档对应

Version 15.2 能够自动产生盲埋孔钻头表档. 在您执行 *Manufacture - NC - Drill Legend* 时能够依不同的层对及钻孔效果自动产生各个相映的钻头表档到 *NCLEGEND* 层. 而 *NCLEGEND* 已经综了以前的 *NCDRILL_LEGEND* 及 *NCDRILL_FIGURE* 图形数据.

钻头表文件文字对齐

在 default .dlt 的范例文件中可宣告如 *SIZE* 和 *TOLERANCE* 的栏宽等设定值之外并且可设定其字符串的对其效果.

注意: 此项对其效果不能用在来为抬头只能用在数据项上.在.dlt 檔的*?ColumnDefinitions* 可设入第四个宣告值分别为 *center, left, right(表示置中, 左齐,右齐)*. 如果没设定或宣告错误则为置中.

以在 share\pcb\text\nclegend 路径下的某.dlt 为例.

```
;   Each column definition below can have an optional 4th field
;   included to control the justification of the data displayed
;   within that column. The permitted values are of course:;
;      "center", "right", or "left";
;   with "center" being the default if the 4th field is not provided,
;   or is provided but is not one of the above permitted values.
;
 ?ColumnDefinitions     '(
                        ("Figure"      "FIGURE"       7)
                        ("Holesize"    "SIZE"        15)
                        ("Tolerance"   "TOLERANCE"    15)
                        ("PlateStatus" "PLATED"       10)
                        ("NonStandard" "NONSTANDARD"  15)
                        ("Quantity"    "QTY"          6)
```

钻头表档头宣告

在 15.2 中您可以宣告钻头表的档头.例如, 您可以利用*lay_nums* 或 *lay_nams*等字符串让转出来的钻头表自动带出他的层面号码或层面名称, 让其它人在不同层的钻头表时更容易判别其相关性.

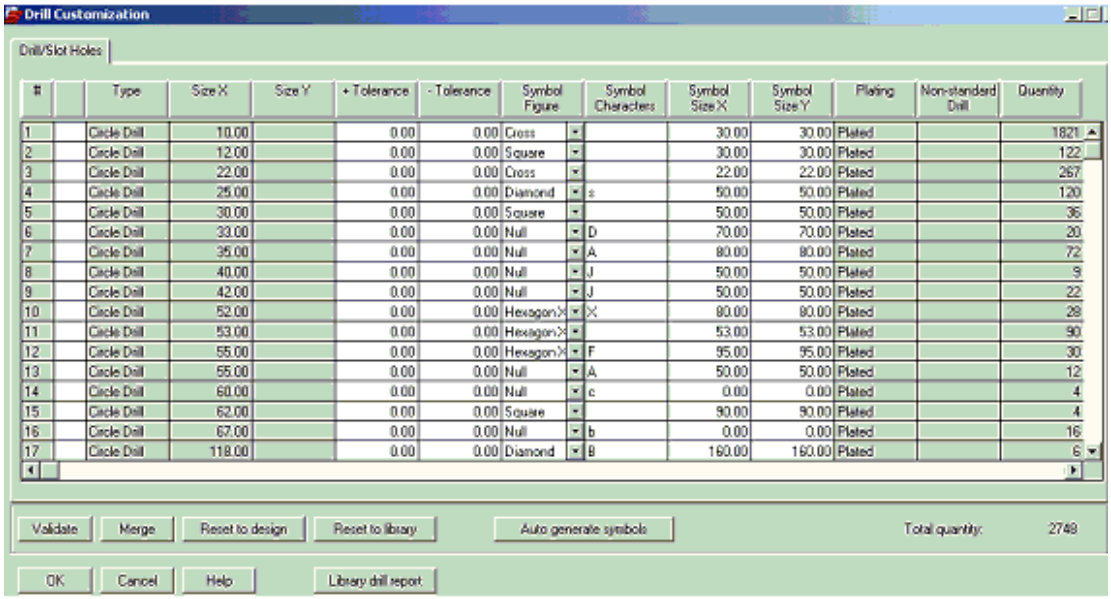
钻头表数据并不会自动更新,钻孔如有更动必须再重新产生新钻头表档.

镀铜/不镀铜孔显示效果

设定 *Setup - Drawing Options - Display* 可让镀铜/不镀铜孔有不同的显示效果.对长孔及多孔点一样有效.

新钻孔定义表

新钻孔定义表是以电子表格的模式让您更方便的新增或编辑钻孔数据. 就像 Constraint Manager 一样有更动的会以蓝色显示. 您也可以利用它自动建立的功能快速建立钻孔,或是用它来检查是否有漏定钻孔符号等状况.
而 *Library drill report* 会产生一个由 PADPATH 下所有焊点钻孔数据的只读报表.



#		Type	Size X	Size Y	+ Tolerance	- Tolerance	Symbol Figure	Symbol Characters	Symbol Size X	Symbol Size Y	Plating	Non-standard Drill	Quantity
1		Circle Drill	10.00		0.00	0.00	Cross		30.00	30.00	Plated		1821
2		Circle Drill	12.00		0.00	0.00	Square		30.00	30.00	Plated		122
3		Circle Drill	22.00		0.00	0.00	Cross		22.00	22.00	Plated		267
4		Circle Drill	25.00		0.00	0.00	Diamond	s	50.00	50.00	Plated		120
5		Circle Drill	30.00		0.00	0.00	Square		50.00	50.00	Plated		36
6		Circle Drill	33.00		0.00	0.00	Null	D	70.00	70.00	Plated		20
7		Circle Drill	35.00		0.00	0.00	Null	A	80.00	80.00	Plated		72
8		Circle Drill	40.00		0.00	0.00	Null	J	50.00	50.00	Plated		9
9		Circle Drill	42.00		0.00	0.00	Null	J	50.00	50.00	Plated		22
10		Circle Drill	52.00		0.00	0.00	Hexagon X	X	80.00	80.00	Plated		28
11		Circle Drill	53.00		0.00	0.00	Hexagon X		53.00	53.00	Plated		90
12		Circle Drill	55.00		0.00	0.00	Hexagon X	F	95.00	95.00	Plated		30
13		Circle Drill	55.00		0.00	0.00	Null	A	50.00	50.00	Plated		12
14		Circle Drill	60.00		0.00	0.00	Null	c	0.00	0.00	Plated		4
15		Circle Drill	62.00		0.00	0.00	Square		90.00	90.00	Plated		4
16		Circle Drill	67.00		0.00	0.00	Null	b	0.00	0.00	Plated		16
17		Circle Drill	118.00		0.00	0.00	Diamond	B	160.00	160.00	Plated		6

自动建立钻孔符号

15.2 可用自动建立钻孔符号功能,让程序自动为此份图文件建立他的钻孔符号.其顺序为.

1. Cross (typical for the smallest/highest quantity)
2. Square
3. Hexagon X
4. Hexagon Y
5. Octagon
6. Diamond
7. Triangle
8. Oblong X
9. Oblong Y
10. Rectangle
11. Circle

超过 11 之后, 不使用符号而使用 A-Z, AA, AB ... AZ, BA, BB ... BZ, 的字母代替符号
长椭圆孔用 OA ... OZ 来表示,如果不够会依 PA ... PZ 及 QA ... QZ,
长矩形孔会用 RA ... RZ, SA ... SZ,…. 来表示.

对圆孔的孔径值其 X 、 Y 会自动等值套用孔径值, 长孔会自动套用不同的 X 、 Y 孔径值.

自动整合钻孔定义

在钻孔定义电子表格中会自动整合相同的钻孔定义,钻孔数量也会自动计算.

钻孔检查

在 15.2, 程序会扫描线现有的钻孔定义数据是否齐全 (Symbol Characters, Symbol Figure, Symbol Size X, and Symbol Size Y). 如果钻孔符号有重复混用则会以红色标示,若有相同钻孔定义则以黄色显示表示可并到其它同类钻孔中.

Caution ***如果降到 15.0,长孔值将只会用窄边显示.***
而您自定的效果也会被重设,只能用 15.0 版的原始参数及设定.

零件库的钻头表

在 Padstack Editor 及 Drill Customization 中有 *Library drill report* 功能.会产生一个由 PADPATH 下所有焊点钻孔数据的报表.
如果以鼠标右键点其数据格可以以此栏重新排序.内定值是以焊点名称来排序.

钻孔数据更新

在 Update Symbols 及 Refresh Padstacks 中新增 *Reset customizable drill data* 选项. 如果要更新焊点的钻孔误差值, 钻孔符号, 钻孔符号字符, 及钻孔大小. 可勾选此项就会全部更新钻孔定义.

新报表格式

现在所产生的报表都是用 HTML 或 CSV 格式. 用 CSV 可转到 Excel 中.
如果要用老的文字格式, 请设 `allegro_old_report`

```
setenv ALLEGRO_OLD_REPORT
report -v bom myboard.brd old_bom.txt
unsetenv ALLEGRO_OLD_REPORT
```

自定报表

自定报表仍沿用 Extract/Extracta 架构, 在 15.2 中点 *Reports 对话框中的 New/Edit* 键会以 textpath 宣告路径下的 custom `.txt` 产生自定报表文件.
您也可以自定要输出的项目及顺序,建立新报表宣告的 .txt ,下次可直接套用产生所要的自定报表.

新报表文件

在标准报表中新增了:

- *Etch Length by Net* (replaces *ECL* report)
- *Etch Length by Pinpair*
- *Etch Length by Layer*
- 长孔报表 Slot Hole Report

可搜寻的 PDF 檔

Windows 版的 allegro 在 Plot Setup 对话框中. 可开关 non-vectorized 设定, 指定字型, 字体比例, 字型设定并会储存在 `.ini` 檔中 . 如果是 non-vectorized 则转出的 pdf 档案内字符串可在 acrobat 等程序中搜寻到非图形.

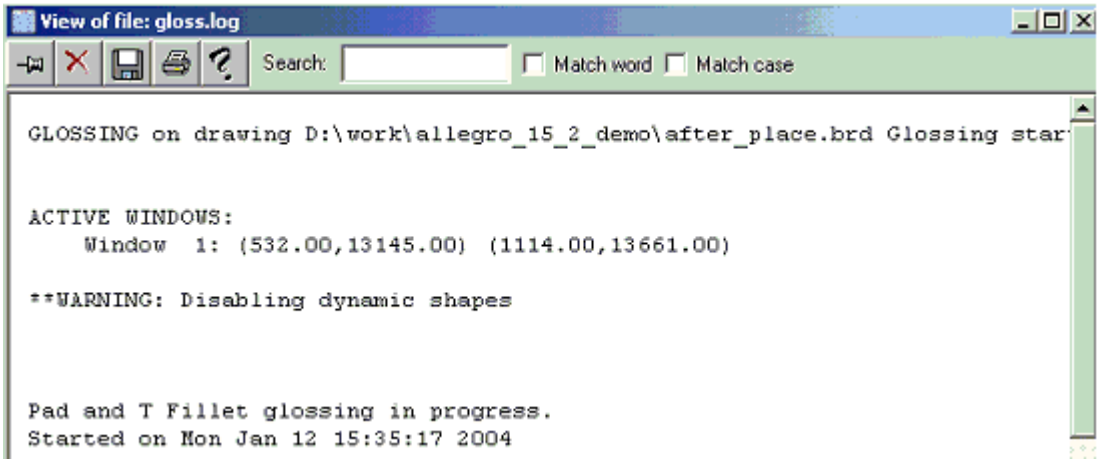
UNIX 版转出 Non-Vectorized 文字

UNIX 版的 *File - Plot* 也可有 *Vectorize* 文字设定.

HTML 格式可搜寻的讯息文件

如果要将各类讯息显示改用 HTML 格式，请在 *Setup - User Preferences - UI* 中勾选 `allegro_html` 选项.
您也可用 Search 搜寻功能找寻其中字符串.

Viewlog 的 HTML 窗口模式



Properties 中可设连结地址

在 edit property 或 show element 内的 property 的定义值中可设连结地址如网页地址或 PLM 中的某个 pdf 所在位置.

操作功能强化

Undo/Redo

undo 指令会取消前次动作; redo 指令会重做前次动作. undo 动作.undo 指令并不会重设参数, 格点, 或精确值得设定. 您可用它右侧箭头看他的历史或直接选择执行 Undo.

Setup - User Preferences – Undo 中可设 Undo 使用条件.

Fix/Unfix 的新图示

fixing 及 unfixing 的新图示.

如果要 unfix all, 选 *Unfix* 图示; 点鼠标右键选 *Unfix All* 即可.

测距新图示

Redraw 新图示

动态铺铜强化

动态铺铜强化:

- **选铜后鼠标右键指令增加**

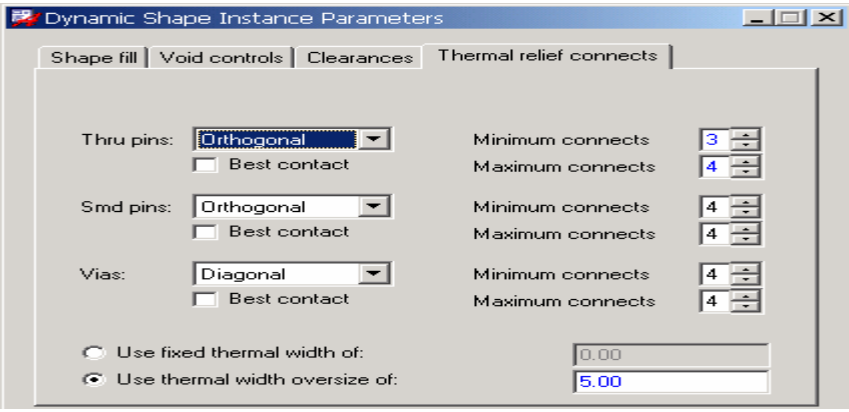
  选取铜薄后，在鼠标右键中多了 move, copy, copy to layers, defer dynamic fill, 及 change shape type 指令.

- **铺圆弧铜**

  15.2 支持铺铜直接画弧形边框.

- **单一 Thermal 接续控制**

  在正片铺铜中支持对 Thermal 桥接花瓣宽度的单片控制



Caution *在15.2 中的单独控制效果在 Version 15.1 会被取消，而可能造成一些 DRC 线宽检查的错误.*

- **新铺铜状态报告**

  在 *Setup - Drawing Options*，底下的 *Status 中* 选 *Out of date shapes* 下的颜色框,可列出一个新的报告,他会列出动态铺铜的层面、状态 (smooth or out-of-date) 、讯号名等数据.

- **铜箔状态警告**

  再转出底片时,如果铜箔状态(raster or vector) 的设定与出底片条件不匹配时会显示警告讯息.

快速摆放零件强化

在操作接口有增加新选项:

- **By property**

  快速摆放时可依 property 及 value 摆放.

- **By room**

  快速摆放时可将零件摆放到 一个或全部 room 的定义范围中.

- **Schematic page and hierarchy support**

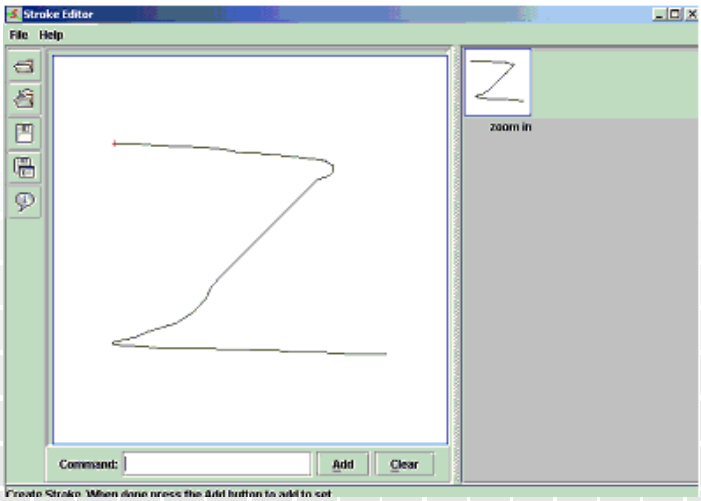
  由线路图阶层或图号的下拉式列表中选取快速摆放零件,您甚至可以同时选多张线路图.

- **By user pick**

  快速摆放也支持传统摆放动作. 利用 *User Pick* 可摆放到您指定的位置.

Stroke 编辑器

Stroke 编辑器可让您自定 Stroke 指令, 请选 *Tools - Utilities - Stroke Editor* 就可进入设定.



Constraint Manager 中可设讯号的 Properties

在 Constraint Manager 中新增一个窗体来新增或编辑对讯号的 properties 设定如 net physical 或 space, voltage 测试点数量等.

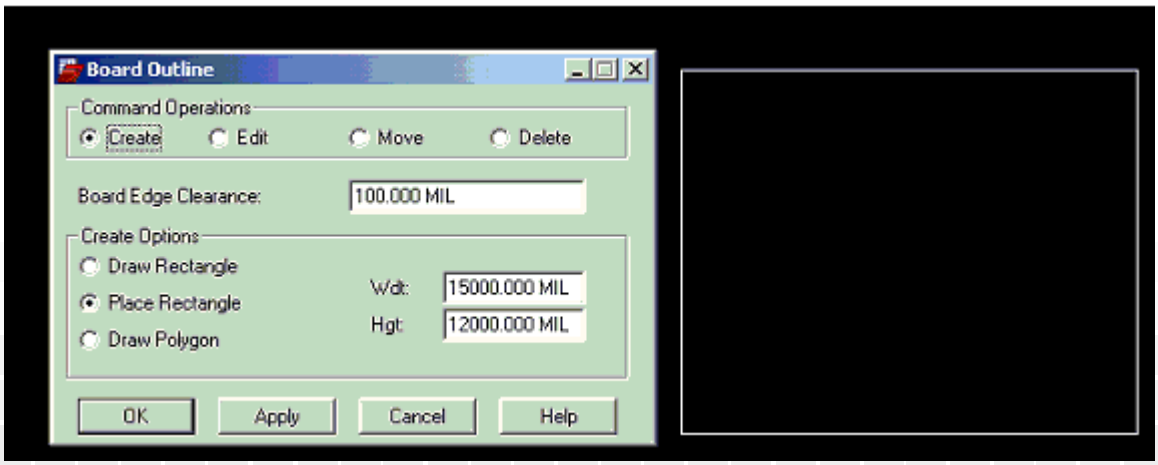
指定使用路径

在 Setup - User Preferences - File Management 中可宣告档案读写的次路径如 Artwork/NC, Journal/Log/Script, Plot, 和 Report ,设定其变量如 `ads_sdart`, `ads_sdlog`, `ads_sdplot`, and `ads_sdreport`.
如果没有指定(内定值),会如先前版本以现有路径为主.

板框建立

如同先前 Allegro SI 自动建板框功能,现在的 Allegro 也能用 *Setup - Outlines* 自动建立 board outlines, room 等数据. 而层面也会自动对应. 建立板框时其 package keepin 和 route keepin 也会自动建立.

Setup - Outlines - Board Outline



DRC 忽略宣告

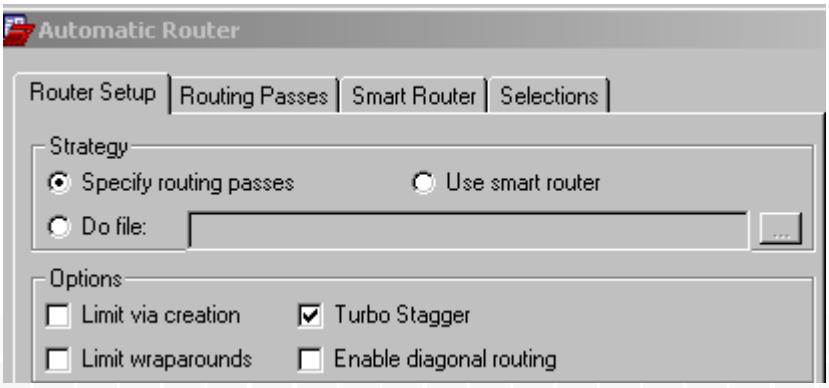
现在又新增了三个 DRC 忽略宣告来避免 DRC 的假警告或可忽略动作. 如在 15.0 有一个 NODRC_SYM_SAME_PIN 的 property, 可让您忽略同一颗零件中点到点的安全间距检查.

- NODRC_COMPONENT_BOARD_OVERLAP – 加在零件的 placebound shape 上,零件与板边太近的 DRC 错误检查.例如 connectors, switches, LEDs 等等有机构摆放需求的零件.
- NODRC_ETCH_OUTSIDE_KEEPIN – 加到 clines 或 text 上,.
- NODRC_VIAS_OUTSIDE_KEEPIN - 加到 vias 上, 可不显示摆到 route keepin 之外的错误.
  如果一堆接地的 via 要同时宣告. 可用 *Temp Group* 框选一齐宣告加快速度.

Turbo Stagger

Turbo Stagger 加到 PCB Editor 自动布线中,可强化对交错 pin 的布线效果.
如果没选有时会将布线多绕不必要的长度.
此选项建议在一般自动布线时关闭以加快布线效率.

Turbo Stagger Option in the PCB Editor



删除没用的字型宣告

在字型宣告栏中加了 *Compact 按键* 可将没用到的字型宣告删除. 并会对现有的字型类型重新编号.

手动加/删泪滴

在 *Route – Gloss 中已经把* APD 的 *Add Fillet* 及 *Delete Fillet* 功能加进来. 利用此指令您可以手动的加一个或是一堆泪滴补强. 补强条件会参照 Gloss 中的 *Pad and T Connection Fillet* 的设定.

贯孔复制保留讯号名

在复制贯孔时会保留其讯号名,如 GND 补丁时方便使用.

开启高阶档案时显示警告讯息

当低阶程序(studio, 200 系列)开启高阶档案(expert,600 系列)时会显示警告讯息.表示有一些规则,数据或设定将会被忽略.

F1 显示辅助说明

按 F1 键将会显示辅助说明而不是显示目录列.

内层同讯号间距检查

如果设定 drc_old_pad_pad 在 15.2 的 DRC 中也会将内层中同讯号而间距太近的贯孔视为错误.

模块重复使用,没有层迭确认限制

在 15.2 以前模块的使用必须有相同的层迭架构才可套用. 在 15.2 您可更方便的将一个层迭是 *Top/Int/Bottom* 的模块套到层迭是 *Top/Int/Int2/Bottom* 的图档上.

高亮控制

在 15.2 的 *Setup - User Preferences...- Misc* 新增了 `ignore_external_highlight` 选项.如果 设定了程序会忽略其它外部程序对 allegro 的 highlight 动作. 本设定内定值为 off . 另外您也可以直接设定 `pcbenv` 路径下的 `env` 档案中的宣告值.

录像文件 Scripts

录像文件更动如下:

- 录制时,在程序的状态区会显示录像文件的文件名.
- 由于 NC Drill 指令有很大的改变, 所以先前版本中有关 NC drill 的录制将不会正常执行.
- 在 Script 对话框中新增一个 *Generate* 按键, 可让您选取一个 journal 的 .jrl 文件并帮您转成录像文件.
  如果是指令模式,语法为:

```
j2script <source_jrl_file> <target_allegro_script>
```

Allegro Skill 新增和更动

有关 15.2 板的 SKILL functions 请参考 `<cdsroot>/share/pcb/examples/skill/DOC` 路径. 详细内容请看 *Allegro PCB and Package User Guide: SKILL Reference*

New SKILL Functions	Updated SKILL Functions
axlDebug	axlDBCreatePadStack
axlDMFileError	axlDBCreateSymbol
axlFormGridUpdate	axlDBCreateSymbolSkeleton
axlFormListGetSelCount	axlDbidDoc
axlFormListSelItems	axlDeleteObject
axlFormListSelAll	axlDMClose
axlIsDebug	axlDMFileparts
axlMeterCreate	axlDMOpenFile
axlMeterDestroy	axlDMOpenLog
axlMeterIsCancelled	axlFormBNFDoc
axlMeterUpdate	axlFormCallback
axlMPythag	axlFormListDeleteAll
axlMXYAdd	axlHighlightObject
axlMXYSub	axlMiniStatusLoad
axlPolyMemUse	axlPolyExpand
axlPolyOffset	axlSubclassFormPopup
axlSleep	axlTestPoint
	axlUIConfirm
	axlUIYesNo
	axlFormIntroDoc
	axlTriggerSet

回存至 15.0 版

要将 15.2 档案回存至 15.0 版,请用 *File - Export - Save Design to 15.0*. 请注意降到 15.0 版后 长型孔, 钻孔设定,多组 group 对应等新设定将不能实现.

图文件跨版本注意事项

如果您在 15.2 用了新功能或定义后要把档案降到 15.0 或 15.1 可以用 *File - Export - Save Design to 15.0* 降版本,但是请注意以下状况.

- Multiple matched groups
- Slots support in the Padstack Editor

  如果使用, 焊点会保护不可编辑

- Enhanced multi-drill options
- Reports

  15.2 以前录制的录像文件有关钻孔将不能执行,
  报表需设定 `allegro_old_report` 才会沿用旧版文字模式.

- Reports

  新增三种类似 ECL 的线长报表. 如果要旧的 ECL 请宣告 `old_reports`.

- 由于支持不同层不同间距的差动讯号设定,所以如果将档案由 14.x 直接转到 15.2 会与 14.2 先转到 15.0/15.1 再转到 15.2 设定有些许不同.

录像文件跨版本注意事项

- 由于 NC Drill 指令有很大的改变，所以先前版本中有关 NC drill 的录制将不会正常执行.
- 因为改用 HTML 格式的报表，录像文件中有关报表的产生将不会正常执行. 整合的方法为:
    - 改用新报表的制作架构.
    - 将原先录像文件中报表产生指令 `reports` 换成 `old_reports`.

映陽科技
Graser Technology
本版 Tactic Note 版權爲 映陽科技股份有限公司 所有，未經允許不得任意轉用。
©2004 Graser Technology Corporation. OrCAD Capture. Capture CIS. OrCAD Layout. PSpice. Allegro. InterComm. Harmony. GerbTool. Adiva. Tina. InterComm are registered trademarks ,and the Graser logo are trademarks of Graser Technology Corporation.