



1. 基本特性	2
2. 脚位定义	4
2.1 18 脚 & 20 脚	4
2.2 14 脚	5
3. 脚位描述	6
3.1 18 脚	6
3.2 14 脚	7
4. 控制寄存器	8
5. 系统图表	9
6. 存储器映象	10
6.1 程序存储器	10
6.2 数据存储器	12
6.2.1 一般模式	12
6.2.2 高级模式	18
7. 功能描述	27
7.1 TMRO 与 Watchdog 定时器	27
7.2 复位	29
7.3 高级模式的状态 [6:5] (页选位)	31
7.4 Timer1 与 Timer2	33
7.5 Timer1, Timer2 程序范例	36
8. 指令集	41
9. 电气特性	45
9.1 绝对最大额定值	45
9.2 直流电特性	45
9.3 交流电特性	46
9.4 封装信息	46



1. 基本特性

ROM : 1K x 14 位

RAM : 49 x 8 位 / 25 x 8 位

堆栈 : 4 级

I/O 口 : 12 / 16 I/O 脚

(a) 8 个从 Port B 上拉的 I/O 脚 (Vdd=5V 时, 上拉电阻为 54K)

(b) 4 个 Port A 的 I/O 脚

(c) 4 个专用 I/O 脚 : EXT_CLK, RESETB1(只有输入), OSC2, OSC1
(只在高级模式, 分配到 PA4 ~ PA7)

定时器/计数器 : 8 位 x 3 (TMR0, TMR1, TMR2)

TMR1 与 TMR2 可连接成为 16 位定时器

预分频器 : 3 位

五个中断请求源 : 3 个内部中断请求 : TMR0, TMR1, TMR2 计数溢出中断

2 个外部中断请求 : PA0/RESETB0/INT0, PA5/ RESETB1/INT1 引脚中断

Watchdog 定时器 : WDT 以内部 RC 振荡器为时钟源 (该 RC 振荡器只用于 WDT)。

可选择 4 种溢出周期 : 1mS, 4mS, 8mS, 16mS。

用户可以通过使用预分频器扩展 WDT 溢出周期。

复位模式 : (a) 上电复位

(b) 低电压复位

(c) 2 个外部引脚复位 (PA0/RESETB0/INT0, PA5/ RESETB1/INT1)

(d) Watchdog 定时器计数溢出复位

复位定时器 : 16 mS (5V)

四个外部振荡器模式 : RC, LP 晶振, NT 晶振, HS 晶振

一个内部 RC 振荡器 : 4M Hz (供用户使用)

两种操作模式 : 一般模式和高级模式



工作电压：2.2V ~ 5.5V

指令集：79 条指令

唤醒模式：Port B (PB₇~PB₀)引脚状态 改变唤醒
唤醒时间可通过 WDTSEL(23H)寄存器设定

复位向量：3FFH

中断请求向量：3FEH

包装类型：TM58PE10SS20C

TM58PE10D18C

TM58PE10S18C

TM58PE10D14C

TM58PE10S14C



2. 脚位定义

2.1 18 脚 & 20 脚

PA2	1	18	PA1
PA3	2	17	PA0
EXT_CLK / PA4	3	16	/ INT0 / RESETB0
PA5	4	15	OSC1 / PA7
RESETB1 / VPP / INT1	5	14	OSC2 / PA6
VSS	6	13	VDD
PB0	7	12	PB7
PB1	8	11	PB6
PB2	9	10	PB5
PB3			PB4

18 脚封装方式： DIP (TM58PE10D18C)
SOP (TM58PE10S18C)

PA2	1	20	PA1
PA3	2	19	PA0
EXT_CLK / PA4	3	18	/ INT0 / RESETB0
PA5	4	17	OSC1 / PA7
RESETB1 / VPP / INT1	5	16	OSC2 / PA6
VSS	6	15	VDD
VSS	7	14	VDD
PB0	8	13	PB7
PB1	9	12	PB6
PB2	10	11	PB5
PB3			PB4

20 脚封装方式： SSOP (TM58PE10SS20C)



2.2 14 脚

PB5	1		14	PB2
PB6	2		13	PB1
PB7	3		12	PB0
VDD	4		11	VSS
OSC2 / PA6	5		10	PA5 RESETB1 / VPP / INT1
OSC1 / PA7	6		9	EXT_CLK / PA4
PA0 / INT0 / RESETB0	7		8	PA3

14 脚封装方式：DIP (TM58PE10D14C)
SOP(TM58PE10S14C)

PB5	8-12		8-11	PB2
PB6	8-13		8-10	PB1
PB7	8-14		8-9	PB0
VDD	8-1		8-8	VSS
OSC2 / PA6	8-2		8-7	PA5 RESETB1 / VPP / INT1
OSC1 / PA7	8-3		8-6	EXT_CLK / PA4
PA0 / INT0 / RESETB0	8-4		8-5	PA3

COB 方式



3. 脚位描述

3.1 18 脚

Pin name	Pin No.	Type	Description
PA2 PA3	1 2	I/O	1. I/O 引脚
EXT_CLK / PA4	3	I/O	1. TMR0, TMR1, TMR2 的外部时钟输入端 2. I/O 引脚
PA5 RESETB1/ VPP / INT1	4	Input Only	1. 系统复位引脚, 下降沿触发 (在 configuration word 中设定) 2. 外部中断引脚, 下降沿触发 3. 程序烧录时, 高电压输入引脚 4. 输入引脚
VSS	5	P	接地端
PB0 ~ PB7	6 ~ 13	I/O	1. 高级模式下 引脚状态改变可从睡眠模式唤醒 2. I/O 引脚 (可选择上拉)
VDD	14	P	电源输入端
PA6 / OSC2	15	I/O, O	1. 振荡器输出引脚 2. I/O 引脚 (在 configuration word 中设定)
PA7 / OSC1	16	I/O, I	1. 振荡器输入引脚 2. I/O 引脚 (在 configuration word 中设定)
PA0 / RESETB0/ INT0	17	I/O	1. 系统复位引脚, 下降沿触发 (在 configuration word 中设定) 2. 外部中断引脚, 下降沿触发 3. I/O 引脚
PA1	18	I/O	1. I/O 引脚



3.2 14 脚

Pin name	Pin No.	Type	Description
PB5 ~ PB7	1~ 3	I/O	1.高级模式下 引脚状态改变可从睡眠模式唤醒 2. I/O 引脚 (可选择上拉)
VDD	4	P	电源输入端
PA6 / OSC2	5	I/O, O	1. 振荡器输出引脚 2. I/O 引脚 (在 configuration word 中设定)
PA7 / OSC1	6	I/O, I	1. 振荡器输入引脚 2. I/O 引脚 (在 configuration word 中设定)
PA0 /RESETB0/ INT0	7	I/O	1.系统复位引脚，下降沿触发(在 configuration word 中设定) 2. 外部中断引脚，下降沿触发 3. I/O 引脚
PA3	8	I/O	1. I/O 引脚
EXT_CLK / PA4	9	I/O	1.TMR0,TMR1,TMR2 的外部时钟输入端 2. I/O 引脚
PA5 RESETB1/ VPP/INT1	10	Input Only	1.系统复位引脚，下降沿触发(在 configuration word 中设定) 2. 外部中断引脚，下降沿触发 3. 程序烧录时，高电压输入引脚 4. 输入引脚
VSS	11	P	接地端
PB0 ~ PB2	12~ 14	I/O	1.高级模式下 引脚状态改变可从睡眠模式唤醒 2. I/O 引脚 (可选择上拉)



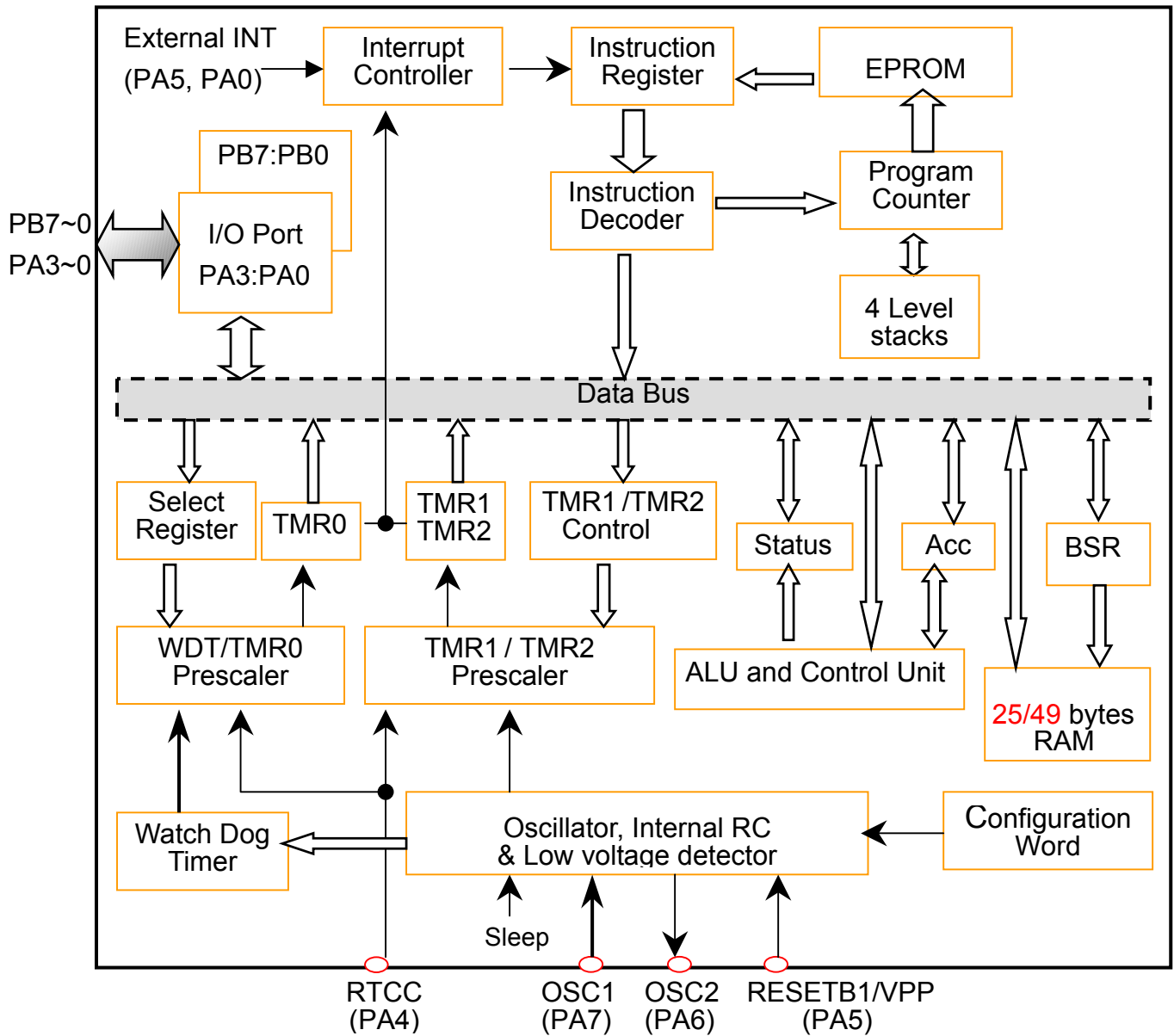
4. 控制寄存器

Name	Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SELECT				SUR0	EDGE0	PSA	PS2	PS1	PS0
IAR	\$00		A6	A5	A4	A3	A2	A1	A0
TMR0	\$01	D7	D6	D5	D4	D3	D2	D1	D0
PC	\$02	D7	D6	D5	D4	D3	D2	D1	D0
STATUS	\$03		A8	SA0 (A9)	\overline{TO}	\overline{PD}	Z	DC	C
BSR	\$04		D6	D5	D4	D3	D2	D1	D0
I/O PortA	\$05	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
I/O PortB	\$06	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
PULL-Hi	\$20	PUH7	PUH6	PUH5	PUH4	PUH3	PUH2	PUH1	PUH0
IRQM	\$21	INTM		TMR2M	TMR1M		EXINTM1	EXINTM0	TMR0M
IRQF	\$22			TMR2F	TMR1F		EXINTF1	EXINTF0	TMR0F
WDTSEL	\$23							S1	S0
TMR1 Control	\$24	TMR1EN	Load	SUR1	SUR0	EDGE	PS2	PS1	PS0
TMR2 Control	\$25	TMR2EN	Load	SUR1	SUR0	EDGE	PS2	PS1	PS0
TMR1 Preload	\$26	D7	D6	D5	D4	D3	D2	D1	D0
TMR2 preload	\$27	D7	D6	D5	D4	D3	D2	D1	D0
WAKE_UP	\$40	WDTS	WUE	RTCEN				EIS1	EIS0

 阴影显示内容为高级模式下可选用功能。



5. 系统方块图





6. 存储器映象

TM58PE10 存储器分为程序存储器和数据存储器。

6.1 程序存储器

TM58PE10 提供 2 种程序存储器映象，即一般模式和高级模式。用户可通过设置 configuration word 选择不同模式。

在一般模式下，一个程序页只包含 512 个字节，同一程序页内可直接寻址。不同程序页间可以通过设置状态寄存器的 bit5 位来寻址。指令执行顺序是由程序计数器(PC)控制的，程序计数器自动加 1。然而顺序也能被 skip,call,goto,lcall,lgoto 指令，或者移动数据到程序计数器改变。

在高级模式下，TM58PE10 允许直接寻址 1K 存储器任何地址，而不受页面大小限制。另外，lcall 和 lgoto 指令可提供灵活的寻址模式。

TM58PE10有一个可访问1K空间的10位程序计数器。如果访问地址超过1K，地址仍会映象到1K存储器，也就是1K + M将会映象到M。在复位向量位置加一个NOP指令会导致在地址000h处重启动。ROM结构如图5-1所示：

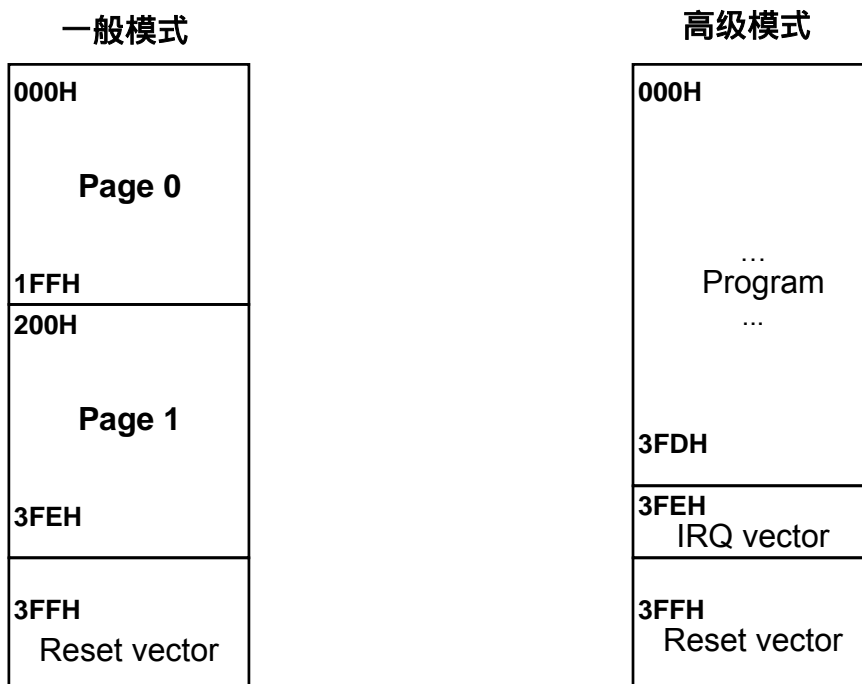


图 6-1 ROM 结构



TM58PE10 只在高级模式提供中断请求功能。在高级模式下，地址 3FEH 保存中断请求向量。用户可通过设置 configuration word 进入高级模式。configuration word 位于 800H，如图 6-2 所示。

Configuration Word					
位	符号	描述			
1~0	FOSC1 FOSC0	位 [1]	位 [0]	振荡类型	振荡频率
		0	0	LP (low speed)	32~200K Hz
		0	1	NT (Normal speed)	200K~10M Hz
		1	0	HS (high speed)	10~20M Hz
		1	1	External RC	32K ~ 20M Hz (VDD=5V)
2	WDTE	WDTE: 看门狗 使能/禁止 控制位 1: WDT 使能 0: WDT 禁止			
3	CPT	CPT: 码保护控制位 1: 关闭码保护 0: 打开码保护			
4	TYPE	TYPE: 运行模式选择位 1: 高级模式 0: 一般模式			
6~5	LV1~LV0	LV1	LV0	低压检测功能检测电压	
		0	0	4V	
		0	1	未用	
		1	0	2.2V	
		1	1	关闭低压检测功能	
7	RESETB0	RESETB0: 外部复位引脚 1 (一般模式下只能设定为 0) 0: PA0 /RESETB0/INT0 为正常 I/O 引脚 1: PA0 /RESETB0/INT0 为系统复位引脚			
8	RESETB1	RESETB1: 外部复位引脚 2 (一般模式下只能设定为 1) 0: PA5/RESETB1/INT1 为输入引脚 1: PA5/RESETB1/INT1 为系统复位引脚			
9	IOC	IOC: OSC1, OSC2 I/O 控制位 (一般模式下只能设定为 0) 0: OSC1, OSC2 为系统时钟振荡引脚 1: OSC1, OSC2 为 I/O 引脚			
10	INRC	INRC: 内部 RC 选择位 (一般模式下只能设定为 0) 0: 禁止内部 RC 时钟 1: 使能内部 RC 时钟			
11	AUP	AUP : 自动切页控制位(一般模式下只能设定为 0) 0: 高级模式下禁止自动切页功能 1: 高级模式下使能自动切页功能			

图 6-2 Configuration Word



6.2 数据存储器

数据存储器由特殊功能寄存器和通用存储器组成。数据存储器的大小是不固定的，它由 configure word 的 bit4 位来决定（既由 IC 工作于一般模式或是高级模式来决定）。

6.2.1 一般模式

在一般模式下，TM58PE10提供25个通用寄存器。特殊功能寄存器包括：程序计数器（PC），定时器（TMR0），状态寄存器(STATUS)，bank选择寄存器(BSR)和I/O端口寄存器(PORTA,PORTB)。此外，TM58PE10有3个辅助寄存器：间接寻址寄存器（IAR）、选择寄存器（Select）、I/O方向控制寄存器(IODIR)。一般模式的寄存器映象如图6-3所示：

	Bank0
00H	IAR
01H	TMR0
02H	PC
03H	STATUS
04H	BSR
05H	PORTA
06H	PORTB
9+16=25	General Purpose Register 07 H – 0F H
	General Purpose Register 10 H -1F H

图 6-3 一般模式寄存器映象



- A. 间接寻址寄存器(IAR)不是一个实际存在的寄存器，仅用来辅助BSR寄存器作间接寻址。任何对IAR寄存器的访问实际上是访问BSR寄存器所指的地址。因为IAR寄存器物理上并不存在，用户读取IAR寄存器本身(BSR=00H)将总是返回数据00h。写IAR寄存器本身等同于NOP指令。
- B. 选择寄存器(SELECT)用来控制WDT和TMR0。它不占用数据存储器地址，只能通过“SELECT”指令来设定控制位，是只写寄存器。通过执行“SELECT”指令，累加器的内容被写入SELECT寄存器中。如果程序未设置SELECT寄存器，其默认值是3FH。如图6-4所示说明如何设置SELECT寄存器。

Control register SELECT						
位	符号	说明				
2~0	PS2~PS0	PS2	PS1	PS0	TMR0 rate	WDT rate
		0	0	0	1:2	1:1
		0	0	1	1:4	1:2
		0	1	0	1:8	1:4
		0	1	1	1:16	1:8
		1	0	0	1:32	1:16
		1	0	1	1:64	1:32
		1	1	0	1:128	1:64
		1	1	1	1:256	1:128
3	PSA	PSA:预分频器设定位 1: 预分频器分配给 WDT 0: 预分频器分配给TMR0				
4	EDGE0	EDGE0: TMR0 外时钟信号触发边沿控制位 1:当外时钟信号由H→L跳变时TMR0递增 0: 当外时钟信号由L→H跳变时TMR0递增				
5	SUR0	SUR0: TMR0时钟来源控制位 1: 外部时钟输入 0: (内部时钟)/4 或内部指令周期				
6~7	----	未使用				

图 6-4 SELECT寄存器



- C. I/O方向控制寄存器(IODIR)与SELECT寄存器一样,也是只写寄存器。要设置一个I/O口作为输入,相应的方向控制位必须设为1,同样地若设定为零则I/O口为输出。所有方向控制位均可通过IODIR指令单独地设为输入或输出。如果IODIR寄存器未被设定,则所有的I/O口将默认为输入模式。
- 程序计数器(PC,02H)是10位二进制计数器,除了下述指令外,每个指令周期,计数器都加1。
 1. call, goto, lgoto, lcall : 标号将移到程序计数器。
 2. retla, reti, ret : 堆栈顶端值将弹出到程序计数器。
 - 当程序计数器指向下一页时其值自动加1。值得注意的是: 状态寄存器中页选位不会同时被改变。除非页选位在程序中已更新,否则GOTO, CALL, MOVAM PC或ADDAM PC指令将会返回到原来的页。为了减少程序的复杂性, TM58PE10提供2条指令以利于子程序调用和跳转处理,这两条指令是LCALL和LGOTO。LCALL和LGOTO可寻址ROM任何地址,但页选位保持默认值。如果对程序计数器进行写操作,系统会将页选的默认值装入PC高位。系统会寻错地址。如图6-5-3所示。
 - CALL和GOTO的操作数分别是8位和9位,因此需要特殊位(即页选位)寻址整个存储器。然而LCALL和LGOTO有10位操作数,可以方便的寻址整个ROM空间。高级模式下,状态寄存器STATUS(03H)中页选位bit[6:5]的功能将在7.3中描述。
 - TMR0是8位二进制计数器/定时器,该寄存器通过EXT_CLK脚的外部信号边沿变化或内部指令周期加1。它具有如下特性。
 - A. 可读可写
 - B. 2个内部时钟同步
 - C. 可通过设置SELECT寄存器使用可编程预分频器。其它详细说明在下一章会有具体描述。
 - 状态寄存器包含页选位、超时位、低功耗位和ALU状态位。值得注意的是 \overline{TO} 和 \overline{PD} 是受硬件控制的,不可通过软件改变。



Control register STATUS (03H)			
位	符号	描述	
0	C	进/借位	
		加指令	减指令
		1: MSB 有进位 0: MSB无进位	1: MSB 无借位 (注: 1) 0: MSB有借位
1	DC	半进/借位	
		加指令	减指令
		1: LSB有进位 0: LSB无进位	1: LSB无借位 0: LSB有借位
2	Z	零标志位: 1: 逻辑运算结果为0 0: 逻辑运算结果不为0	
3	\overline{PD}	低功耗标志位: (注: 2) 1: 上电后或执行CLRWDT指令后, 结果为1 0: 执行SLEEP指令后, 结果为0	
4	\overline{TO}	时间溢出标志位: 1: 上电后或执行CLRWDT或SLEEP指令后, 结果为1 0: WDT时间溢出时, 结果为0	
5	SA0(A9)	页位置	
		0 1	Page0 (000H~1FFH) Page1 (200H~3FFH)
6	A8	一般模式下总是为“0”,高级模式下可以设置.	
7	----	未使用	
Bit [5]		Bit [6]	<i>只在高级模式下使用</i>
SA0 (A9)		A8	
0	0	Page0 (OTP mapping = 000H ~ 0FFH)	
0	1	Page1 (OTP mapping = 100H ~ 1FFH)	
1	0	Page2 (OTP mapping = 200H ~ 2FFH)	
1	1	Page3 (OTP mapping = 300H ~ 3FFH)	

图 6-5 状态寄存器



注1：减指令的执行是通过与减数的二进制补码相加来实现的，C = 1代表结果是正数。C位与借位之间的关系如图6-5-1所示。

B0H – 50H										50H – B0H									
	C	B7	B6	B5	B4	B3	B2	B1	B0		C	B7	B6	B5	B4	B3	B2	B1	B0
+		1	0	1	1	0	0	0	0	+		0	1	0	1	0	0	0	0
=	1	0	1	1	0	0	0	0	0	=	0	1	0	1	0	0	0	0	0

图 6-5-1

注 2： \overline{TO} 和 \overline{PD} 位是低有效，可决定复位的不同原因。图 6-5-2 举例说明了不同复位后 \overline{TO} 和 \overline{PD} 的值。

\overline{TO}	\overline{PD}	复位原因
0	0	睡眠模式下 WDT 溢出
0	1	正常工作情况下 WDT 溢出
1	0	睡眠模式下 RESETB 输入低电平复位
1	1	上电复位
不变	不变	正常工作情况下 RESETB 输入低电平复位

图 6-5-2



Example 在一般模式，Lcall, Lgoto 指令的使用需注意页选位寄存器。

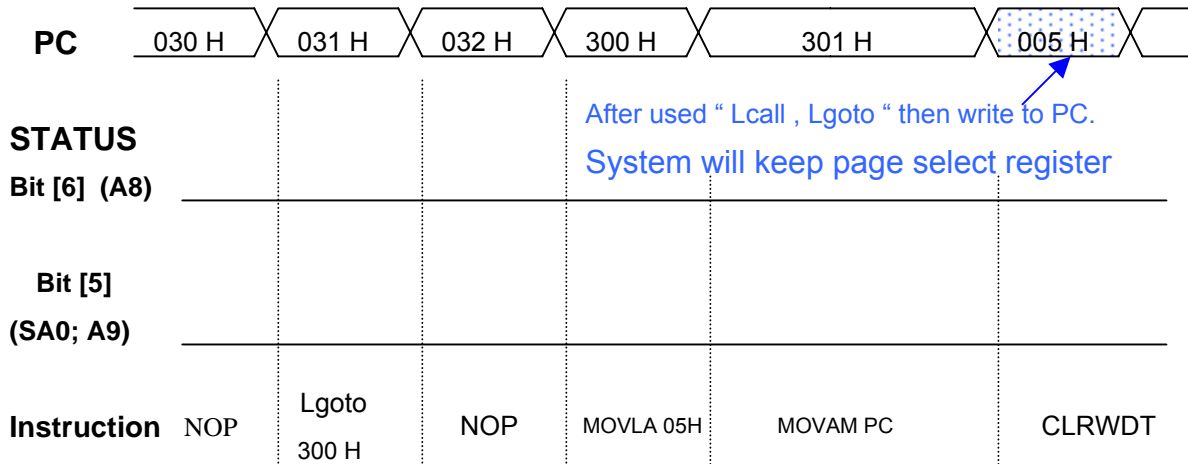


图 6-5-3 在一般模式使用“Lgoto”指令

BSR 寄存器与 IAR 寄存器结合起来可以间接存取数据存储器。BSR 寄存器的 bit4~bit0 被用来选择数据存储器,寻址 00h 到 1Fh(Bank0)，地址映像如图 6-6 所示。

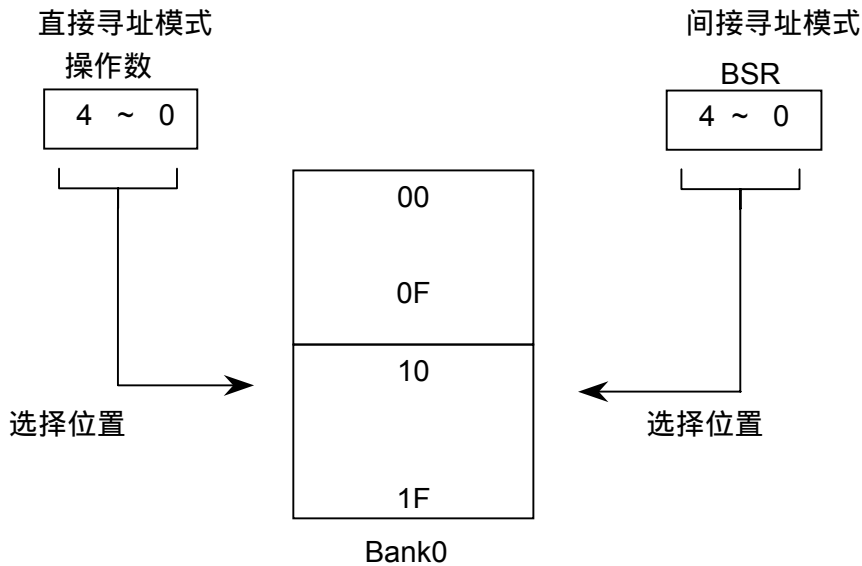


图 6-6 直接寻址与间接寻址映像



- Port A~B 是可编程的 I/O 口。值得注意的是，即使 I/O 脚是输出模式，读 I/O 指令也总是读 I/O 脚。复位时所有 I/O 脚都被置成输入模式，直到 I/O 方向控制寄存器被改变。

6.2.2 高级模式

在高级模式，提供了中断请求，方便的唤醒功能和灵活的寻址模式。另外，扩充了数据存储器，增加了 9 个额外的寄存器来支持中断请求、唤醒、Timer1 和 Timer2。这一节将介绍这些增加的控制寄存器和它们的特性。高级模式的数据存储器映象和寻址映象分别如图 6-7 和 6-8 所示。

高级模式 (Type=1)

	00~1F		20~3F		40~5F
00H	IAR	20H	PULL-Hi	40H	WAKE_UP
01H	TMR0	21H	IRQM	未使用	
02H	PC	22H	IRQF		
03H	STATUS	23H	WDTSEL		
04H	BSR	24H	TMR1 Control		
05H	PORTA	25H	TMR2 Control		
06H	PORTB	26H	TMR1 Preload		
9+16 = 25	通用寄存器 07H - 0FH	27H	TMR2 Preload		
		8+16 = 24	通用寄存器 28H - 2FH		
	通用寄存器 10H - 1FH		通用寄存器 30H - 3FH		

图 6-7 高级模式数据存储器映象

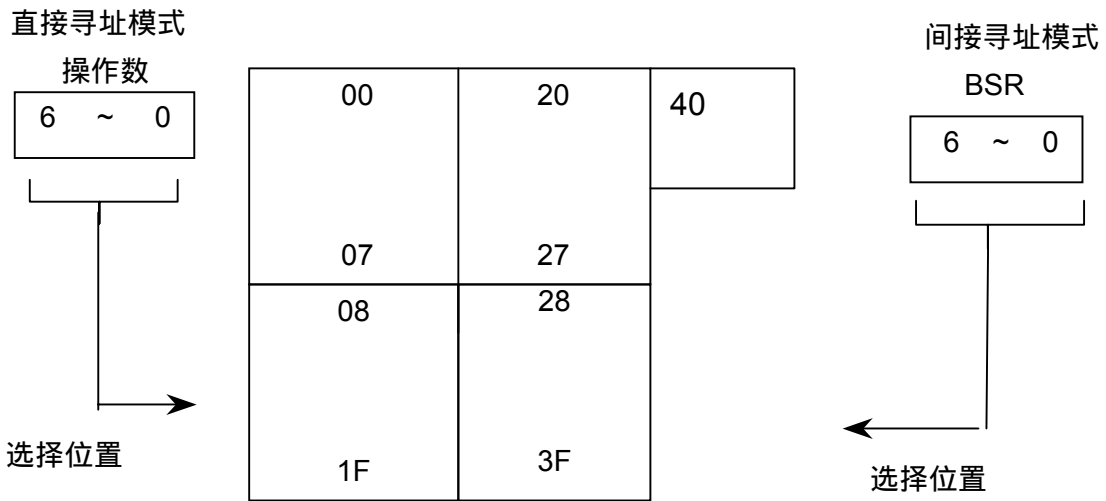


图 6-8 直接寻址与间接寻址映象

在高级模式，我们增加的 24 个通用寄存器位于地址 28~3F，如图 6-7 所示。中断请求和唤醒控制寄存器（PULL_HI, IRQM, IRQF 和 WAKE_UP）分别分配到地址 20H, 21H, 22H, 40H 中。在高级模式，TM58PE10 允许 7 位操作数存取存储器，操作数<6:0> 可直接寻址 00H ~ 40H，而不需要 bank 选择位，减少了编程的复杂性。

- Pull-High 寄存器(20H)：如果(PUH [N]=1)和 (Port B 位[N] 为输入); [N]=7~0,这两个条件同时满足，则 PortB 位[N]将被设定为上拉. Pull-High 寄存器如图 6-9 所示

Control register PULL-Hi (20H)		
位	符号	描述
7~0	PUH [7]~PUH [0]	上拉Port B bit7 ~ bit0: 0: 禁止上拉功能. 1: 使能(位[7] ~ 位Bit [0])上拉功能

图 6-9 上拉寄存器(PULL_HI)



- 唤醒控制寄存器(WAKE_UP;40H)被用作设定 watchdog 允许或禁止, 区别外部唤醒信号, EXT_CLK I/O 控制和中断请求。WUE 位控制外部唤醒功能。在 TM58PE10 唤醒操作中, PortB 是输入脚, 引脚状态改变唤醒, 如 23 页。复位时, 所有位清零。WAKE_UP 寄存器的具体定义如图 6-10 所示

Control register WAKE_UP (40H)		
位	符号	描述
7	WDTS	看门狗定时器软件控制位: TM58PE10 有2个WDT控制位(WDTE 和 WDTS), WDTE 由硬件在configuration字中设定,WDTS由软件在WAKE_UP寄存器中设定。只有在WDTE设定的情况下,WDTS设定才有效。也就是说, WDTE比 WDTS具有较高的优先级。 1: 使能 0: 禁止
6	WUE	唤醒功能使能位: 1: 使能外部唤醒功能 0: 禁止外部唤醒功能
5	RTCEN	EXT_CLK/PA4引脚做I/O引脚使能位: 1: EXT_CLK /PA4为外时钟引脚 0: EXT_CLK/PA4为双向I/O引脚(缺省值)
4~2	----	未使用, 读取结果为0
1	EIS1	外部中断选择1: 1: RESETB1/PA5/INT1为外中断引脚 ^(注3) 0: RESETB1/PA5/INT1为输入引脚
0	EIS0	外部中断选择0: 1:PA0/RESETB0/INT0为外中断引脚 ^(注3) 0:PA0/RESETB0/INT0为双向I/O引脚

图 6-10 Wake_UP 寄存器

注 3 : 中断请求必须在正常情况下执行。如果在睡眠模式下发生一个中断请求, 那么直到芯片被外部唤醒信号唤醒, 中断请求程序才会执行。其它唤醒方式包含(1) 上电复位 (2) 外部复位(3) WDT 溢出(如果允许), 前述三种情况意味着中断请求不会被执行。



- 中断屏蔽寄存器与中断标志寄存器用来控制中断请求处理。TM58PE10 支持 TMR0,TMR1,TMR2 和两个外部中断(INT0,INT1), 但不支持嵌套中断。中断屏蔽寄存器与中断标志寄存器分别如图 6-10 与 6-11。

Control register IRQM (21H)		
位	符号	描述
7	INTM	全局使能位: 该位较其它中断使能信号具有更高的优先级. 1:使能 0:禁止 顺便提一下,“RETI”指令会将”INTM”位置1.
6	----	未使用
5	TMR2M	TMR2中断使能: 1:使能中断 0:禁止中断
4	TMR1M	TMR1 中断使能: 1:使能中断 0:禁止中断
3	----	未使用
2	EXINTM1	外部中断使能 PA5/RESETB1/INT1: 1:使能中断 0:禁止中断
1	EXINTM0	外部中断使能PA0/RESETB0/INT0: 1:使能中断 0:禁止中断
0	TMR0M	TMR0中断使能: 1:使能中断 0:禁止中断

图 6-10 中断屏蔽寄存器



Control register IRQF (22H)		
位	符号	描述
7~6	----	未使用
5	TMR2F	TMR2 中断请求标志: 1: TMR2 计数器溢出产生一个中断请求.
4	TMR1F	TMR1 中断请求标志: 1: TMR1计数器溢出产生一个中断请求.
3	----	未使用
2	EXINTF1	外部中断 1 请求标志: 1: PA5/RESETB1/INT1 引脚信号下降沿变化产生一个中断请求 ^(注4)
1	EXINTF0	外部中断 0 请求标志: 1: PA0/RESETB0/INT0 引脚信号下降沿变化产生一个中断请求 ^(注4)
0	TMR0F	TMR0中断请求标志: 1: TMR0 计数器溢出产生一个中断请求.

图 6-11 中断标志寄存器

注 4：两个中断标志由硬件置位，软件只可以清除标志。试图写“1”到标志是无用的。

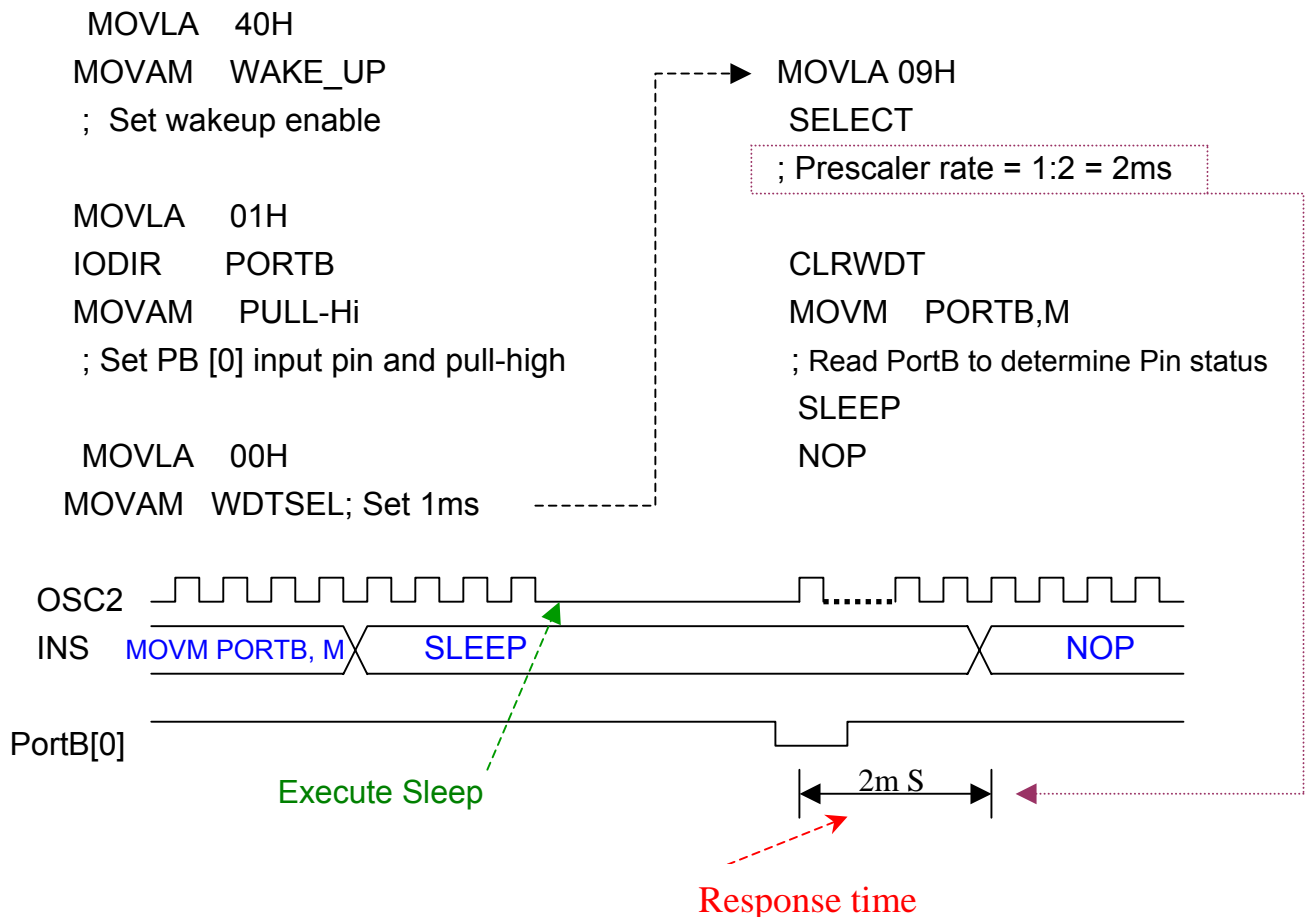
- 如果用户未设置 WDT 的预分频率，默认基本周期是 16ms。TM58PE10 在高级模式，用户可以通过设置 WDTSEL 寄存器(23H)选择不同的基本周期。在睡眠模式，由 PORTB 口唤醒后，程序将会接着下一条开始执行。从唤醒时刻起到程序开始执行，此期间有一段响应时间(如下图波形图所示)。该响应时间受 WDT 的基本周期影响，用户可以通过设置 WDT 基本周期来设定不同的响应时间。默认 WDT 基本周期是 16ms，如图 6-12 和下面的例子。



Control register WDTSEL (23H)		
位	符号	描述
7~2	----	未使用
位 [1]	位[0]	唤醒响应时间(基于WDT基本周期)
S1	S0	
0	0	1mS
0	1	4mS
1	0	8mS
1	1	16mS (缺省值)

图 6-12 WDTSEL 寄存器

例子：如何减少唤醒响应时间。





- 在这一部分里，我们描述 Timer1 与 Timer2 控制寄存器。详细功能描述在 7.3。Timer1 与 Timer2 寄存器设置需要考虑 Configuration Word。这样可以使 Timer1 与 Timer2 操作更正确。

Control register TMR1 Control (24H)					
位	符号	描述			
7	TMR1EN	TMR1使能位 1: TMR1使能 0: TMR1 禁止			
6	LOAD	Timer1 数据重装模式 1: 当数据写入 TMR1 重装寄存器 (TMR1_PRELOAD,26H) 时，TMR1内容立即被重装。(缺省值) 0: 当数据写入 TMR1 重装寄存器 (TMR1_PRELOAD,26H) 时，需等到 TMR1 计数溢出后，其值才被重装。			
5	SUR1	SUR1	SUR0	TMR1时钟来源 (请参考35页例7.4.1)	
		0	0	来源于系统时钟 (只适用于内部 RC 或外部 RC) ^(注5)	
4	SUR0	0	1	来源于 EXT_CLK	
		1	0	来源于 TMR2 (连接成 16 位定时器)	
		1	1	未执行	
3	EDGE1	EDGE1: 来源于EXT_CLK的TMR1时钟源信号边沿控制位 1: 当EXT_CLK信号由高→低跳变时TMR1加1 0: 当EXT_CLK 信号由低→高跳变时TMR1加1			
2~0	PS2~PS0	PS2	PS1	PS0	TMR1 预分频比
		0	0	0	1: 1
		0	0	1	1: 2
		0	1	0	1: 4
		0	1	1	1: 8
		1	0	0	1: 16
		1	0	1	1: 32
		1	1	0	1: 64
1	1	1	1: 128		

图 6-13 TMR1 控制寄存器



Control register TMR2 Control (25H)					
位	符号	描述			
7	TMR2EN	TMR2使能位 1: TMR2使能 0: TMR2 禁止			
6	LOAD	TMR2 数据重装模式 1: 当数据写入 TMR2 重装寄存器 (TMR2_PRELOAD,27H) 时，TMR2内容立即被重装。(缺省值) 0: 当数据写入 TMR2 重装寄存器 (TMR2_PRELOAD,27H) 时，需等到 TMR2 计数溢出后，其值才被重装。			
5	SUR1	SUR1	SUR0	TMR2时钟来源 (请参考35页例7.4.1)	
		0	0	来源于系统时钟 (只适用于 CRYSTAL 模式) (注5)	
4	SUR0	0	1	来源于 EXT_CLK	
		1	0	来源于 TMR1 (连接成 16 位定时器)	
		1	1	未执行	
3	EDGE2	EDGE2: 来源于EXT_CLK的TMR2时钟源信号边沿控制位 1: 当EXT_CLK信号由高→低跳变时TMR2加1 0: 当EXT_CLK 信号由低→高跳变时TMR2加1			
2~0	PS2~PS0	PS2	PS1	PS0	TMR2 预分频比
		0	0	0	1: 1
		0	0	1	1: 2
		0	1	0	1: 4
		0	1	1	1: 8
		1	0	0	1: 16
		1	0	1	1: 32
		1	1	0	1: 64
		1	1	1	1: 128

图 6-14 TMR2 控制寄存器

注 5 : Configuration Word 的位[1:0]只可以选择一种操作模式，晶振模式(HS, XT, LP)或外部 RC 模式。 Timer1 与 Timer2 不能同时采用晶振和外部 RC 模式。



Control register TMR1, TMR2 Preload register (26H, 27H)		
位	符号	描述
7~0	D7~D0	TMR1和TMR2重装数据寄存器。 缺省数据D7~ D0 = FFH

图 6-15 TMR1 与 TMR2 重装数据寄存器

去抖动时间是接受键的第二次按键之前必须经过的时间间隔。用户可以利用延迟程序设置时间间隔（见例 A）。

例 A:Key bounce

```

interrup
;-----
    btmss  irqf,1    ;; if external IRQ(INT0)?
    lgoto  int_end
int_nt1      ;; filter out key begin bounce
    btmss  ra,0
    lgoto  int_nt1
int_loop1    ;; filter out key end bounce
    call   delay    ;; worse case 30ms
    btmss  ra,0
    lgoto  int_loop1

    call   delay    ;; such as 30ms
    btmss  ra,0
    lgoto  int_loop1
;-----
    bcm   irqf,1
int_end
    reti

```



7. 功能描述

7.1 TMR0 与 Watchdog 定时器

图 7-1 显示了 TMR0/WDT 预分频器的方框图。如图所示，预分频器寄存器可以是 TMR0 的预分频器或是 WDT 的后分频器。

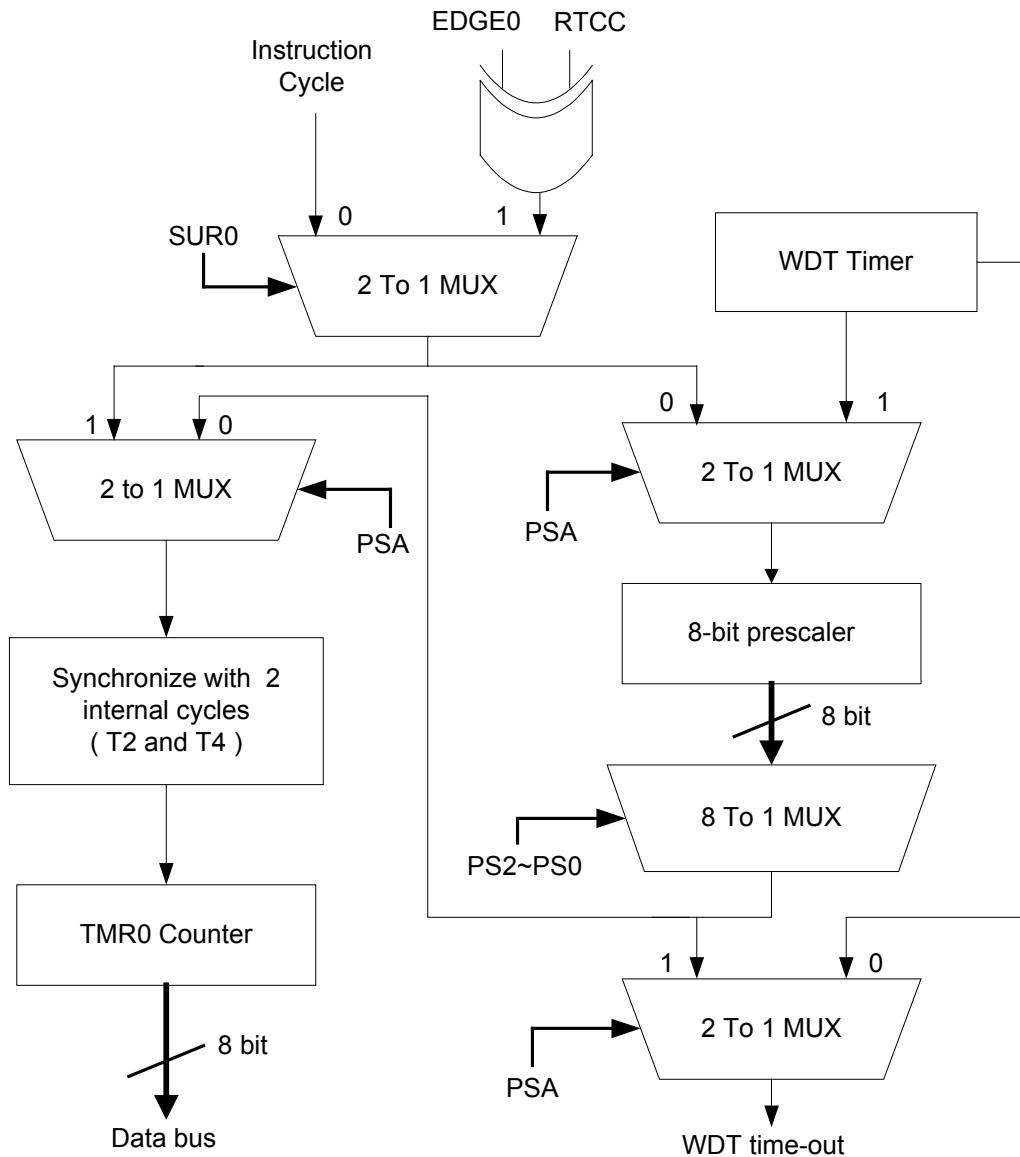


图 7-1 TMR0/WDT 预分频器方框图

TMR0 是一个 8 位定时器/计数器。TMR0 的时钟源可以来自指令时钟或外部时钟。



- A. 选择指令时钟，SELECT 寄存器的 SUR0 位应该清零。当未使用预分频器时，TMR0 将会在每个指令周期加 1。
- B. 选择外部时钟，SELECT 寄存器的 SUR0 位应该置 1。在该模式，TMR0 根据 EDGE0 位来决定在外部时钟的上升沿或下降沿加 1。当 TMR0 选择外部时钟时，必须注意外部时钟要与内部时钟同步。TM58PE10 通过内部时钟的 T2 和 T4 采样来同步外部时钟。如果外部脉冲小于 2 个内部时钟周期，那么脉冲可能会被忽略。也就是说，外部时钟必须至少在 2 个内部时钟周期保持稳定状态（高或低）。

WDT 计数器是一个 8 位二进制计数器，WDT 时钟源由一个芯片内部独立的不需要任何外部时钟的 RC 振荡器提供。因此，即使芯片已进入睡眠状态，WDT 仍继续工作。若 WDT 超时，将导致系统复位，并将超时标志位(STATUS 寄存器的 bit4) 清 0。WDT 超时时间会随温度、电源电压、工艺的变化而变化。WDT 超时时间可通过使用预分频器来加以延长。通过设置 SELECT 寄存器的 PS2~PS0 位为“111”，最大分频率可达 1:128。

通过设定 SELECT 寄存器的 PSA 位预分频器可分配到 TMR0 或 WDT。需注意：WDT 或 TMR0 不能同时使用预分频器。当预分频器分配到 WDT 时，“CLRWDT”与“SLEEP”指令会清除预分频器和 WDT。当预分频器分配到 TMR0 时，预分频器会被写入 TMR0 的任何指令清除。



7.2 复位

当满足下列任意一个条件时，TM58PE10都可能复位：

- (1) 上电
- (2) 低电压复位(线路保护)，参考电气特性
- (3) RESETB1/VPP/PA5/INT1或PA0/RESETB0/INT0(如果被设置成复位脚)输入负脉冲
- (4) WDT超时复位 (如果允许)

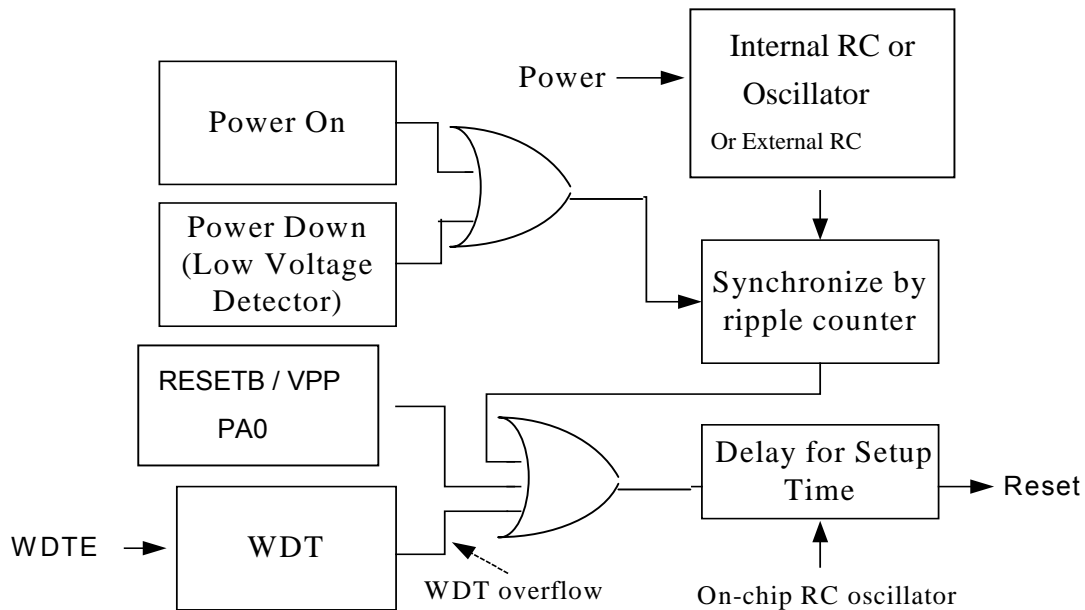


图 7-2 复位控制器

如图7-2所示，四个复位条件被列出。掉电会引起TM58PE10复位，电压范围取决于configuration word的bit6~bit5。掉电复位是在电力不足的情况下用来保护芯片的。掉电的电压范围在电气特性中有详细说明。此外，电压的范围可能随工艺和温度变化而变化。一般来说，我们称前两种情况为冷复位。冷复位的时间对于低速晶振和RC振荡器来说可能太短了，它们需要比复位时间长得多的时间（注6）。为保证系统正常，复位应与系统时钟同步。

注6：复位时间约为16ms，复位时间随电源电压、工艺、温度变化而变化。



最后两种情况称为热复位。不同的复位对寄存器和随机 RAM 的影响也是不同的。 \overline{TO} 和 \overline{PD} 位可用来确定复位类型。这几种复位的关系如图 7-3 所示。

地址	名称	冷复位	热复位
N/A	Accumulator	xxxx xxxx	pppp pppp
N/A	IODIR	1111 1111	1111 1111
N/A	Select	----11 1111	----11 1111
00H	IAR	---- ----	---- ----
01H	TMR0	xxxx xxxx	pppp pppp
02H	PC	111 1111 1111	111 1111 1111
03H	STATUS	0001 1xxx	000? ?ppp ¹
04H	BSR (一般模式下)	111x xxxx	111p pppp
04H	BSR (高级模式下)	1xxx xxxx	1ppp pppp
05H	PORTA	0000 xxxx	0000 pppp
06H	PORTB	xxxx xxxx	pppp pppp
07H~1FH	通用存储器	Xxxx xxxx	Pppp pppp
20H	PULL-Hi	0000 0000	0000 0000
21H	IRQM	0000 0000	0000 0000 ²
22H	IRQF	0000 0000	0000 0000
23H	WDTSEL	0000 0011	0000 0011
24H	TMR1 Control	0100 0000	0100 0000
25H	TMR2 Control	0100 0000	0100 0000
26H	TMR1 Preload	1111 1111	1111 1111
27H	TMR2 Preload	1111 1111	1111 1111
28H~3FH	通用存储器	Xxxx xxxx	Pppp pppp
40H	WAKE_UP	000- - -00	000- - -00
41H	仅供测试用	-000 0000	-000 0000

图 7-3 复位条件

X: 未知的; P: 原来的数值; ?: 依据不同的复位条件;
 -:未使用,读取结果为"0"



7.3 高级模式下 STATUS BIT[6:5] (页选位)

高级模式下，系统可由硬件自动更改 STATUS BIT[6:5](页选位)，也可由软件来更改。用户可以使用指令“Lcall “, “Lgoto “, “Ret “, “Retla “, “Reti “,由硬件对 OTP 的任何地址寻址。上面提到的五个指令需要两个指令周期操作，如图 7-4。

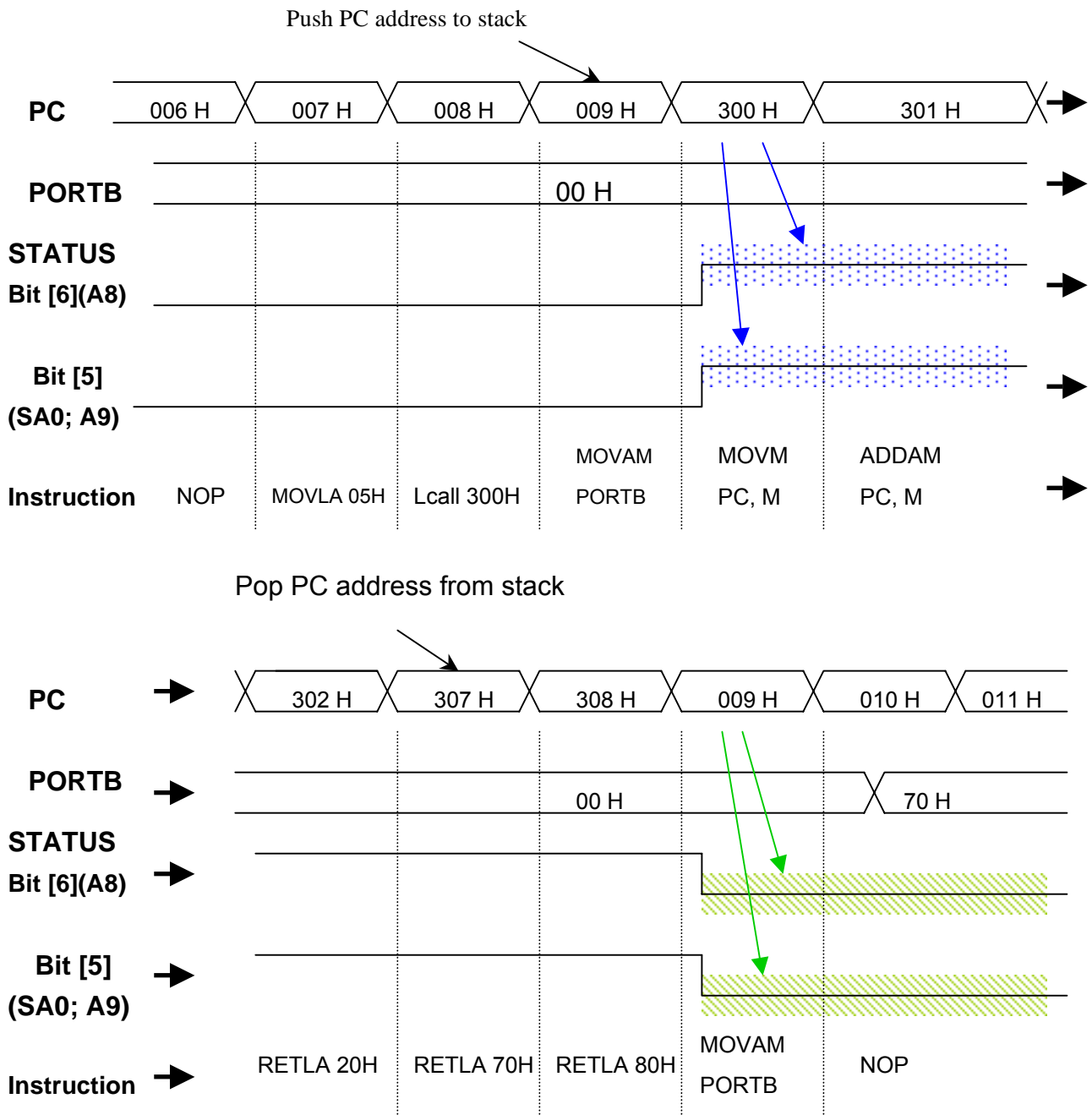


图 7-4 STATUS BIT[6:5] (页选位) 操作图



然而用户需要注意中断的发生。比如，如果 STATUS BIT[6:5]默认值=00，然后中断发生前用户通过软件写 STATUS BIT[6:5] =10。中断发生后，系统寻址到中断向量 3FEH。TM58PE10 会通过硬件自动更新页选寄存器 STATUS BIT[6:5] =11(第三页)。中断完成后，堆栈取出 PC+1 地址到系统，STATUS BIT[6:5] = 00。中断发生前所写的 STATUS bit [6:5]=10 丢失。在高级模式下写 STATUS BIT[6:5](页选位)时，需要当心中断的发生。如果用户想禁止在高级模式下的自动更新页功能，请设置 Configuration Word 位 [11]=0。在这个实例中，页选寄存器 STATUS BIT[6:5] =10 不会丢失。如图 7-5。

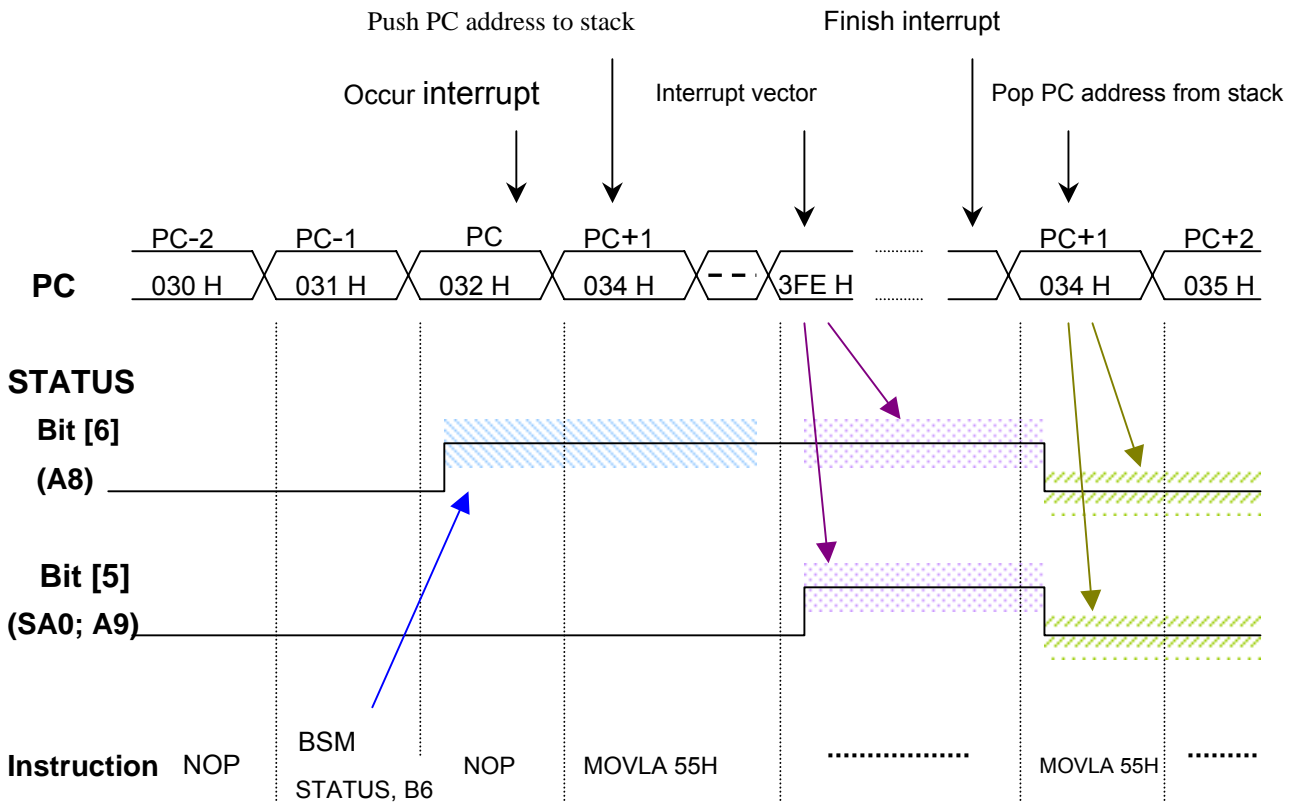


图 7-5 中断发生时 STATUS bit [6:5]的操作
当 Configuration Word 位 [11] =1 时



7.4 Timer1 与 Timer2

图 7-6-1 显示了 TMR1/TMR2 数据寄存器(计数器/重装)的方块图。读 TMR1/TMR2 时会将 TMR1/TMR2 数据寄存器的内容送入累加器中。根据数据重装模式,写 TMR1/TMR2 数据寄存器时会将累加器的内容送入 TMR1/TMR2 中。此时, 如果 TMR1/TMR2 控制寄存器的重装模式位设定为 1,TMR1/TMR2 的内容就会立即被更新。

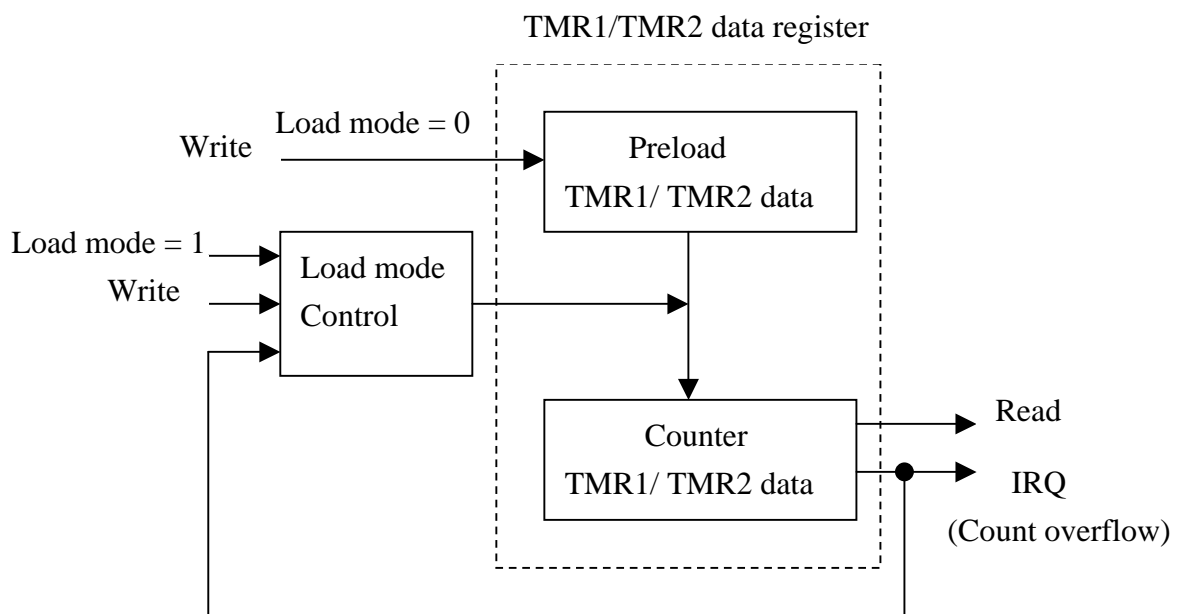


图 7-6-1 TMR1/TMR2 数据寄存器 (计数器 / 预载)



图 7-6-2 显示了 Timer1 与 Timer2 预分频器的方框图。如图所示，Timer1 与 Timer2 可以用作 8 位倒计时器，其寄存器默认值为 FFH。两个计时器也可以连接起来构成一个 16 位倒计时器，其默认值是 FFFFH。如果用户想要在中断功能使用 Timer1 和 Timer2，请不要设置计数器值=“00H”或“01H”，以避免在计时器中断时发生错误。

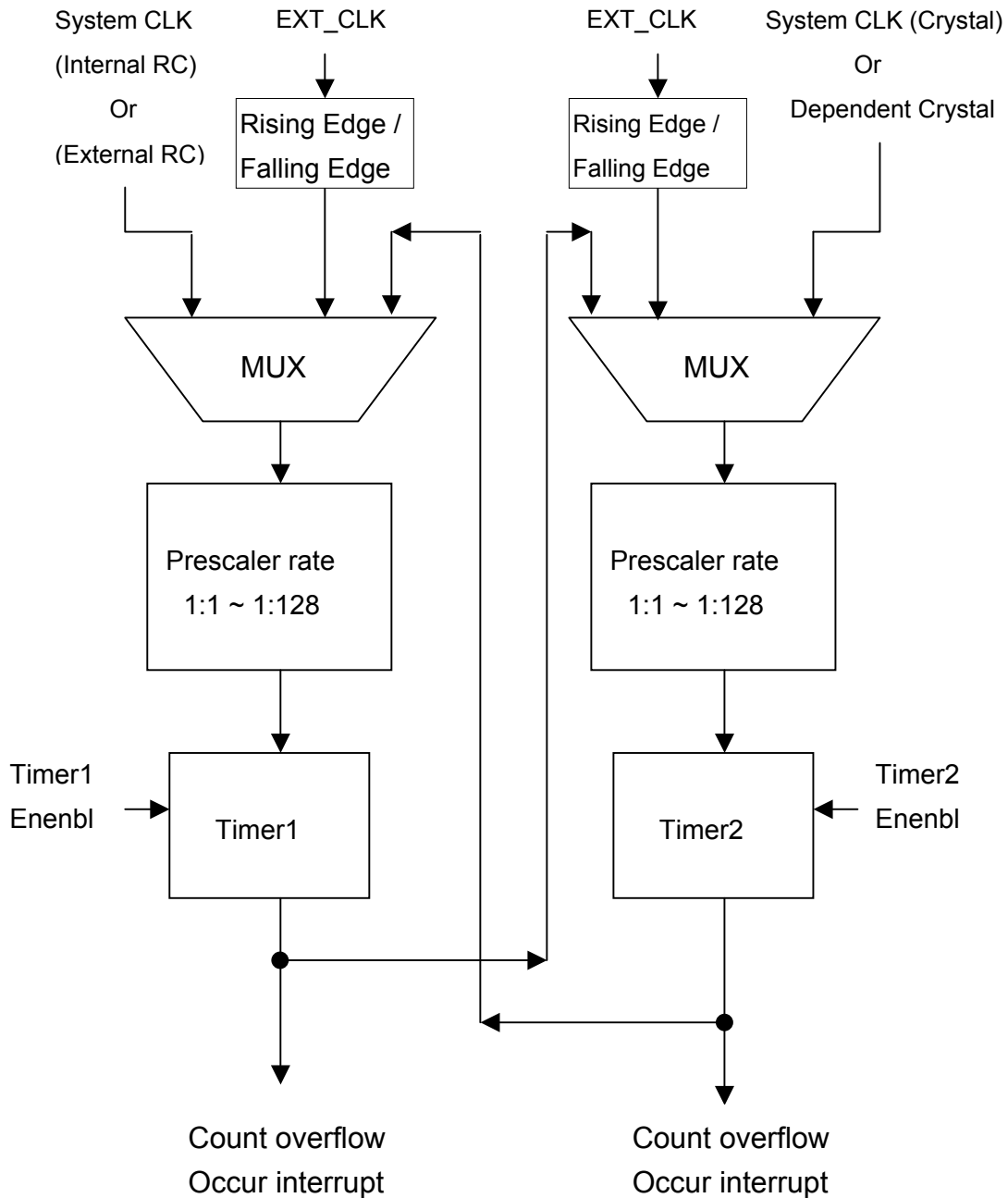


图 7-6-2 TMR1 与 TMR2 方框图



比如，用户想得到一个 16 位计数器，时钟来源为内部 RC。我们可以使 timer1 在前，timer2 在后，使 timer2 的时钟来源于 timer1 即可构成一个 16 位计数器。用户可以在 Timer1 控制寄存器中设置预分频比，timer1 信号送入 Timer2 时不再进行分频，即应将 timer2 的分频比设为 1:1。Timer1 信号将直接送入 Timer2 计数器。

TMR1 与 TMR2 的时钟信号来源于内部 RC、外部 RC 和晶振。两个定时器控制寄存器和 Configuration Word 可以使 TMR1 和 TMR2 组合为不同功能。如例 7.4.1。

例 7.4.1:用户如何设置 Configuration Word 位[10:9] 和 位[1:0] ?

(如图 7-7)

- 第一步：确定系统时钟来源于内部 RC,外部 RC 还是 Crystal。
- 第二步：确定 OSC1/OSC2 引脚做时钟引脚还是做普通 I/O 引脚。
- 第三步：确定 TIMER1 和 TIMER2 的时钟来源。
- 第四步：设定既定的 Configuration Word 的 位[10:9] 和 位[1:0]。

系统时钟	OSC1 OSC2 状态	Timer1 时钟源	Timer2 时钟源	Configuration Word				运行时钟		
				位 [10]	位 [9]	位 [1]	位 [0]	IN_RC	Crystal	EX_RC
				INRC	IOC	FOSC1	FOSC0			
IN_RC	I/O	IN_RC	----	1	1	----	----	V	----	----
IN_RC	Clock	IN_RC	Crystal	1	0	Crystal (HS, XT, LP)		V	V	----
Crystal	Clock	----	Crystal	0	0	Crystal (HS, XT, LP)		----	V	----
EX_RC	Clock	EX_RC	----	0	0	External RC		----	----	V

图 7-7 带 Configuration Word 的 TMR1 与 TMR2 集合
(V: 使用, ---: 未使用)

在图 7-7 中，TMR1 与 TMR2 时钟源显示 “----”表示也可以选择 EXT_CLK，TMR1 或 TMR2 信号(16 位计时器)。位[10:9]=10：系统时钟为内部 RC，TMR2 时钟来源为晶振，两种时钟可以同时工作。TMR1 和 TMR2 控制寄存器如图 6-13 和 6-14。



7.5 Configuration Word, Timer1,Timer2 程序范例

例 1 : Timer1 工作图示

Timer1 时钟来源为 EXT_CLK.

Timer1_con EQU 24H

Timer1_pre EQU 26H

MOVLA 59H

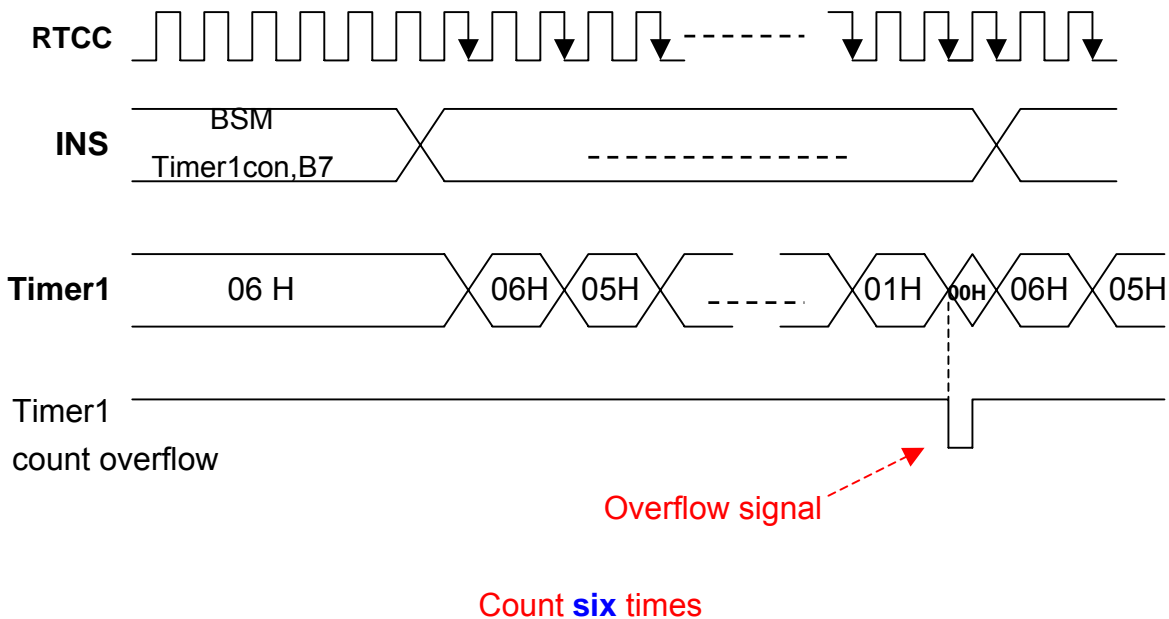
MOVAM Timer1_con ; Timer1 source from EXT_CLK (H -> L transtion)
; Prescaler rate 1:2

MOVLA 06H

MOVAM Timer1_pre ; In Timer1_con load data mode=1
; Timer1 count value = 06H
; Total count N times occur overflow = 6 times

BSM Timer1_con,b7 ;

⋮





例 2:双时钟应用

设定 Configuration Word 位[10:9]= 10

系统时钟为内部 RC.

Timer1 时钟来源为内部 RC.

Timer2 时钟来源为 Crystal.

Timer1_con EQU 24H

Timer2_con EQU 25H

Timer1_pre EQU 26H

Timer2_pre EQU 27H

MOVLA 40H

MOVAM Timer1_con ; Timer1 source from Internal RC set prescaler rate 1:1

MOVLA 01H

MOVAM Timer2_con ; Timer2 source from Crystal and prescaler rate 1:2

MOVLA 77H ;

MOVAM Timer1_pre ; In Timer1_con set load data mode=1
;Timer1 count value=77H

MOVLA 50H

MOVAM Timer2_pre ; In Timer2_con load data mode=0
; Timer2 count value = FFH (default value)
; Waiting "FFH" count overflow then load "50H" to Timer2

BSM Timer2_con,b7 ; Timer2 countdown enable

BSM Timer1_con,b7 ; Timer1 countdown enable



例 3:

设定 Configuration Word 位[10:9]= 11

系统时钟为内部 RC, OSC1/OSC2 为 I/O 引脚.

Timer1 时钟来源为内部 RC.

Timer2 时钟来源为 timer1, timer1 和 timer2 构成 16 位定时器.

Timer1_con EQU 24H

Timer2_con EQU 25H

Timer1_pre EQU 26H

Timer2_pre EQU 27H

MOVLA 42H

MOVAM Timer1_con ; Timer1 source from internal RC and prescaler rate 1:4

MOVLA 60H

MOVAM Timer2_con ; Timer2 source from timer1 and only can set prescaler rate 1:1
; connect to be 16 bit x1 timer

MOVLA 77H

MOVAM Timer1_pre ; In Timer1_con set load data mode=1

MOVLA 50H ; In Timer1_con set load data mode=1

MOVAM Timer2_pre ; 16 bit x 1 timer value = 5077 H

BSM Timer1_con,b7 ; Timer1 countdown enable (first order countdown first)

BSM Timer2_con,b7 ; Timer2 countdown enable (second order countdown later)



例 4:

设定 Configuration Word 位[10:9]= 10

系统时钟为 crystal.

Timer2 时钟来源为 crystal.

Timer1 时钟来源为 timer2,timer1 和 \timer2 构成 16 位定时器.

Timer1_con EQU 24H

Timer2_con EQU 25H

Timer1_pre EQU 26H

Timer2_pre EQU 27H

MOVLA 60H

MOVAM Timer1_con ; Timer1 source from Timer2 and only can set prescaler rate 1:1

MOVLA 41H

MOVAM Timer2_con ; Timer2 source from Crystal and prescaler rate 1:2

MOVLA 50H

MOVAM Timer2_pre ;

MOVLA 77H

MOVAM Timer1_pre ; Timer1 count value = 7750 H

BSM Timer2_con,b7 ; Timer2 countdown enable (first order countdown first)

BSM Timer1_con,b7 ; Timer1 countdown enable (second order countdown later)



例 5:

设定 Configuration Word 位[10:9]= 00

系统时钟为 crystal.

Timer1 时钟来源为 EXT_CLK.

Timer2 时钟来源为 crystal.

Timer1_con EQU 24H

Timer2_con EQU 25H

Timer1_pre EQU 26H

Timer2_pre EQU 27H

MOVLA 58H

MOVAM Timer1_con ; Timer1 source from EXT_CLK (H -> L transtion)
; Prescaler rate 1:1

MOVLA 40H

MOVAM Timer2_con ; Timer2 source from Crystal
; Prescaler rate 1:1

MOVLA 77H

MOVAM Timer1_pre ; In Timer1_con load data mode=1
; Timer1 count value = 77H

MOVLA 50H

MOVAM Timer2_pre ; In Timer2_con load data mode=1
; Timer2 count value = 50H

BSM Timer2_con,b7 ;

BSM Timer1_con,b7 ;



8. 指令集

Mnemonic Operands	Instruction Code (Advance)	Cycles	Status Affected	OP-code
ADDAM M, m	(M)+(acc) → (M)	1	C, DC, Z	10 0101 1MMM MMMM
ADDAM M, a	(M)+(acc) → (acc)	1	C, DC, Z	10 0101 0MMM MMMM
ANDAM M, m	(M) · (acc) → (M)	1	Z	10 0100 1MMM MMMM
ANDAM M, a	(M) · (acc) → (acc)	1	Z	10 0100 0MMM MMMM
ANDLA I	Literal · (acc) → (acc)	1	Z	11 1001 i
BCM M, b0	Clear bit0 of (M)	1	None	00 1100 0MMM MMMM
BCM M, b1	Clear bit1 of (M)	1	None	00 1100 1MMM MMMM
BCM M, b2	Clear bit2 of (M)	1	None	00 1101 0MMM MMMM
BCM M, b3	Clear bit3 of (M)	1	None	00 1101 1MMM MMMM
BCM M, b4	Clear bit4 of (M)	1	None	00 1110 0MMM MMMM
BCM M, b5	Clear bit5 of (M)	1	None	00 1110 1MMM MMMM
BCM M, b6	Clear bit6 of (M)	1	None	00 1111 0MMM MMMM
BCM M, b7	Clear bit7 of (M)	1	None	00 1111 1MMM MMMM
BSM M, b0	Set bit0 of (M)	1	None	00 1000 0MMM MMMM
BSM M, b1	Set bit1 of (M)	1	None	00 1000 1MMM MMMM
BSM M, b2	Set bit2 of (M)	1	None	00 1001 0MMM MMMM
BSM M, b3	Set bit3 of (M)	1	None	00 1001 1MMM MMMM
BSM M, b4	Set bit4 of (M)	1	None	00 1010 0MMM MMMM
BSM M, b5	Set bit5 of (M)	1	None	00 1010 1MMM MMMM
BSM M, b6	Set bit6 of (M)	1	None	00 1011 0MMM MMMM
BSM M, b7	Set bit7 of (M)	1	None	00 1011 1MMM MMMM
BTMSC M, b0	If bit0 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 0MMM MMMM
BTMSC M, b1	If bit1 of (M) = 0, skip next instruction	1 + (skip)	None	00 0100 1MMM MMMM
BTMSC M, b2	If bit2 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 0MMM MMMM
BTMSC M, b3	If bit3 of (M) = 0, skip next instruction	1 + (skip)	None	00 0101 1MMM MMMM
BTMSC M, b4	If bit4 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 0MMM MMMM



BTMSC M, b5	If bit5 of (M) = 0, skip next instruction	1 + (skip)	None	00 0110 1MMM MMMM
BTMSC M, b6	If bit6 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 0MMM MMMM
BTMSC M, b7	If bit7 of (M) = 0, skip next instruction	1 + (skip)	None	00 0111 1MMM MMMM
BTMSS M, b0	If bit0 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 0MMM MMMM
BTMSS M, b1	If bit1 of (M) = 1, skip next instruction	1 + (skip)	None	00 0000 1MMM MMMM
BTMSS M, b2	If bit2 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 0MMM MMMM
BTMSS M, b3	If bit3 of (M) = 1, skip next instruction	1 + (skip)	None	00 0001 1MMM MMMM
BTMSS M, b4	If bit4 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 0MMM MMMM
BTMSS M, b5	If bit5 of (M) = 1, skip next instruction	1 + (skip)	None	00 0010 1MMM MMMM
BTMSS M, b6	If bit6 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 0MMM MMMM
BTMSS M, b7	If bit7 of (M) = 1, skip next instruction	1 + (skip)	None	00 0011 1MMM MMMM
CALL I	Call subroutine	2	None	11 0110 I I I I I I I I
CLRA	Clear accumulator	1	Z	10 0001 0000 0000
CLRM M	Clear memory M	1	Z	10 0001 1MMM MMMM
CLRWDT	Clear watch-dog register	1	$\overline{TO}, \overline{PD}$	10 0000 0000 0001
COMM M, m	$\sim(M) \rightarrow (M)$	1	Z	10 0010 1MMM MMMM
COMM M, a	$\sim(M) \rightarrow (\text{acc})$	1	Z	10 0010 0MMM MMMM
DECM M, m	Decrement M to M	1	Z	10 0110 1MMM MMMM
DECM M, a	$(M) - 1 \rightarrow (\text{acc})$	1	Z	10 0110 0MMM MMMM
DECMSZ M, m	$(M) - 1 \rightarrow (M)$, skip if (M) = 0	1 + (skip)	None	10 0111 1MMM MMMM
DECMSZ M, a	$(M) - 1 \rightarrow (\text{acc})$, skip if (M) = 0	1 + (skip)	None	10 0111 0MMM MMMM
GOTO I	Goto branch	2	None	11 101I I I I I I I I I
INCM M, m	$(M) + 1 \rightarrow (M)$	1	Z	10 1000 1MMM MMMM
INCM M, a	$(M) + 1 \rightarrow (\text{acc})$	1	Z	10 1000 0MMM MMMM



INCMSZ M, m	$(M) + 1 \rightarrow (M)$, skip if $(M) = 0$	1 + (skip)	None	10 1001 1MMM MMMM
INCMSZ M, a	$(M) + 1 \rightarrow (\text{acc})$, skip if $(M) = 0$	1 + (skip)	None	10 1001 0MMM MMMM
IODIR M	Set i/o direction	1	None	10 0000 0000 0MMM
IORAM M, m	(M) ior (acc) $\rightarrow (M)$	1	Z	10 1111 1MMM MMMM
IORAM M, a	(M) ior (acc) $\rightarrow (\text{acc})$	1	Z	10 1111 0MMM MMMM
IORLA I	Literal ior (acc) $\rightarrow (\text{acc})$	1	Z	11 0011
LCALL I	Call subroutine. However, LCALL can addressing 2K address	2	None	01 0
LGOTO I	Go branch to any address	2	None	01 1
MOVAM m	Move data form acc to memory	1	None	10 0000 1MMM MMMM
MOVLA I	Move literal to accumulator	1	None	11 0001
MOVAM M, m	$(M) \rightarrow (M)$	1	Z	10 0011 1MMM MMMM
MOVAM M, a	$(M) \rightarrow (\text{acc})$	1	Z	10 0011 0MMM MMMM
NOP	No operation	1	None	10 0000 0000 0000
RET	Return	2	None	11 1111 0111 1111
RETI	Return and enable INTM	2	None	11 1111 1111 1111
RETLA I	Return and move literal to accumulator	2	None	11 1100
RLM M, m	Rotate left from m to itself	1	C	10 1100 1MMM MMMM
RLM M, a	Rotate left from m to acc	1	C	10 1100 0MMM MMMM
RRM M, m	Rotate right from m to itself	1	C	10 1110 1MMM MMMM
RRM M, a	Rotate right from m to acc	1	C	10 1110 0MMM MMMM
SELECT	Set select register	1	None	10 0000 0000 0010
SLEEP	Enter sleep (saving) mode	1	$\overline{TO}, \overline{PD}$	10 0000 0000 0011
SUBAM M, m	$(M) - (\text{acc}) \rightarrow (M)$	1	C, DC, Z	10 1010 1MMM MMMM
SUBAM M, a	$(M) - (\text{acc}) \rightarrow (\text{acc})$	1	C, DC, Z	10 1010 0MMM MMMM



SWAPM M, m	Swap data from m to itself	1	None	10 1101 1MMM MMMM
SWAPM M, a	Swap data from m to acc	1	None	10 1101 0MMM MMMM
XORAM M, m	(M) xor (acc) → (M)	1	Z	10 1011 1MMM MMMM
XORAM M, a	(M) xor (acc) → (acc)	1	Z	10 1011 0MMM MMMM
XORLA I	Literal xor (acc) → (acc)	1	Z	11 1000 I I I I I I I I



9. 电气特性

9.1 绝对最大额定值

电流电压 $V_{SS}-0.3V$ to $V_{SS}+5.5V$ 存储温度 -50 to 125

输入电压 $V_{SS}-0.3V$ to $V_{DD}+0.3V$ 工作温度 0 to 70

9.2 直流电特性

Symbol	Parameter	Test Conditions		Min.	Typ.	Max.	Unit
		VDD	Conditions				
VDD	Operating Voltage	---		2.2		5.5	V
V_{DVT}	Detect Voltage	5V	Low Voltage Detector ($I_{DD} = 3\mu A$) Config bit6.bit5=00		4		V
		3V	Low Voltage Detector ($I_{DD} = 1.5\mu A$) Config bit6.bit5=10		2.3		V
V_{IH}	Input High Voltage	5V	I/O Port	2		VDD	V
V_{IL}	Input Low Voltage	5V	I/O Port			0.8	V
I_{DD1}	Standby Current	5V	LVD disable, WDT disable		1		uA
			LVD disable, WDT enable		10		
I_{IL}	Input Leakage Current	5V	$V_{in}=V_{DD}, V_{SS}$		1		uA
I_{OH}	I/O Port Driving Current	5V	$V_{oh}=4.5V$		9		mA
			$V_{oh}=4V$		17		
			$V_{oh}=3.5V$		23		
		3V	$V_{oh}=2.5V$		6.5		
			$V_{oh}=2V$		10		
I_{OL}	I/O Port Sink Current	5V	$V_{ol}=0.5V$		20		mA
			$V_{ol}=0.1V$		35		
			$V_{ol}=1.5V$		50		
		3V	$V_{ol}=0.5V$		10		
			$V_{ol}=0.1V$		20		
			$V_{ol}=1.5V$		25		
R_{PUHI}	Pull_Hi Pin Resister	5V	Set PortB input pin and Pull_Hi		60		kΩ
		3V	Set PortB input pin and Pull_Hi		150		

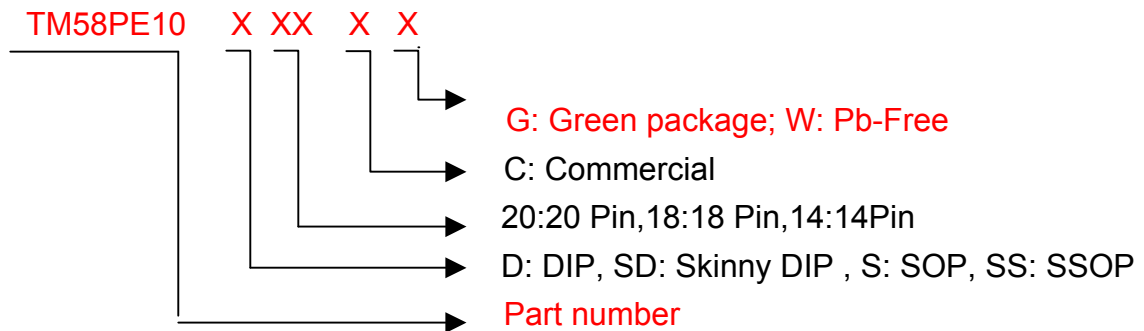


9.3 交流电特性

Symbol	Parameter	Test Conditions		Min	Typ.	Max	Unit
		VDD	Conditions				
f _{sys1}	System Clock	5V	LP Crystal mode	32		200	Khz
		3V		32		200	
f _{sys2}	System Clock	5V	NT Crystal mode	0.2		10	Mhz
		3V		0.2		10	
f _{sys3}	System Clock	5V	HS	10		20	Mhz
		3V	Crystal mode				
f _{sys4}	System Clock	5V	RC mode			10	Mhz
		3V					
T _{wdt}	Watchdog Timer	5V	(Default value)		16		mS
		3V		20			
T _{rht}	Reset Hold Time	5V	(Default value)		16		mS
		3V		20			

9.4 封装信息

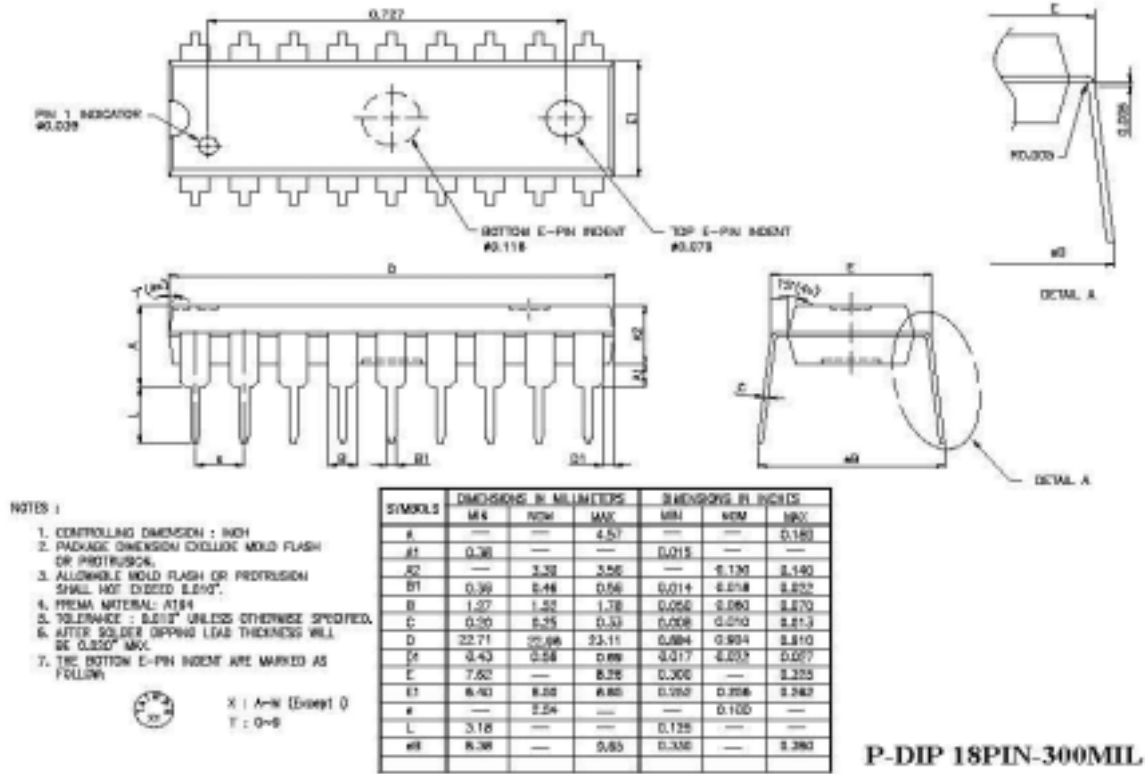
9.4.1 型号描述



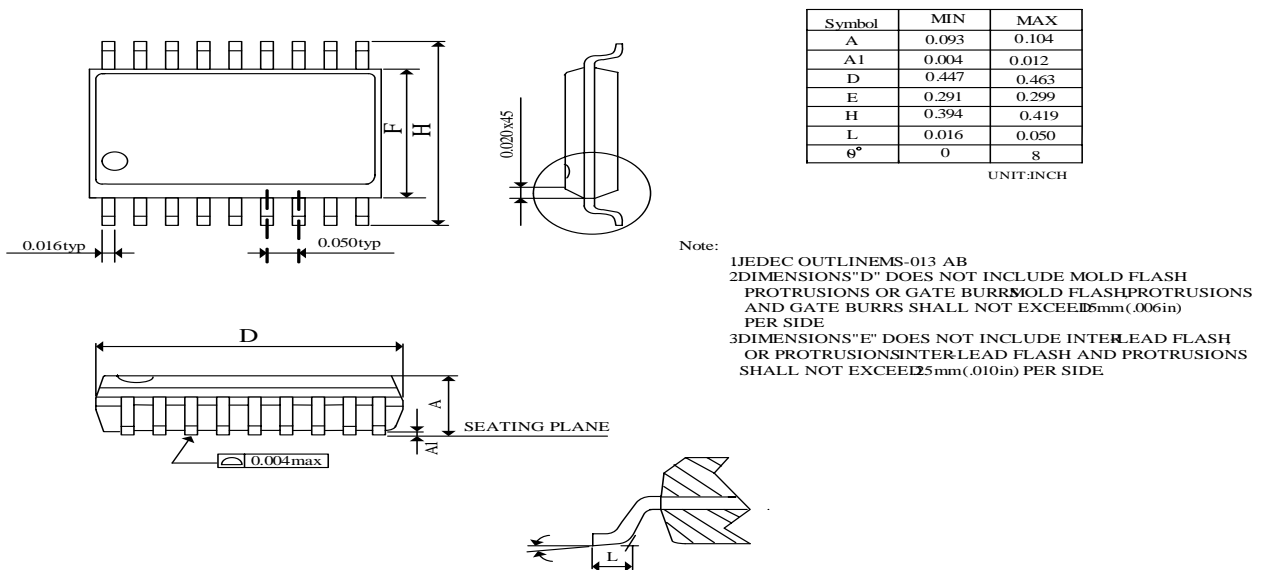


9.4.2 封装方式

(1) 18 Pin DIP (300 mil)

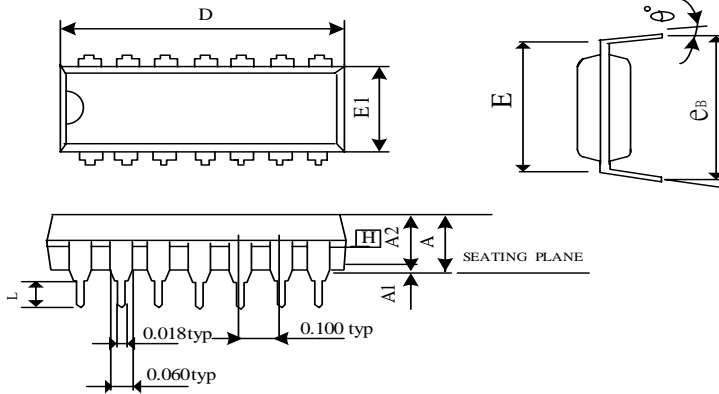


(2) 18 Pin SOP (300 mil)





(3) 14 Pin DIP (300 mil)



SYMBOLS	MIN	NOR	MAX
A	—	—	0.210
A1	0.015	—	—
A2	0.125	0.130	0.135
D	0.735	0.750	0.775
E	0.300 BSC		
E1	0.245	0.250	0.255
L	0.115	0.130	0.150
eB	0.335	0.355	0.375
θ	0	7	15

UNIT : INCH

NOTES

1. JEDEC OUTLINE MS-001 AA

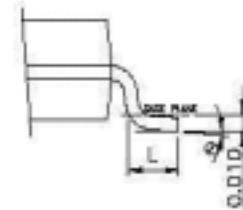
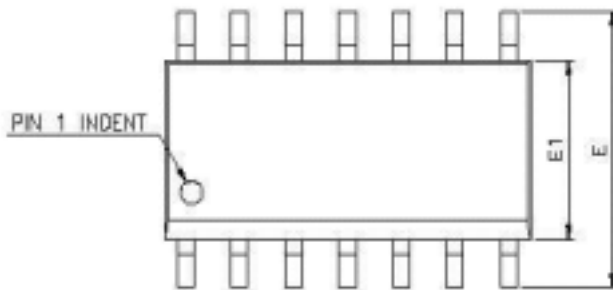
3. eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED

4. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION

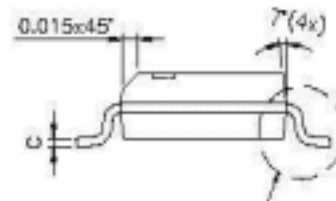
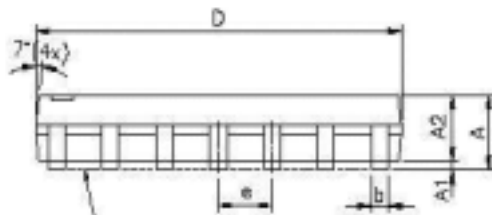
5. DISTANCE BETWEEN LEADS INCLUDING DAM BAR PROTRUSIONS TO BE .005 INCH MINIMUM

6. DATUM PLANE H COINCIDENT WITH THE BOTTOM OF LEAD WHERE LEAD EXITS BODY.

(4) 14 Pin SOP (150 mil)



DETAIL A



DETAIL A

NOTE :

1. CONTROLLING DIMENSION : INCH
2. LEAD FRAME MATERIAL : COPPER 154
3. DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, TIE BAR BURRS AND GATE BURRS. MOLD FLASH, TIE BAR BURRS AND GATE BURRS SHALL NOT EXCEED 0.008(0.13mm) PER END. DIMENSION "E1" DOES NOT INCLUDE INTERLEAD FLASH. INTERLEAD FLASH SHALL NOT EXCEED 0.010(0.25mm) PER SIDE.
4. DIMENSION "b" DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.003(0.08mm) TOTAL IN EXCESS OF THE "b" DIMENSION AT ANYIMUM INTERNAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.0020(0.07mm)
5. TOLERANCE : ±0.010(0.25mm) UNLESS OTHERWISE SPECIFIED.
6. OTHERWISE DIMENSION FOLLOW ACCEPTABLE SPEC.
7. REFERENCE DOCUMENT : JEDEC SPEC MS-012

SYMBOLS	DIMENSIONS IN MILLIMETERS			DIMENSIONS IN INCHES		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.47	1.60	1.73	0.058	0.063	0.068
A1	0.10	—	0.25	0.004	—	0.010
A2	—	1.45	—	—	0.057	—
b	0.33	0.41	0.51	0.013	0.016	0.020
C	0.18	0.20	0.25	0.0075	0.008	0.0099
D	8.53	8.89	8.74	0.336	0.340	0.344
E	9.78	9.99	10.20	0.288	0.235	0.244
E1	3.81	3.81	3.98	0.150	0.154	0.157
e	—	1.27	—	—	0.050	—
L	0.38	0.71	1.27	0.015	0.028	0.050
y	—	—	0.078	—	—	0.003
φ	φ	—	φ	φ	—	φ

SOP-14PIN-150MIL



(5) 20 Pin SSOP (209 mil)

