

第 2 章 DSP 芯片的基本结构和特征

2.1 引言

可编程 DSP 芯片是一种具有特殊结构的微处理器，为了达到快速进行数字信号处理的目的，DSP 芯片一般都具有程序和数据分开的总线结构、流水线操作功能、单周期完成乘法的硬件乘法器以及一套适合数字信号处理的指令集。本章将首先介绍 DSP 芯片的基本结构，然后介绍 TI 公司的各种 DSP 芯片的特征，最后简要介绍其他公司的 DSP 芯片的特点。

2.2 DSP 芯片的基本结构

为了快速地实现数字信号处理运算，DSP 芯片一般都采用特殊的软硬件结构。下面以 TMS320 系列为例介绍 DSP 芯片的基本结构。

TMS320 系列 DSP 芯片的基本结构包括：(1) 哈佛结构；(2) 流水线操作；(3) 专用的硬件乘法器；(4) 特殊的 DSP 指令；(5) 快速的指令周期。

这些特点使得 TMS320 系列 DSP 芯片可以实现快速的 DSP 运算，并使大部分运算（例如乘法）能够在—个指令周期内完成。由于 TMS320 系列 DSP 芯片是软件可编程器件，因此具有通用微处理器具有的方便灵活的特点。下面分别介绍这些特点是如何在 TMS320 系列 DSP 芯片中应用并使得芯片的功能得到加强的。

2.2.1 哈佛结构

哈佛结构是不同于传统的冯·诺曼（Von Neuman）结构的并行体系结构，其主要特点是将程序和数据存储在不同的存储空间中，即程序存储器和数据存储器是两个相互独立的存储器，每个存储器独立编址，独立访问。与两个存储器相对应的是系统中设置了程序总线—和数据总线两条总线，从而使数据的吞吐率提高了一倍。而冯·诺曼结构则是将指令、数据、地址存储在同一存储器中，统一编址，依靠指令计数器提供的地址来区分是指令、数据还是地址。取指令和取数据都访问同一存储器，数据吞吐率低。

在哈佛结构中，由于程序和数据存储器在两个分开的空间中，因此取指和执行能完全重叠运行。为了进一步提高运行速度和灵活性，TMS320 系列 DSP 芯片在基本哈佛结构的基础上作了改进，—是允许数据存放在程序存储器中，并被算术运算指令直接使用，增强了芯片的灵活性；—是指令存储在高速缓冲器（Cache）中，当执行此指令时，不需要再从存储器中读取指令，节约了一个指令周期的时间。如 TMS320C30 具有 64 个字的 Cache。

2.2.2 流水线

与哈佛结构相关，DSP 芯片广泛采用流水线以减少指令执行时间，从而增强了处理器的处理能力。TMS320 系列处理器的流水线深度从 2~6 级不等。第一代 TMS320 处理器采用

二级流水线，第二代采用三级流水线，而第三代则采用四级流水线。也就是说，处理器可以并行处理 2~6 条指令，每条指令处于流水线上的不同阶段。图 2.1 所示为一个三级流水线操作的例子。

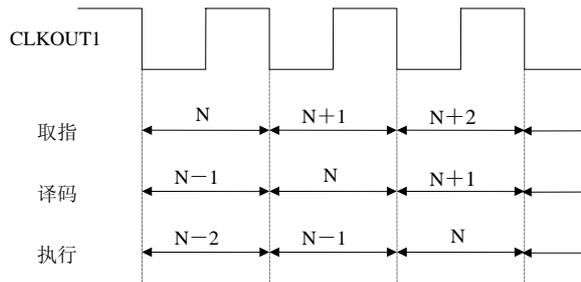


图2.1 三级流水线操作

在三级流水线操作中，取指、译码和执行操作可以独立地处理，这可使指令执行能完全重叠。在每个指令周期内，三个不同的指令处于激活状态，每个指令处于不同的阶段。例如，在第 N 个指令取指时，前一个指令即第 N-1 个指令正在译码，而第 N-2 个指令则正在执行。一般来说，流水线对用户是透明的。

2.2.3 专用的硬件乘法器

在一般形式的 FIR 滤波器中，乘法是 DSP 的重要组成部分。对每个滤波器抽头，必须做一次乘法和一次加法。乘法速度越快，DSP 处理器的性能就越高。在通用的微处理器中，乘法指令是由一系列加法来实现的，故需许多个指令周期来完成。相比而言，DSP 芯片的特征就是有一个专用的硬件乘法器。在 TMS320 系列中，由于具有专用的硬件乘法器，乘法可在一个指令周期内完成。从最早的 TMS32010 实现 FIR 的每个抽头算法可以看出，滤波器每个抽头需要一条乘法指令 MPY：

- LT ; 装乘数到 T 寄存器
- DMOV ; 在存储器中移动数据以实现延迟
- MPY ; 相乘
- APAC ; 将乘法结果加到 ACC 中

其他三条指令用来将乘数装入到乘法器电路（LT），移动数据（DMOV）以及将乘法结果（存在乘积寄存器 P 中）加到 ACC 中（APAC）。因此，若采用 256 抽头的 FIR 滤波器，这四条指令必须重复执行 256 次，且 256 次乘法必须在一个抽样间隔内完成。在典型的通用微处理器中，每个抽头需要 30~40 个指令周期，而 TMS32010 只需 4 条指令。如果采用特殊的 DSP 指令或采用 TMS320C54X 等新一代的 DSP 芯片，可进一步降低 FIR 抽头的计算时间。

2.2.4 特殊的 DSP 指令

DSP 芯片的另一个特征是采用特殊的指令。2.2.3 节中介绍的 DMOV 就是一个特殊的 DSP 指令，它完成数据移位功能。在数字信号处理中，延迟操作非常重要，这个延迟就是由 DMOV 来实现的。TMS32010 中的另一个特殊指令是 LTD，它在一个指令周期内完成 LT、

DMOV 和 APAC 三条指令。LTD 和 MPY 指令可以将 FIR 滤波器抽头计算从 4 条指令降为 2 条指令。在第二代处理器中,如 TMS320C25,增加了 2 条更特殊的指令,即 RPT 和 MACD 指令,采用这 2 条特殊指令,可以进一步将每个抽头的运算指令数从 2 条降为 1 条:

RPTK 255 ; 重复执行下条指令 256 次
MACD ; LT, DMOV, MPY 及 APAC

2.2.5 快速的指令周期

哈佛结构、流水线操作、专用的硬件乘法器、特殊的 DSP 指令再加上集成电路的优化设计,可使 DSP 芯片的指令周期在 200ns 以下。TMS320 系列处理器的指令周期已经从第一代的 200ns 降低至现在的 20ns 以下。快速的指令周期使得 DSP 芯片能够实时实现许多 DSP 应用。

2.3 TI 定点 DSP 芯片

自 1982 年 TI 推出第一个定点 DSP 芯片 TMS32010 以来, TI 的定点 DSP 芯片已经经历了 TMS320C1X、TMS320C2X/C2XX、TMS320C5X、TMS320C54X、TMS320C62X 等几代产品,产品的性能价格比不断提高,应用越来越广泛。下面分别介绍这些芯片的主要特征。

2.3.1 TMS320C1X

2.3.1.1 基本特点

第一代 TMS320 系列 DSP 芯片包括: TMS32010、TMS32011、TMS320C10、TMS320C15/E15 和 TMS320C17/E17。其中, TMS32010 和 TMS32011 采用 2.4 μ m 的 NMOS 工艺,而其他几种则采用 1.8 μ m CMOS 工艺。这些芯片的典型工作频率为 20MHz。TMS320 第一代 DSP 芯片的主要特点如下:

- 指令周期: 160ns/200ns/280ns
- 片内 RAM: 144 字/256 字 (TMS320C15/E15/C17/E17)
- 片内 ROM: 1.5K 字/4K 字 (TMS320C15/C17)
- 4K 字片内程序 EPROM (TMS320E15/E17)
- 4K 字外部全速存储器扩展
- 并行乘法器: 乘积为 32 位
- 桶形移位器: 将数据从存储器移到 ALU
- 并行移位器
- 允许文本交换的 4 \times 12 位堆栈
- 两个间接寻址的辅助寄存器
- 双通道串行口 (TMS32011, TMS320C17/E17)
- 片内压扩硬件 (TMS32011, TMS320C17/E17)
- 协处理器接口 (TMS320C17/E17)
- 器件封装: 40 脚双列直插 (DIP) /44 脚塑封 (PLCC)

2.3.1.2 TMS320C10

TMS320 DSP 芯片的第一代产品是基于 TMS32010 和它的 CMOS 版本 TMS320C10 的结构。TMS32010 于 1982 年推出,是第一个能够达到 5 个 MIPS 的微处理器。

TMS32010 采用改进的哈佛结构,即程序和数据空间相互独立。程序存储器可在片内(1.5K 字)或片外(4K 字)。片内数据 RAM 为 144 字。有四个基本的算术单元:算术逻辑单元(ALU)、累加器(ACC)、乘法器和移位器。

(1) ALU: 32 位数据操作的通用算术逻辑单元。ALU 可进行加、减和逻辑运算;

(2) ACC: 累加器存储 ALU 的输出,也是 ALU 的一个输入。它采用 32 位字长操作,分高 16 位和低 16 位两部分。处理器提供高 16 位和低 16 位的专门指令: SACH(高 16 位)和 SACL(低 16 位);

(3) 乘法器: 16×16 位并行乘法器由三个单元组成: T 寄存器、P 寄存器和乘法器阵列。T 寄存器存储被乘数, P 寄存器存储 32 位乘积。为了使用乘法器,被乘数首先必须从数据 RAM 中装入到 T 寄存器,可用 LT、LTA 和 LTD 指令。然后执行 MPY(乘)或 MPYK(乘立即数)指令。乘和累加器操作可用 LTA、LTD 和 MPY、MPYK 指令在两个指令周期内完成;

(4) 移位器: 有两个移位器可用于数据移位。一个是桶形移位器,另一个是并行移位器。桶形移位器又称定标移位器。当数据存储器的数据送入累加器或与累加器中的数据进行运算时,先通过这个移位器进行 0~16 位左移,然后再进行运算。并行移位器即输出移位器,其作用是将累加器中的数据左移 0、1 或 4 位后再送入数据存储器中,以实现小数运算或小数乘积的调整。

在 TMS32010/C10 基础上又派生了多个处理器,它们可提供不同的处理器速度、存储器扩展和各种 I/O 集成。

2.3.1.3 TMS320C1X 的其他芯片

1. TMS320C15/E15

TMS320C15/E15 与 TMS32010 的代码和管脚全兼容,提供 256 字的片内 RAM 和 4K 字的片内 ROM(C15)或 EPROM(E15)。TMS320C15 的指令周期有 200ns 和 160ns(TMS320C15-25)两种。

2. TMS320C17/E17

TMS320C17/E17 是一个专用的微处理器。它有 4K 字的片内程序 ROM(C17)或 EPROM(E17),一个全双工串行通信的双通道串行口,片内硬件压扩器(μ 律/A 律),一个用于串行通信的串行口定时器,及一个协处理器接口。协处理器接口可以在处理器和 4/8/16 位微处理器之间提供直接接口。TMS320C17/E17 与 TMS32010 目标代码兼容,且可用相同的开发工具。该处理器是基于 TMS320C10 的 CPU 内核,外加片内的外设存储器和 I/O 模块。TMS320C17/E17 可认为是半定制的 DSP 芯片。表 2.1 是 TMS320 第一代产品的比较表。

表2.1 TMS320第一代处理器

DSP 芯片	指令周期 (ns)	制造工艺	片内程序 ROM (字)	片内程序 EPROM (字)	片内数据 RAM (字)	片外程序(字)
TMS32010	200	NMOS	1.5K		144	4K
TMS32010-25	160	NMOS	1.5K		144	4K
TMS32010-14	280	NMOS	1.5K		144	4K
TMS32011	200	NMOS	1.5K		144	
TMS320C10	200	CMOS	1.5K		144	4K
TMS320C10-25	160	CMOS	1.5K		144	4K
TMS320C15	200	CMOS	4K		256	4K
TMS320C15-25	160	CMOS	4K		256	4K
TMS320E15	200	CMOS		4K	256	4K
TMS320C17	200	CMOS	4K		256	
TMS320C17-25	160	CMOS	4K		256	
TMS320E17	200	CMOS		4K	256	

2.3.2 TMS320C2X

第二代 TMS320 DSP 芯片包括 TMS32020、TMS320C25/E25、TMS320C26 及 TMS320C28。在这些芯片中，TMS32020 是一个过渡的产品，其指令周期为 200ns，与 TMS32010 相当，而其硬件结构则与 TMS320C25 一致。在第二代 DSP 芯片中，TMS320C25 是一个典型的代表，其他芯片都是由 TMS320C25 派生出来的。其中 TMS320E25 将内部 4K 字的 ROM 改为 EPROM；TMS320C26 去掉了内部的 4K 字 ROM，而将片内 RAM 增加到 1.5K 字；TMS320C28 则将内部 ROM 增加到 8K 字。由于 TMS320C25 的典型性，下面就讨论 TMS320C25 的基本特征和结构。

2.3.2.1 TMS320C25的基本特征

- 指令周期： TMS320C25： 100ns， TMS320C25-33： 120ns， TMS320C25-50： 80ns
- 片内掩膜 ROM： 4K 字
- 片内 RAM： 544 字，分 B0、B1 和 B2 三块
- 程序和数据空间均为 64K 字
- 具有 8 级硬件堆栈、8 个辅助寄存器
- 具有全静态双缓冲串行口，可与许多串行器件直接接口
- 与低速片外存储器通信的等待状态插入
- 采用 HOLD 操作的 DMA
- FFT 变换用的比特反转寻址
- 扩展精度算术和自适应滤波支持
- 从外部存储器全速执行的 MAC/MACD 指令
- 具有在多处理器之间进行同步的能力，支持多处理器共享存储器

- 1.8 μ m CMOS 工艺, 68 脚 PGA 或 PLCC 封装

2.3.2.2 TMS320C25的结构

TMS320C25 是第二代 TMS320 中与 TMS32020 管脚全兼容的 CMOS 版本, 但指令执行速度是 TMS32020 的 2 倍, 且增加了硬件和软件资源。指令集是 TMS32010 和 TMS32020 的超集, 在源代码级与它们兼容。此外, 在代码级与 TMS32020 兼容, 因此, TMS32020 的程序可不用修改直接在 TMS320C25 上运行。

100ns 的指令周期可提供较强的运算能力。由于大部分指令在一个指令周期内执行, 处理器在 1 秒内可执行 1000 万条指令 (10MIPS)。运算能力的增加主要得益于乘累加指令 (MAC) 和带数据移位的乘累加指令 (MACD)、具有专用算术单元的 8 个辅助寄存器、适合于自适应滤波和扩展精度运算的指令集支持、比特反转寻址、快速的 I/O 支持等。

指令集中提供在两个存储空间中进行数据移动的指令。在外部, 程序和数据存储空间在同一总线上复用, 从而使得在尽量减少芯片引脚的情况下最大程度地扩大两个空间的地址范围。在内部, TMS320C25 结构通过保持程序和数据总线结构分离以使指令全速执行来获得最大的处理能力。

芯片内部的程序执行采用三级流水线形式。流水线对用户来说是透明的。但是, 在某些情况下流水线可能被打断 (如跳转指令), 在这种情况下, 指令执行时间要考虑流水线必须清空和重新填充。两块大的片内 RAM 在系统设计时提供了很大的灵活性, 其中一块既可配置为程序存储器也可配置为数据存储器。片外 64K 字的数据空间可直接寻址, 从而使 DSP 算法实现更为方便。片内 4K 字的掩膜 ROM 可用来降低系统成本, 若程序不超过 4K 字, 可使 TMS320C25 不用扩展片外程序存储器。剩下的 64K 字程序空间在片外, 大量的程序可在片外存储器中全速运行。程序也可从片外慢速 EPROM 中装入到片内高速 RAM 中全速运行。此外, 还有硬件定时器、串行口和数据块搬移功能。

下面介绍 TMS320C25 的存储器分配、中央算术逻辑单元 (CALU)、硬件乘法器、控制操作、串行口和 I/O 接口。

1. 存储器分配

TMS320C25 具有 4K 字的片内程序 ROM 和 544 字的片内 RAM。RAM 分为三块: B0、B1、B2。其中, B0 块 (256 字) 既可配置为数据存储器 (用 CNFD 指令), 也可配置为程序存储器 (用 CNFP 指令)。其余 288 字 (B1 和 B2 块) 只能是数据存储器。544 字的片内 RAM 可使 C25 能处理 512 字的数据阵列, 如可进行 256 点复数 FFT 运算, 且尚有 32 字用作中间结果的暂存。TMS320C25 提供片外可直接寻址的程序和数据空间各 64K 字。

寄存器组包含 8 个辅助寄存器 (AR0~AR7), 它们可用作数据存储器的间接寻址和暂存, 从而增加芯片的灵活性和效率。这些寄存器既可用指令直接寻址, 也可用 3 比特的辅助寄存器指针 (ARP) 间接寻址。辅助寄存器和 ARP 既可从数据存储器装数, 也可装入立即数。寄存器的内容也可存入数据存储器中。辅助寄存器组与辅助寄存器算术单元 (ARAU) 相连接, 用 ARAU 访问信息表无需 CALU 参与地址操作, 这样可让 CALU 进行其他操作。

2. 中央算术逻辑单元

CALU 包含一个 16 位的定标移位器 (Scaling), 一个 16×16 位的并行乘法器, 一个 32 位的累加器和一个 32 位的算术逻辑单元 (ALU)。移位器根据指令要求提供 0 到 16 位的数

据左移。累加器和乘法器输出端的移位器适合于数值的归一化、比特提取、扩展精度算术和溢出保护。

典型的 ALU 指令实现包含以下三步：

- (1) 数据在数据总线上从 RAM 中获取；
- (2) 数据移交给完成算术运算的定标移位器和 ALU；
- (3) 结果送回累加器。

32 位累加器可分为 2 个 16 位以进行数据存储：SACH（高 16 位）和 ACCL（低 16 位）。累加器有一个进位位可方便加法和减法的多精度运算。

3. 硬件乘法器

TMS320C25 具有一个 16×16 位的硬件乘法器，它能在一个指令周期内计算一个 32 位乘积。有两个寄存器与乘法器相关：①16 位暂存寄存器 TR，用于保存乘法器的一个操作数；②32 位乘积寄存器 PR，用于保存乘积。

乘积寄存器的输出可左移 1 位或 4 位，这对于实现小数算术运算或调整小数乘积很有用。PR 的输出也可右移 6 位，这样可连续执行 128 次乘/加而无溢出。无符号乘（MPYU）指令可方便扩展精度乘法。

4. I/O 接口

I/O 空间由 16 个输入口和 16 个输出口组成。这些口可提供全 16 位并行 I/O 接口。输入（IN）和输出（OUT）操作典型的是 2 个周期，但若用重复指令，可变成单周期指令。I/O 器件映射到 I/O 地址空间，其方式与存储器映射方式相同。与不同速度的存储器或 I/O 器件接口采用 READY 线完成。

TMS320C25 也支持外部程序/数据存储器的 DMA，其他处理器通过置 HOLD 为低后可完全控制 TMS320C25 的外部存储器，使 C25 将其地址、数据和控制线呈高阻状态。外部处理器和 C25 的通信可通过中断来完成。TMS320C25 芯片提供两种 DMA 方式，一种是加上 HOLD 后停止执行；另一种是 C25 继续执行，但执行是在片内 ROM 和 RAM 中进行，这可大大提高性能。

2.3.2.3 TMS320C25 的软件

TMS320C25 的指令总共有 133 条，其中 97 条是单周期指令。在另外 36 条指令中，21 条包括跳转、调用、返回等，这些指令需重新装入程序计数器，使执行流水线中断。另外 7 条指令是双字和长立即数指令。剩下的 8 条指令（IN，OUT，BLKD，BLKP，TBLR，TBLW，MAC，MACD）支持 I/O 操作、存储器之间的数据交换或提供处理器内部额外的并行操作，而且这 8 条指令与重复计数器配合使用时可成为单周期指令。这主要利用了处理器的并行机制，使得复杂的计算可用很少的几条指令来完成。

由于大多数指令用单 16 位字编码，故可在一个周期内完成。存储器寻址方式有三种：直接寻址、间接寻址和立即数寻址。直接寻址和间接寻址都用来访问数据存储器，立即数寻址利用由程序计数器确定的存储器内容。

使用直接寻址方式时，指令字的 7 位和 9 位数据存储器页指针（DP）构成 16 位的数据存储器地址。其中，每页长 128 字，共有 512 页，故可寻址 64K 的数据空间。间接寻址借助于 8 个辅助寄存器（AR0~AR7）。表 2.2 列出了 7 种间接寻址方式。其中的比特反转寻址

可大大提高 FFT 运算的 I/O 效率。其中，OP 表示某种运算，NARP 表示新的 ARP。

表2.2 TMS320C25的寻址方式

寻址方式	操 作
OPA	直接寻址
OP*(,NARP)	间接寻址; AR 不变
OP*+(,NARP)	间接寻址; 当前 AR 加 1
OP*-(,NARP)	间接寻址; 当前 AR 减 1
OP*0+(,NARP)	间接寻址; AR0 加到当前 AR
OP*0-(,NARP)	间接寻址; 当前 AR 减去 AR0
OP*BR0+(,NARP)	间接寻址; AR0 加到 AR ()
OP*BR0-(,NARP)	间接寻址; 当前 AR 减去 AR0 ()

2.3.3 TMS320C5X

TMS320C5X 是 TI 公司的第五代产品，是继 TMS320C1X 和 TMS320C2X 之后的第三代定点 DSP 处理器。它的核心中央处理器（CPU）以 TMS320C25 的核心 CPU 为基础，增强型结构大幅度地提高了整体性能。TMS320C5X 工作速度是 TMS320C25 的 2 倍以上，对于 TMS320C1X 和 TMS320C2X 具有源代码向上兼容特性。这种兼容性保留了过去开发的软件，便于系统升级到更高性能的 DSP 系统。TMS320C5X 系列有 TMS320C50/C51/C52/C53 等多种产品，它们的主要区别是片内 RAM、ROM 等资源的多少，如 TMS320C50 内部具有 10K 字 RAM 和 2K 字 ROM，其中 2K 字 ROM 已经固化了引导程序；TMS320C51 内部具有 2K 字 RAM 和 8K 字 ROM；TMS320C52 内部具有 1K 字 RAM 和 4K 字 ROM，减少了一个串行口；TMS320C53 内部则有 4K 字 RAM 和 16K 字 ROM。芯片的其他性能则是完全相同的。下面以 TMS320C50 为例介绍 TMS320C5X DSP 芯片。

2.3.3.1 TMS320C50的基本特征

TMS320C50 的主要特点包括：

- 25/35/50ns 的指令周期（20 ~ 40 MIPS）
- 224K×16 位最大可寻址外部存储空间（64K 程序、64K 数据、64K I/O、32K 全局）
- 算术逻辑单元（ALU），32 位累加器（ACC）以及 32 位加法器的缓冲器（ACCB）
- 并行逻辑单元（PLU）
- 结果具有 32 位的 16×16 位并行乘法器
- 单周期乘累加指令
- 具有一个专用算术单元的 8 个辅助寄存器，可用于间接寻址
- 8 级硬件堆栈
- 0~16 位数据左移和右移
- 两个间接寻址的循环缓冲器，用于循环寻址
- 程序代码的单指令重复和程序块重复
- 全双工同步串行口，用于完成 TMS320C5X 与其他串行器件之间的直接通信

- 时分多址访问 (TDM) 串行口
- 内部定时器, 可用软件控制
- 64K 并行 I/O 口, 其中 16 个有存储器映像
- 可软件编程的等待状态发生器
- 扩展保持操作, 用于并发外部 DMA
- 四级流水线操作, 用于延迟跳转、调用、返回指令
- 比特反转寻址方式, 用于 FFT 运算
- JTAG 扫描仿真接口 (IEEE 标准, P1149.1)

1. 核心 CPU

TMS320C5X CPU 的增强功能在提高性能和通用性的同时, 保持了对 TMS320C1X 和 TMS320C2X 源代码的兼容性。硬件的改进包括: 一个 32 位累加器缓冲器, 附加定标能力, 利用附加硬件功能的新指令。新的控制功能包括: 独立的并行逻辑单元 (PLU) 和一组文本交换寄存器。数据管理方面的改进包括: 采用新的块搬移指令和存储器映像寄存器指令。TMS320C50 有 28 个存储器映像寄存器和 16 个存储器映像的 I/O 口。

2. 片内 ROM

TMS320C50 拥有 $2K \times 16$ 位掩蔽 ROM, 内部固化了引导程序。该存储器把程序从外部 ROM/EPROM、串行口或并行 I/O 口引导至运行速度较快的 SRAM 中。这块引导 ROM 可通过 PMST 状态寄存器中的 MP/MC 位从程序存储空间去除。如果该 ROM 未选, 则 TMS320C50 由片外存储器启动执行。

3. 片内数据 RAM

TMS320C50 具有 1056 字的片内 RAM, 这块 RAM 可在每个机器周期内访问两次 (双寻址 RAM), 只要两次访问不是“写”操作。这块存储空间主要用于存储数据, 但是如果需要也可用于存储程序和数据。其配置有两种方式: 所有的 1056 字都作为数据存储器, 或者将其中的 544 字作为数据存储器, 512 字作为程序存储区。可通过状态寄存器 ST1 中的 CNF 位选择设置。

4. 片内程序/数据 RAM

TMS320C50 还具有 9K 字的片内 RAM。这一存储区可以由软件设置映射到程序或数据存储区。程序从片外存储器引导后, 可装入到该存储区全速运行。

5. 片内存储器安全

TMS320C50 可以通过可屏蔽选择来保护片内存储器的内容。当相关比特置位时, 外部无法访问片内存储空间。

6. 有地址映射的软件等待状态发生器

软件等待状态逻辑不需要任何外部硬件就可以实现 TMS320C50 与速度较慢的片外存储器和 I/O 设备接口。该电路系统拥有 16 个等待状态发生器, 其中可由用户编程操作的有 0, 1, 2, 3 和 7 状态。

7. 并行 I/O 口

TMS320C50 共有 64K I/O 口, 其中的 16 个可映射在数据存储区。这些口可由 IN 或 OUT 指令寻址。具有存储器映像的 I/O 口可按存储器的读写方式访问。I/O 口的访问由 IS 线选通。增加简单的片外地址译码电路, 就可实现 TMS320C50 的 I/O 口与外部 I/O 设备的

简单连接。

8. 串行 I/O 口

TMS320C50 有两个高速串行口。串行口最快可按 1/4 机器周期 (CLKOUT1) 操作。一个是同步全双工串行口, 发送和接收都有缓冲, 分别由可屏蔽外部中断信号控制, 数据可按照 8 或 16 位方式传输; 另一个串行口为全双工串口, 可设置为同步方式, 也可设置为时分多址 (TDM) 方式, TDM 串行口一般用于多处理机系统。

9. 16 位硬件定时器

16 位硬件定时器可由软件进行控制, 通过设置相应的状态位, 定时器可工作在停止、重启动、复位或不工作等状态。

10. 用户可屏蔽中断

TMS320C50 有 4 个外部中断线。片内的中断锁存电路可实现异步中断操作。此外, 还有 5 个内部中断: 1 个定时器中断和 4 个串行口中断。

11. JTAG 扫描逻辑

JTAG 扫描逻辑电路用于仿真和测试, 采用 JTAG 可实现在线仿真。

2.3.3.2 TMS320C50 的结构

TMS320C50 采用了与 TMS320C25 类似的哈佛型总线结构, 通过两个独立的数据总线和程序总线, 最大限度地提高运算速度。指令支持在两个存储区之间的数据传输。

TMS320C50 使用 32 位的 ALU 和累加器以实现 2 的补码运算。ALU 是一个通用的算术单元, 它所使用的运算数据 (16 位) 来自数据 RAM 或来自立即数指令, 也可以是乘积寄存器中 32 位的乘积结果。除此之外, ALU 还可以执行位操作。累加器保存 ALU 的输出, 也为 ALU 提供下一个输入。字长为 32 位的累加器分为高字节和低字节。指令提供对低字节和高字节的单独存储。32 位的累加器缓冲器用于临时快速地存储累加器的内容。

除了 ALU 之外, 并行逻辑单元 (PLU) 可以在不影响累加器内容的情况下对数据进行逻辑操作。PLU 提供了高速控制器需要的位处理能力, 并简化了控制和状态寄存器需要的置位、清零和测试操作。

乘法器以单指令周期完成 16×16 位的乘法, 结果为 32 位。乘法器由三部分组成, 分别是乘法器阵列、PREG (乘积寄存器)、TREG0 (临时寄存器)。16 位的 TREG0 存储乘数, PREG 保存 32 位的乘积结果。乘法器中的数值来自数据存储器, 当使用 MAC/MACD/MADS/MADD 指令时来自程序存储器, 或者来自乘立即数指令 (MPY #)。片内快速乘法器对执行诸如卷积、相关和滤波等基本的 DSP 操作十分有效。

TMS320C50 的定标移位器有一个 16 位的输入来自数据总线, 32 位的输出连接到 ALU。定标移位器依照指令的编程使输入数据产生 0 到 16 位的左移。移位量取决于指令或移位计数寄存器 (TREG1) 中的定义值。输出的最低有效位 (LSB) 补零, 最高有效位补 0 或符号扩展 (取决于状态寄存器 ST1 的符号扩展模式位 SXM)。附加的移位能力使处理器能执行数值定标、二进制位提取、符号扩展运算和溢出防止等功能。

8 级硬件堆栈用于在中断及子程序调用时保存程序计数器的内容。中断发生时, 重要寄存器 (ACC、ACCB、ARCR、INDX、PMST、PREG、ST0、ST1 和 TREG) 压入堆栈, 中断返回时弹出, 实现了无开销的中断文本切换。

2.3.4 TMS320C2XX

TMS320C2XX 是继 TMS320C2X 和 TMS320C5X 之后出现的一种低价格、高性能定点 DSP 芯片，主要包括 TMS320C20X、TMS320C24X 两个子系列。TMS320C2XX 系列 DSP 芯片具有如下特点：

(1) 处理能力强。指令周期最短为 25ns，运算能力达 40MIPS；

(2) 片内具有较大的闪烁存储器。TMS320C2XX 是最早使用闪烁存储器的 DSP 芯片。闪烁存储器具有比 ROM 灵活、比 RAM 便宜的特点。TMS320F206 和 TMS320F207 片内具有 32K 字的闪烁存储器和 4.5K 字的 RAM。利用闪烁存储器存储程序，不仅降低了成本，减小了体积，同时系统升级也比较方便；

(3) 功耗低。TMS320C2XX 系列 DSP 芯片在 5V 工作时每个 MIPS 消耗 1.9mA，在 3.3V 工作时每个 MIPS 消耗 1.1mA。使用 DSP 核的省电模式可进一步降低功耗；

(4) 资源配置灵活。现有 10 多种具有不同资源配置的芯片。表 2.3 是 TMS320C2XX 系列 DSP 芯片比较表。

此外，TMS320C24X 系列芯片为数字控制系统的应用做了优化设计。

表2.3 TMS320C2XX系列芯片的资源配置

TMS320 C2XX	指令周期 (ns)	片内 ROM (字)	片内 RAM (字)	片内 FLM (字)	同步 串行口	异步 串行口
C203	25/35/50		544		1	1
C204	25/35/50	4K	544		1	1
C205	25/35/50		4.5K		1	1
F206	25/35/50		4.5K	32K	1	1
F207	25/35/50		4.5K	32K	2	1
C209	35/50	4K	4.5K			
C240	50	16K	544		1	1
F240	50		544	16K	1	1
C241	50	8K	544		1	1
F241	50		544	8K	1	1
C242	50	4K	544		1	1
F243	50		544	8K	1	1

2.3.5 TMS320C54X

TMS320C54X 是为实现低功耗、高性能而专门设计的定点 DSP 芯片，其主要应用是无线通信系统等。该芯片的内部结构与 TMS320C5X 不同，因而指令系统与 TMS320C5X 和 TMS320C2X 等是互不兼容的。

TMS320C54X 的主要特点包括：

(1) 运算速度快。指令周期为 25/20/15/12.5/10ns，运算能力为 40/50/66/80/100 MIPS；

(2) 优化的 CPU 结构。内部有 1 个 40 位的算术逻辑单元，2 个 40 位的累加器，2 个 40 位加法器，1 个 17×17 的乘法器和 1 个 40 位的桶形移位器。有 4 条内部总线和 2 个地址产生器。此外，内部还集成了维特比加速器，用于提高维特比编译码的速度。先进的 DSP 结

构可高效地实现无线通信系统中的各种功能,如用 TMS320C54X 实现全速率的 GSM 需 12.7 MIPS, 实现半速率 GSM 需 26.2 MIPS, 而实现全速率 GSM 语音编码器仅需 2.3 MIPS, 实现 IS-54/136 VSELP 语音编码仅需 12.8 MIPS;

(3) 低功耗方式。TMS320C54X 可以在 3.3V 或 2.7V 电压下工作, 三个低功耗方式 (IDLE1、IDLE2 和 IDLE3) 可以节省 DSP 的功耗, TMS320C54X 特别适合于无线移动设备。用 TMS320C54X 实现 IS54/136 VSELP 语音编码仅需 31.1mW, 实现 GSM 语音编码器仅需 5.6mW;

(4) 智能外设。除了标准的串行口和时分复用 (TDM) 串行口外, TMS320C54X 还提供了自动缓冲串行口 BSP (auto-Buffered Serial Port) 和与外部处理器通信的 HPI (Host Port Interface) 接口。BSP 可提供 2K 字数据缓冲的读写能力, 从而降低处理器的额外开销, 指令周期为 20ns 时, BSP 的最大数据吞吐量为 50M bit/s, 即使在 IDLE 方式下, BSP 也可以全速工作。HPI 可以与外部标准的微处理器直接接口。

表 2.4 是 TMS320C54X 系列部分 DSP 芯片比较表。

表2.4 TMS320C54X的资源配置

TMS320C54X	指令周期 (ns)	工作电压 (V)	片内 RAM (字)	片内 ROM (字)	串行口	BSP	HPI
C541	20/25	5/3.3/3.0	5K	28K	2 个标准口		
C542	20/25	5/3.3/3.0	10K	2K	1 个 TDM 口	1	1
C543	20/25	3.3/3.0	10K	2K	1 个 TDM 口	1	
C545	20/25	3.3/3.0	6K	48K	1 个标准口	1	1
C546	20/25	3.3/3.0	6K	48K	1 个标准口	1	
C548	15/20/25	3.3/3.0	32K	2K	1 个 TDM 口	2	1
LC/VC549	10/12.5/15	3.3/2.5	32K	16K	1 个 TDM 口	2	1
VC5402	10	3.3/1.8	16K	4K		2	1

2.3.6 TMS320C62X

这是 TI 公司于 1997 年开发的一种新型定点 DSP 芯片。该芯片的内部结构与以前的 DSP 芯片不同, 内部集成了多个功能单元, 可同时执行 8 条指令, 运算能力达 1600MIPS。其主要特点有:

(1) 运行速度快。指令周期为 5ns, 运算能力为 1600MIPS;

(2) 内部结构不同于一般 DSP 芯片。内部同时集成了 2 个乘法器和 6 个算术运算单元, 且它们之间是高度正交的, 使得在一个指令周期内最大能支持 8 条 32bit 的指令;

(3) 指令集不同。为充分发挥其内部集成的各执行单元的独立运行能力, TI 公司使用了 VelociTT 超长指令字 (VLIW) 结构。它在一条指令中组合了几个执行单元, 结合其独特的内部结构, 可在一个时钟周期内并行执行几个指令;

(4) 大容量的片内存储器和大范围的寻址能力。片内集成了 512K 字程序存储器和 512K 字数据存储器, 并拥有 32bit 的外部存储器界面;

(5) 智能外设。内部集成了 4 个 DMA 接口, 2 个多通道缓存串口, 2 个 32bit 计时器;

(6) 低廉的使用成本。在一个无线基站的应用中, 每片 TMS320C62X 能同时完成 30 路的语音编解码, 每路成本为 3 美元, 而以前的 DSP 系列最大只能完成 5 路, 每路的成本为

7 美元。

这种芯片适合于无线基站、无线 PDA、组合 Modem、GPS 导航等需要大运算能力的
应用场合。

2.4 TI浮点DSP芯片

2.4.1 TMS320C3X

TMS320C3X 是 TI 的第三代产品，也是第一代浮点 DSP 芯片。TMS320C3X 中目前具
有 TMS320C30、TMS320C31 和 TMS320C32 三种。TMS320C31 是 TMS320C30 的简化和改
进型，它在 TMS320C30 的基础上去掉了一般用户不常用的一些资源，降低了成本，是一个
性能价格比较高的浮点处理器，在国内已得到了较广泛的应用。TMS320C32 是 TMS320C31
的进一步简化和改进。表 2.5 示出了三种芯片的比较。

表2.5 三种TMS320C3X芯片的比较

特征	TMS320C30	TMS320C31	TMS320C32
数据/程序总线	主总线 STRB: 32 位数据, 24 位地址 扩展总线 IOSTRB: 32 位数据, 13 位地址	STRB: 32 位数据, 24 位地址	STRB0: 8/16/32 位 STRB1: 8/16/32 位 IOSTRB: 32 位
内部 RAM	2K 字	2K 字	512 字
串行 I/O 口	2 个串行口	1 个串行口	1 个串行口
用户程序、数据 ROM	4K 字/16K 字节	无	无
DMA 控制器	单通道	单通道	双通道
程序和数据 存储器宽度	32 位	32 位	程序 16/32 位可选 数据 8/16/32 位可选
外部中断触发	电平触发	电平触发	电平/边沿可选
中断矢量表地址	固定	固定	用户可重定位
程序引导	无	用户可选	用户可选

TMS320C30 的指令周期为 50/60/74ns，TMS320C31 的指令周期为 33/40/50/60/74ns，
TMS320C32 的指令周期则为 33/40/50ns。

2.4.1.1 TMS320C3X的硬件资源

TMS320C30 的硬件资源相当丰富。其内部包含了 $2K \times 32$ 位的快速 RAM 块。分开的
程序总线、数据总线和 DMA 总线使得取指、读写数据和 DMA 操作可并行进行，如 CPU
可以在一个周期内完成下列操作：在一个 RAM 块中存取两个数据值，进行一次外部取指，
DMA 装入到另一个 RAM 块。 64×32 位的指令 Cache 用来存储经常使用的代码块，这可大
大减少片外访问的次数，从而提高程序运行速度。由于主总线的地址总线是 24 位，因此
TMS320C30 可以访问多达 16M 的 32 位字的存储器空间，程序、数据和 I/O 空间都包含在
TMS320C30 这个 16M 字的空间中。

TMS320C30 有一个 40/32 位的浮点/整数乘法器，这个乘法器可以在单周期内完成 24 位整数和 32 位浮点值的乘法，为了达到更高的性能，可以采用并行指令在单周期内完成一次乘法和 ALU 操作。当乘法器进行浮点乘法时，输入是 32 位单精度浮点值，而输出则是 40 位的扩展精度浮点数。整数乘法时，输入是 24 位，而输出则是 32 位。

TMS320C30 的整数/浮点算术逻辑运算单元 ALU 可以进行单周期的 32 位整数、32 位逻辑数和 40 位的浮点数操作，ALU 的运算结果是 32 位整数或 40 位浮点数。内部的桶形移位器可以在单周期内进行高达 32 位的左移或右移。内部总线 CPU1/CPU2 和 REG1/REG2 可从存储器中取两个操作数和从寄存器取两个操作数，这就使得对四个操作数进行乘和加/减可以在单周期内完成。

TMS320C30 内有两个辅助寄存器算术单元 (ARAU0 和 ARAU1)，它们可以在单周期内产生两个地址。ARAU 的操作是和乘法器及 ALU 的操作并行进行的。ARAU 支持多种寻址方式。

TMS320C30 提供 28 个寄存器，这些寄存器可以由乘法器和 ALU 操作，可以用作通用的寄存器。但是，它们也有一些特殊的功能，如 8 个扩展精度的寄存器 (R0~R7) 可当累加器使用，特别适合用于存放扩展精度的浮点结果。8 个辅助寄存器 (AR0~AR7) 支持一系列间接寻址方式，并且可以用作通用的 32 位整数和逻辑寄存器。其他寄存器提供一些系统功能，如寻址、堆栈管理、处理器状态、中断和块重复等。

TMS320C30 的外设是通过存储器映射的寄存器对外设总线进行控制的，外设总线由 32 位数据总线和 24 位地址总线组成，允许与外设直接通信。TMS320C30 的外设包括两个可支持 8/16/24/32 位数据交换的串行口和两个 32 位定时器。串行口的时钟可以由内部产生也可由外部提供，串行口的引脚可以配置为通用的 I/O 引脚，特殊的握手方式可保证 TMS320C30 与串行口的同步。定时器是通用的 32 位定时器或事件计数器，具有两种信号方式，可由内部或外部提供时钟，每个定时器对应有一个 I/O 引脚，可作为定时器的输入时钟或输出时钟，也可配置为通用的 I/O 引脚。

片内的 DMA 功能使得 CPU 与 I/O 操作可同时进行。DMA 控制器可以在存储器的任何地址进行读写操作而不干扰 CPU 的操作，因此 TMS320C30 可与外部的慢速存储器或外设接口而不降低 CPU 的吞吐量。

两个通用的外部引脚 (XF0, XF1) 可由软件设置为输入或输出，这两个引脚也用作 TMS320C30 的互锁操作，用于多处理器之间的通信。

除了主总线之外，TMS320C30 还有一条扩展总线。扩展总线的数据线为 24 位，地址线为 13 位，其操作可与主总线操作同时进行，也可独立于主总线。与主总线相比，扩展总线上的 I/O 口的读写周期为 2 个 H1 周期，即是主总线的 2 倍。扩展总线通常用于 I/O 操作，如 A/D、D/A 等。

TMS320C30 内部有 4K 字的 ROM，在微计算机方式下，程序由内部开始运行。

TMS320C31 是 TMS320C30 的简化和改进型，它去掉了扩展总线、一个串行口和内部的 4K 字 ROM，增加了程序的引导功能。当 MCBL/MP\引脚为高电平时，工作于微计算机自引导方式，在这种方式下，TMS320C31 可从三个特定的地址装入程序 (BOOT1, BOOT2, BOOT3)，也可从串行口装入程序。与 EPROM 接口时，用户可用软件设定等待周期个数，当然也可用硬件来产生等待周期，可设定是按字节 (8 位)、半字 (16 位) 或字 (32 位) 装

入，应用灵活。从串行口装入时，采用固定的 32 位突发方式。装入方式设置是通过复位之后设置四个外部中断之一来实现。

TMS320C32 是 TMS320C31 的简化和改进型。简化主要是将内部的 RAM 由 2K 字减少为 512 字，以降低成本。改进之处包括：外部存储器宽度可变，中断矢量表可重定位，外部中断可由软件选择是电平触发还是边沿触发，DMA 控制器增加了一个通道，此外，还增加了两种节电运行方式。

TMS320C3X 均提供 HOLD 功能和 JTAG 仿真功能。

2.4.1.2 TMS320C3X 的软件资源

1. 丰富的指令系统

TMS320C3X 的汇编语言指令集特别适合于数字信号处理。所有指令占一个机器字长，大部分指令是单周期的。指令集共有 113 条指令，可以分为六类：数据传送类、二操作数算术/逻辑类、三操作数算术/逻辑类、程序控制类、互锁操作类及并行操作类。12 条数据传送指令可从存储器中读一个字装入寄存器，将一个字从寄存器中存入存储器中及进行堆栈操作。二操作数指令有 35 条，提供整数、浮点、逻辑运算及多精度算术操作。17 条三操作数指令可以在一个指令周期内完成具有三个操作数的运算，其中两个是源操作数，另一个是目的操作数。程序控制指令共 16 条，它们影响程序的流向，其中有块重复指令 RPTB 和单指令重复指令 RPTS。除了有标准跳转指令外，还有延迟跳转指令，有些指令具有条件运算功能。5 条互锁操作指令主要用来进行多处理器之间的通信。剩下的 28 条指令都是并行操作指令，每条并行指令由两条指令用符号“||”连接，并行操作指令可使“||”前后的两条指令并行完成。需要注意的是，并不是任意两条指令都可构成并行指令。

2. 灵活的程序控制

TMS320C3X 提供相当灵活的程序流控制。软件的程序控制包括重复、跳转、调用、陷阱及返回等。

TMS320C3X 重复方式可以实现无开销循环。块重复指令 RPTB 可以使一块代码重复执行指定的次数，而单指令重复指令 RPTS 使一条指令重复执行指定的次数，由于 RPTS 取指令次数只有一次，因此减少了总线冲突的机会。这里需要特别注意的是，RPTS 指令禁止中断，而 RPTB 无此禁忌。因此在需要中断的场合，建议采用 RPTB 指令代替 RPTS 指令。

TMS320C3X 提供两种类型的跳转：标准跳转和延迟跳转。标准跳转首先将流水线清空然后执行跳转，这可保证程序计数器的正确管理，但却使跳转指令需 4 个周期才能执行完毕。延迟跳转则相反，它并不将流水线清空，而是保证在程序跳转之前执行它下面的 3 条指令，这样使得跳转指令本身仅需 1 个指令周期。当然有些指令（如 CALL、RPTB 等）不能出现在延迟跳转指令下面的 3 条指令。延迟跳转指令在它下面 3 条指令完成前禁止中断。

互锁操作可用来实现多个 TMS320C3X 之间的通信。通过采用外部信号（XF0，XF1），互锁操作指令提供强有力的同步机制，可用来实现忙等待循环、两个 TMS320C3X 之间的同步（无需额外的硬件支撑）和多个计数器控制等。

3. 流水线操作

流水线操作是 TMS320C3X 具有高性能的特性之一。5 个功能单元控制 TMS320C3X 的操作：取指（F）、译码（D）、读操作数（R）、执行（E）和 DMA。流水线操作就是一个基

本指令的取指、译码、读操作数和执行的并行操作。流水线的结构如图 2.2 所示。

周期	F	D	R	E
m-3	W			
m-2	X	W		
m-1	Y	X	W	
m	Z	Y	X	W ← 完全重叠
m+1	Z	Y	X	
m+2		Z	Y	
m+3			Z	

注：W、X、Y、Z 代表指令；F、D、R、E 分别代表取指、译码、读操作数和执行。

图2.2 TMS320C3X的流水线结构

图中在 m 周期，流水线完全重叠，4 个单元的操作同时进行。5 个功能单元的优先级从高到低依次是 E、R、D、F、DMA。当一条指令的处理已经准备好到流水线的下一级，但那一级还没有准备好接收新的输入时，就出现所谓的流水线冲突。在这种情况下，低优先级的单元处于等待状态直到高优先级的单元完成它的当前操作。尽管 DMA 的优先级最低，但由于 DMA 控制器具有自己的数据和地址总线，因此，通过合适的数据结构，DMA 与 CPU 的冲突可以减少甚至消除。

流水线冲突可以分为下列三大类：跳转冲突、寄存器冲突和存储器冲突。这三类冲突都可以采取相应的一些手段予以解决，如由于标准跳转引起的跳转冲突可以采用延迟跳转的方法来克服。

4. 寻址方式多样

TMS320C3X 支持 5 类寻址方式，在这些类中又可采用 6 种寻址类型。5 类寻址方式是：①通用寻址方式；②三操作数寻址方式；③并行寻址方式；④长立即数寻址方式；⑤条件跳转寻址方式。6 种寻址类型是：①寄存器寻址；②直接寻址；③间接寻址；④短立即数寻址；⑤长立即数寻址；⑥相对寻址。此外，TMS320C30 还有两种数字信号处理中非常有用的寻址方式，一种是圆周寻址方式，主要用于卷积和相关等运算中存储器循环缓冲；另一种寻址方式是比特反转寻址，主要用于 FFT 运算。

2.4.2 TMS320C4X

TMS320C4X 系列浮点处理器是专门为实现并行处理和满足其他一些实时应用的需求而设计的。其主要性能包括 275 MOPS 的惊人速度和 320Mbyte/s 的吞吐量。

2.4.2.1 TMS320C40的主要特征

(1) 具有 6 个用于处理器间高速通信的通信口。每个口的最大数据吞吐量可达 20Mbyte/s 的异步传输速率。处理器之间可直接对通，应用方便、灵活；

(2) 6 个 DMA 通道实现了 I/O 操作与 CPU 操作的并行化。每个 DMA 通道都具备自初始化的能力，无需 CPU 来完成初始化的工作，从而最大限度地保证了 CPU 的性能，数据可以在处理器内存映像的任意范围内传递，具有高度的灵活性；

(3) CPU 的处理能力达 275 MOPS, 数据吞吐量为 320Mbyte/s。由于高度的并行化, TMS320C40 的 CPU 在每个周期内可以完成 11 次操作。指令周期的时间为 40ns 和 50ns。40/32 位的单周期浮点/整数乘法为大运算量的算法提供了高性能。单周期 IEEE 浮点格式转换为 IEEE 兼容的处理器提供了一个有效的界面。硬件支持除法和平方根倒数运算。具有字节和半字长控制的能力, 以实现快速数据压缩和解压。源代码与 TMS320C3X 兼容, 可移植性好。支持线性、循环和比特反转的寻址方式。单周期跳转、调用和返回, 以实现快速程序控制。0~31bit 的单周期桶形循环左右移位;

(4) 两条分开的外部数据、地址总线支持共享存储器系统和高速数据速率、单周期传输。端口数据传输速率高达 100Mbyte/s。16G 字连续的程序/数据/外设地址空间为系统设计带来最大的灵活性。状态管脚标明存储器访问类型, 以在共享存储器系统中实现快速、智能化的总线仲裁。分离的地址、数据和控制使能管脚可实现高速总线仲裁。4 组存储器控制信号支持硬件上不同速率的存储器, 使用者可以灵活有效地利用各种高、低速率存储器;

(5) 片内分析模块支持高效的并行处理调试。为程序、数据和 DMA 访问提供了分离的断点比较器, 为快速调试和开发提供了片内硬中断的能力。为硬件追踪设置了非连续栈, 可方便快速地调试、开发。具有事件计数器。为标准系统连接留有 JTAG 界面;

(6) 片内程序高速缓冲存储器 (Cache) 和双向存取/单周期 RAM 提高了存储器访问的性能。片内存储器包括: 128 字的指令高速缓冲存储器; 2K 字的单周期双向存取程序/数据 RAM; ROM 中的引导程序支持从 8/16/32 位中的任一种存储器通过任一通信端口装入程序;

(7) 分开的内部程序、数据和 DMA 总线使程序和数据的 I/O 操作高度并行化, 最大限度地保证了 CPU 的性能。

2.4.2.2 TMS320C40的结构

TMS320C40 的高性能是通过其高精度、宽动态范围的浮点处理单元, 大容量的片内存储器, 高度的并行化, 以及 6 个 DMA 协处理器通道体现出来的。

1. CPU

TMS320C40 有一个基于寄存器的 CPU, 其组成部分如下:

(1) 浮点/整数乘法器

通过高度的并行化措施, TMS320C40 可以在一个 40ns 的指令周期内对 32 位的整型数或 40 位的浮点数完成一次乘法操作。若输入为 40 位的浮点数, 则输出也是 40 位的浮点数; 若输入为 32 位的整型数, 则乘积为 64 位, 输出既可以是 32 个高有效位, 也可以是 32 个低有效位。

(2) 算术逻辑单元 (ALU)

ALU 对 32 位的整型数、32 位的逻辑数、40 位的浮点数执行单周期操作, 包括单周期的整型和浮点转换。桶形移位寄存器用来完成单周期的 32 位左右移位。

内部总线 CPU1/CPU2 和 REG1/REG2 分别连接存储器和内部寄存器, 这样就允许在单周期内对 4 个整型或浮点数并行进行加/减和乘法运算。

(3) 辅助寄存器运算单元 (ARAU)

2 个辅助寄存器运算单元 (ARAU0 和 ARAU1) 可在单周期内产生 2 个地址。ARAU 与乘法器及 ALU 并行操作。它们支持带有偏移的寻址、变址寄存器 (IR0 和 IR1) 寻址、

循环寻址和比特反转寻址。

(4) CPU 主寄存器组

TMS320C40 具有 32 个主寄存器，其中包括 12 个 40 位的扩展精度寄存器 (R0~R11)，8 个 32 位的辅助寄存器 (AR0~AR7)，1 个 32 位的数据页指针 (DP)，32 位变址寄存器 (IR0 和 IR1)，32 位块长寄存器 (BK)，32 位的系统栈指针 (SP)，状态寄存器 (ST)，DMA 中断允许寄存器 (DIE)，CPU 内部中断允许寄存器 (IIE)，I/O 标志寄存器，32 位的重复计数器 (RC) 及 32 位的重复起始地址寄存器 (RS) 和重复终止地址寄存器 (RE)。程序计数器 (PC) 是一个 32 位寄存器，装有下一条要提取指令的地址。虽然 PC 不是 CPU 寄存器组的成员，但用修改程序流的指令可对它进行修改。

(5) CPU 扩展寄存器组

扩展寄存器组包括 2 个特殊的指针寄存器：IVTP 指向中断矢量表，TVTP 指向陷阱矢量表。

2. 存储器组织

TMS320C40 总的存储器空间可达 $4\text{G} \times 32$ 位字。程序存储器 (片内 RAM 或 ROM 和外部存储器)、定时器、通信口和 DMA 通道等都包含在这一空间内。这样就使得系数、表、程序代码或数据既可存储在 RAM 中，亦可存储在 ROM 中，从而使存储器的利用率达到最高，存储器空间可按要求分配地址。

通过控制一个外部管脚 (ROMEN)，存储器起始的 1M 字节的地址空间 (0000 0000h 到 000F FFFFh) 既可以映射到局部地址总线的一部分，也可以在使用装入程序时指向片内 ROM。

(1) RAM、ROM 和高速缓冲存储器

TMS320C40 的片内包含 2 个 4K 字节 ($1\text{K} \times 32$ 位) 的 RAM 区。片内 ROM 区保留用作引导程序区。每一个 RAM 和 ROM 区都支持单周期内两次存取。分开的程序总线、数据总线和 DMA 总线，使得指令的读取、数据的读写及 DMA 操作可以并行进行。例如，在一个周期内 CPU 可在一个 RAM 块上存取 2 个数据，执行一次外部指令的读取，同时 DMA 可对另一个 RAM 块作直接存储器存取。

一个 128×32 位的指令高速缓冲存储器用来存储经常重复的代码段，从而大大地减少了必要的片外存取次数。这样就使代码能存储在较慢的、价格较低的片外存储器。外部总线还可被释放，以供 DMA、外部存储器操作或系统中的其他设备使用。

(2) 内部总线操作

TMS320C40 的高性能在很大程度上归功于其内部总线结构及由之带来的并行性。分开的程序总线、数据总线和 DMA 总线使指令的读取、数据的存取和 DMA 操作可以并行进行。这些总线连结 C40 支持的所有物理空间。

程序计数器 (PC) 与 32 位的程序地址总线相连，指令寄存器 (IR) 与 32 位的程序数据总线相连，在每一个机器周期内可以读取一个指令字。

32 位的数据地址总线和 32 位的数据总线在每一个机器周期中支持两次数据的存储器操作。数据总线通过 CPU1 和 CPU2 总线传送数据到 CPU。CPU1 和 CPU2 总线在每一机器周期可传送 2 个数据存储器操作数到乘法器、ALU 及寄存器组。在 CPU 内部还有 2 条寄存器总线 REG1 和 REG2，它们在每一机器周期内，可从寄存器组传送 2 个数据到乘法器。

DMA 控制器由 32 位地址总线和 32 位数据总线支持。这些总线使 DMA 能与数据及程序总线并行地执行存储器操作。

(3) 外部总线操作

TMS320C40 具有 2 个外部接口：全局总线和局部总线。它们都包含 1 个 32 位的数据总线、1 个 31 位的地址总线和 2 组控制信号。这些总线都可用来对外部程序/数据存储器或 I/O 进行寻址。这些总线还有一个外部 $\overline{\text{RDY}}$ 信号，用于等待状态的产生。可在软件控制下插入附加的等待状态。

(4) 外设

TMS320C40 的外设是通过存储器映射寄存器，由一专用的外设总线控制。这一外设总线可以直接与外部设备进行通信。TMS320C40 的外设包括 2 个定时器和 2 个串行口。

(5) 直接存储器访问 (DMA)

6 个通道的片内 DMA 控制器可以读写存储器中的任意单元，而不必涉及 CPU 的操作。因此 TMS320C40 可以与相对较慢的外部存储器和外设接口而不降低 CPU 的处理能力。DMA 控制器有自己的地址发生器、源地址和目的地址寄存器及传输计数器。专用的 DMA 地址和数据总线使 CPU 与 DMA 控制器之间的冲突降到了最低的程度。一个 DMA 操作包括对存储器做一块或单个字的存取操作。DMA 协处理器的一个关键特性就是它的每一个通道在进行一次数据传输之前都有自动重新初始化的功能。

总而言之，由于有一个功能强大的 CPU、大规模的存储器以及有足够宽的总线来支持其速度，TMS320C40 是一个功能强大的 DSP 芯片。

3. CPU 寄存器、存储器和高速缓冲存储器

CPU 主寄存器组包括 32 个寄存器，用来存放乘法器和 ALU 的操作数。这个寄存器组包括辅助寄存器、扩展精度寄存器和变址寄存器等。这些寄存器支持寻址、浮点/整型操作、栈操作、处理器状态记录、块重复、分支跳转和中断等功能。

CPU 扩展寄存器组包括中断矢量表指针 (IVTP) 和陷阱矢量表 (TVTP)。

TMS320C40 能够访问的最大存储器范围为 4G 个 32 位字 (16G 字节) 的程序、数据和 I/O 空间。2 个片内 RAM 块均为 1K×32 位。片内 ROM 块包含有自引导程序，每块都支持单周期内 2 次访问操作。

1 个 128×32 位的指令高速缓存可以装入指令代码中重复率高的部分。高速缓存大大减少了片外操作的次数，这样就允许将指令代码存放在片外的低速、廉价的存储器中而又不降低系统的性能。同时由于高速缓存减少了总线上程序指令的读取次数，使得在同一物理空间内进行的数据存取速度大大加快。CPU 状态寄存器中的 3 个比特控制着高速缓冲存储器的清除、允许和冻结。

(1) CPU 寄存器

TMS320C40 提供了 32 个 CPU 主寄存器（不包括程序计数器 PC）和 2 个扩展寄存器。

主寄存器都可以用作 32 位的通用寄存器，存放乘法器及 ALU 的操作数。除此之外，还有一些更适合于这些寄存器的特殊功能。例如 12 个扩展精度特别适用于存放扩展精度的浮点运算结果；8 个辅助寄存器支持各种间接寻址方式；其余寄存器提供寻址、堆栈管理、处理器状态、中断和块重复等系统功能。

(2) 存储器分配

TMS320C40 总的存储器空间为 4G 字。有两种地址编排方式，其区别仅在前 1M 字之内，由外部引脚 ROMEN 的值控制：ROMEN=1 时，0000 0000h~0000 0FFFh 为一个可访问的片内 ROM 区（保留用作引导程序），0000 01FFh~000F FFFFh 保留；ROMEN=0 时，片内 ROM 不在 C40 的存储器空间中，0000 0000h~000F FFFFh 被映射到局部总线上。

(3) 指令高速缓冲存储器（Cache）

128×32 位的指令高速缓存不但减少了片外取指的次数，同时也将外部总线从程序取指中解脱出来，从而可以被 DMA 或其他系统部件所采用。

Cache 能以完全自动的方式工作而无需用户的干预。它使用的是 LRU（Least recently used，最近最少使用）算法。

4. 数据格式与浮点操作

在 TMS320C40 的体系结构中，数据有 3 种基本类型：整型、无符号整型和浮点型。TMS320C40 对有符号和无符号整型支持短格式和单精度格式，而对于浮点数则支持短格式、单精度和扩展精度 3 种格式。

浮点操作具有迅速、简单、正确和精度高的特点。特别是 TMS320C40 可以以整型运算的速度来执行浮点操作，同时还可以避免整型运算中的溢出等问题。

5. 寻址

TMS320C40 有以下 5 种寻址类型：

(1) 寄存器寻址：在一个 CPU 的寄存器中包含有操作数；

(2) 直接寻址：数据地址由数据页指针（DP）的 16 个低有效位和指令字中的 16 个低有效比特组成；

(3) 间接寻址：间接寻址是通过一个辅助寄存器和变址寄存器的内容来操作在存储器中的地址。地址运算是由辅助寄存器运算单元来完成的，并且是无符号的。（辅助寄存器和变址寄存器的所有 32 位都在间接寻址中用到）；

(4) 立即寻址：操作数是指令字中的 16 个低有效位构成的 1 个 16 位的立即数；

(5) PC 相对寻址：PC 相对寻址用于分支转移。它用指令字中的 16 或 24 个低有效比特来替换程序计数器（PC）的当前值。

TMS320C40 的寻址方式包括：通用寻址方式、三操作数寻址方式、并行寻址方式、条件转移寻址方式、圆周寻址方式和比特反转寻址方式。

2.4.3 TMS320C67X

这是 TI 公司继定点 DSP 芯片 TMS320C62X 系列后开发的一种新型浮点 DSP 芯片。该芯片的内部结构在 TMS320C62X 的基础上加以改进，内部同样集成了多个功能单元，可同时执行 8 条指令，其运算能力可达 1G FLOPS。除了具有 TMS320C62X 系列的特点外，其主要特点还有：

(1) 运行速度快。指令周期为 6ns，峰值运算能力为 1336 MIPS，对于单精度运算可达 1G FLOPS，对于双精度运算可达 250M FLOPS；

(2) 硬件支持 IEEE 格式的 32 比特单精度与 64 比特双精度浮点操作；

(3) 集成了 32×32 比特的乘法器，其结果可为 32 或 64 比特；

(4) TMS320C67X 的指令集在 TMS320C62X 的指令集基础上增加了浮点执行能力，可

以看作是 TMS320C62X 指令集的超集。TMS320C62X 指令能在 TMS320C67X 上运行，而无需任何改变。

与 TMS320C62X 系列芯片一样，由于其出色的运算能力、高效的指令集、智能外设、大容量的片内存储器和大范围的寻址能力，这个系列的芯片适合于对运算能力和存储量有要求的应用场合。

2.5 多处理器DSP芯片TMS320C8X

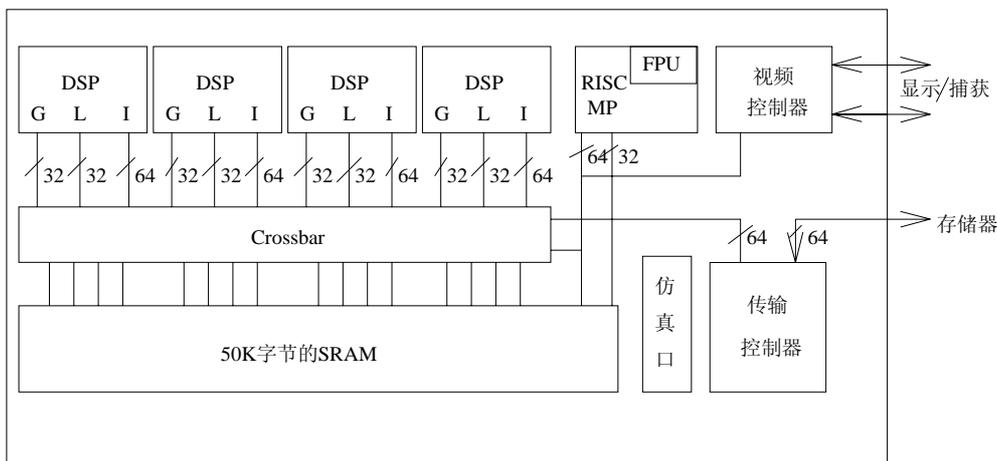
TI 公司除了生产定点和浮点两类 DSP 芯片之外，还推出了功能强大的多处理器 DSP 芯片 TMS320C80。该芯片内部集成了 5 个微处理器，处理速度达到每秒 20 亿次操作，与外部交换数据的速度为每秒 400Mbyte，特别适合于会议电视等多媒体应用。

1. TMS320C80 结构

图 2.3 所示为 TMS320C80 的内部结构。

图2.3 TMS320C80的内部结构

从图中可以看出，TMS320C80 是一个多处理器芯片，它集 4 个可并行处理的高性能 DSP 芯片、1 个 RISC 主处理器、1 个传输控制器、1 个视频控制器和 50K 字节的 SRAM 等



资源于一体，从而使其处理能力达到每秒 20 亿次操作（2 BOPS）。该芯片可实时实现新一代的视频压缩和解压缩，可广泛应用于会议电视、可视电话、高速电信、多媒体、图像和视频处理、二维和三维图形加速、虚拟现实、保密、雷达和声纳处理等应用场合。

2. 并行 DSP 芯片

TMS320C80 上集成了 4 个高性能的 DSP 芯片，这 4 个 DSP 芯片既可独立运行，也可并行工作。采用 64 位的指令字，以便于在单个周期内进行多个并行操作。每个处理器具有专用的高速指令缓冲 Cache 和专用的数据 RAM。

每个 DSP 芯片具有 4 个主要的功能单元，即 1 个程序控制器（PFC）、1 个数据单元和 2 个地址单元。PFC 处理所有的指令执行，包括程序计数器增量、跳转和中断。3 组无开销

循环控制器跟踪循环计数和循环的起始及结束地址，而不增加额外的开销。循环控制器在 1 个公共的循环结束地址内可支持多至 3 个嵌套的循环。

数据单元可使单周期乘法和算术逻辑单元 (ALU) 数据通路操作并行执行。32 位的 ALU 可以分解为 2 个 16 位 ALU 或 4 个 8 位 ALU，以便于对低精度的数据进行更多的并行操作。ALU 数据通路内独特的扩展器单元可复制 1 个 1 比特值 32 次、2 个 1 比特值 16 次或 4 个 8 比特数 8 次以填满 1 个 32 位字。这些特征对于减少图像算法中的软件开销很有帮助。

3. 传输控制器

TMS320C80 可以每秒 400M 字节的速度与外部交换数据，这个性能主要依赖于片内的传输控制器。在这里，传输控制器起智能 DMA 控制器的作用，进行对片外存储器的访问，使主处理器不增加任何负担。传输控制器可对二维图形进行线性和二维寻址，支持三维图形缓冲。

直接存储器接口提供了对多种存储器的灵活操作，包括 DRAM、SDRAM、VRAM 和 SRAM。此外，优先级任务管理器支持动态的总线宽度，可支持 8 至 64 位数据传输。灵活的总线宽度满足了如会议电视等的宽带应用，而不需专用的接口。

4. RISC 主处理器

RISC 主处理器 (MP) 进行整个芯片的管理并协调与系统内其他处理器的通信。该处理器是一个 32 位的 RISC 处理器，内部具有一个运算能力为 100 MFLOPS 并符合 IEEE-754 标准的浮点单元 (FPU)，用以实现高效 C 语言和作为操作系统的平台。该处理器主要是适应高级语言并协调片内的多处理器资源，可在单周期内完成 1 个 64 位数据的访问和 1 个 32 位取指。与基本的 RISC 设计相比，其独特之处在于 MP 具有完整的浮点指令和一组特殊的矢量浮点指令，这些功能对于图像处理和三维图形来说都是必需的。此外，MP 还具有 31 个 32 位的寄存器，为整数和浮点操作提供了极大的便利。

5. 存储器 Crossbar 结构

TMS320C80 的一个重要特征是存储器 Crossbar 结构。TMS320C80 内部有 50K 字节的 SRAM，这些存储器被配置为较小的存储器块以便于通过这个独特的 Crossbar 开关结构实现多个并行的存储器访问。Crossbar 开关还便于片内处理器共享板上 RAM。在 TMS320C80 中，Crossbar 在每个时钟周期内可进行 5 次取指和 10 次并行数据访问，从而使传输速率达到每秒 4.2G 字节。硬件控制的优先级机制使得在同一个周期内仅有一个处理器访问一个特定的 RAM。存储器 Crossbar 结构增强了系统的高速并行性能。

6. 视频控制器

视频控制器具有 2 个可编程的帧定时器，可按水平或纵向格式同时捕获和显示图像。帧定时器可用于任何捕获/显示的组合中，对不同速率的图像捕获可按异步或同步方式工作。由于帧定时器是软件可编程的，故可用作通用定时器。

在 TMS320C80 基础上，TI 公司还推出了简化型的多处理器芯片 TMS320C82，其内部包含 2 个处理器、44K 字节的 SRAM，性能为每秒 15 亿次操作，由于省略了 2 个处理器和视频控制器，其价格约为 TMS320C80 的一半。表 2.6 所示为两者的性能比较。

表2.6 TMS320C80/C82的主要性能比较

芯片	DSP 数	RISC 主处理器	视频 控制器	传输 控制器	指令周期 (ns)	寻址空间 (字节)	片内 RAM (字节)	处理能力 (BOPS)	时钟 (MHz)
C80	4	1	1	1	20,25	4G	50K	2	50,40
C82	2	1	0	1	20	4G	44K	1.2	50

2.6 其他DSP芯片简介

2.6.1 AD公司DSP芯片

美国 AD 公司在 DSP 芯片市场上也占有一定的份额。与 TI 公司相比，AD 公司的 DSP 芯片有自己的特点，如系统时钟一般不经分频直接使用，串行口带有硬件压扩，可从 8 位 EPROM 引导程序，可编程等待状态发生器等。

AD 公司的 DSP 芯片可以分为定点 DSP 芯片和浮点 DSP 芯片两大类。ADSP21XX 系列为定点 DSP 芯片，ADSP21XXX 系列为浮点 DSP 芯片。目前，定点 DSP 芯片主要有 ADSP2101/2103/2105，ASDP2111/2115，ADSP2161/2162/2163/2164/2165/2166 以及 ADSP2171/2173/2181 等。浮点 DSP 芯片主要有 ADSP21000/21020，ADSP21060/21062 等。

AD 公司的定点 DSP 芯片的程序字长为 24 位，数据字长为 16 位。运算速度较快，内部具有较为丰富的硬件资源，一般具有 2 个串行口、1 个内部定时器和 3 个以上的外部中断源，此外还提供 8 位 EPROM 程序引导方式。具有一套高效的指令集，如无开销循环、多功能指令、条件执行等。

ADSP2101 的指令周期有 80ns、60ns 和 50ns 三种，内部有 2K 字的程序 RAM 和 1K 字的数据 RAM。ADSP2103 与 ADSP2101 相比，指令周期为 100ns，工作电压为 3.3V。ADSP2105 是 ADSP2101 的简化，指令周期为 72ns，内部的程序 RAM 为 1K 字，数据 RAM 为 512 字，串行口减为 1 个。

ADSP216X 系列的指令周期为 50ns~100ns，与其他定点芯片相比，具有较大的内部程序 ROM，如 ADSP2161/2163 内部提供了 8K 的程序 ROM，ADSP2162/2164 内部提供 4K 程序 ROM，工作电压为 3.3V，这些芯片的内部数据 RAM 均为 512 字。而 ADSP2165/2166 除了具有 1K 字的程序 ROM 外，还提供了 12K 字的程序 RAM 和 4K 字的数据 RAM，其中，ADSP2166 的工作电压为 3.3V。

ADSP2171 的指令周期为 30ns，速度达 33.3MIPS，是 AD 公司 DSP 芯片中运算速度最快的定点芯片之一。内部具有 2K 字的程序 RAM 和 2K 字的数据 RAM。ADSP2173 的资源与 ADSP2171 相同，工作电压为 3.3V。

目前 ADSP 的定点 DSP 芯片中，处理能力最强的当数 ADSP2181。这种芯片具有以下几个特点：

- (1) 运算速度快。指令周期为 30ns，运算能力为 33.3MIPS；
- (2) 片内空间大。内部的程序和数据 RAM 均为 16K 字，共 80K 字节；
- (3) 数据交换速度快。内部具有数据直接存储传输接口 (IDMA)，便于其他处理器高速存储 ADSP2181 的片内 RAM。为了扩展数据存储能力，设计了字节数据直接存储传输接口

(BDMA),最大可以扩展到 4M 字节。2 个串行口都具有自动数据缓冲功能,并且支持 DMA 传输;

- (4) 支持 8 位 EPROM 和通过 IDMA 方式的程序引导;
- (5) 如果采用基 4 FFT 做 1024 点复数 FFT 运算, 运算时间仅为 1.07ms。

ADSP2181 在一个处理器周期内可以完成以下功能:

- 产生下一个程序地址
- 取下一个指令
- 进行 1 个或 2 个数据移动
- 更新 1 个或 2 个数据地址指针
- 进行 1 次数据运算

与此同时,还可从 2 个串行口发送或接收数据,通过 IDMA 或 BDMA 发送或接收数据以及内部定时器计数。

AD 公司的浮点 DSP 芯片包括 ADSP21020、21060 和 21062 等,程序存储器为 48 位,数据存储器为 40 位,支持 32 位单精度和 40 位扩展精度的 IEEE 浮点格式,内部具有 32×48 位的程序 Cache,有 3~4 个外部中断源。

ADSP21060 采用超级的哈佛结构,具有 4 条独立的总线(2 条数据总线、1 条程序总线和 1 条 I/O 总线),内部集成了大容量的 SRAM 和专用 I/O 总线支持的外设,指令周期为 25ns,是一个高性能的浮点 DSP 芯片。其主要特点包括:

- (1) 运算速度达 40 MIPS 和 80 MFLOPS,最高达 120 MFLOPS。每条指令均在 1 个周期内完成;
- (2) 片内具有 4M 位的 SRAM,可灵活地进行配置,如配置为 128K 字的数据存储器(32 位)和 80K 字的程序存储器(48 位)。可寻址 4G 字的外部存储器;
- (3) 具有取模和比特反转的双数据地址产生器;
- (4) 10 个 DMA 通道。6 个点-to-点接口,传输速率为 240Mbyte/s;
- (5) 支持多处理器连接,提供与 16/32 位微处理器的接口。外部微处理器可直接读写内部 RAM;
- (6) 2 个具有 μ A 律压扩功能的同步串行口;
- (7) 支持可编程等待状态发生,可用 8 位 EPROM 或外部处理器引导程序;
- (8) 1024 点复数 FFT 的运算时间为 0.46ms;
- (9) 支持 IEEE JTAG 1149.1 标准仿真接口。

2.6.2 AT&T公司DSP芯片

AT&T 是第一家推出高性能浮点 DSP 芯片的公司。AT&T 公司的 DSP 芯片包括定点和浮点两大类。定点 DSP 芯片中有代表性的主要包括 DSP16、DSP16A、DSP16C、DSP1610 和 DSP1616 等。浮点 DSP 芯片中比较有代表性的包括 DSP32、DSP32C 和 DSP3210 等。

AT&T 定点 DSP 芯片的程序和数据字长均为 16 位,有 2 个精度为 36 位的累加器,1 个深度为 15 字的指令 Cache,支持最多 127 次的无开销循环。DSP16 的指令周期为 55ns 和 75ns,累加器长度为 36 位,片内有 2K 字的程序 ROM 和 512 字的数据 RAM。DSP16A 速度最快的版本为 25ns 的指令周期,片内有 12K 字的程序 ROM 和 2K 字的数据 RAM。DSP16C

的指令周期为 38.5ns 和 76.9ns, 片内存储器资源与 DSP16A 相同, 增加了片内的 Codec, 此外, 还有 1 个 4 引脚的 JTAG 仿真口。DSP1610 片内有 512 字的引导 ROM 和 8K 字的双口 RAM, 支持硬件和软件等待状态。DSP1616 片内有 12K 字的 ROM 和 2K 字的双口 RAM, 支持软件等待状态。DSP1610 和 1616 提供了仿真接口。

DSP32C 是 DSP32 的增强型, 是性能较优的一种浮点 DSP 芯片。其主要特点包括:

- (1) 80/100 ns 的指令周期;
- (2) 地址和数据总线可以在单个指令周期内访问 4 次;
- (3) 片内具有 3 个 512 字的 RAM 块, 或 2 个 512 字的 RAM 块加 1 个 4K 字的 ROM 块。

可以寻址 4M 字的外部存储器;

(4) 具有串行和并行 I/O 接口。串行 I/O 采用双缓冲, 支持 8/16/24/32 位串行数据传输, 外部微处理器可以控制 DSP32C 的 8/16 位并行口;

(5) 采用专用的浮点格式, 可在单周期内与 IEEE-754 浮点格式进行转换;

(6) 具有 4 个 40 位精度的累加器和 22 个通用寄存器;

(7) 支持无开销循环和硬件等待状态。

DSP3210 内部具有 2 个 1K 字的 RAM 块和 512 字的引导 ROM, 外部寻址空间达 4G 字节, 可以用软件编程产生等待状态, 具有串行口、定时器、DMA 控制器和一个与 Motorola 和 Intel 微处理器兼容的 32 位总线接口。

2.6.3 Motorola 公司 DSP 芯片

Motorola 公司的 DSP 芯片可分为定点、浮点和专用三种。

定点 DSP 芯片以 MC56000、MC56001、MC56002 为代表。程序和数据字长为 24 位, 有 2 个精度为 56 位的累加器。DSP56001 的指令周期为 60ns 和 74ns 两种。片内具有 512 字的程序 RAM、512 字的数据 RAM 和 512 字的数据 ROM。三个分开的存储器空间, 每个均可寻址 64K 字。片内 32 字的引导程序可以从外部 EPROM 装入程序。支持 8 位异步和 8~24 位同步串行 I/O 接口。并行接口可与外部微处理器接口, 支持硬件和软件等待状态产生。MC56000 是 ROM 型的 DSP 芯片, 内部具有 2K 字的程序 ROM。MC56002 则是一个低功耗型芯片, 可以在 2.0V~5.5V 电压范围内工作。

浮点 DSP 芯片以 MC96002 为代表, 采用 IEEE-754 标准浮点格式, 累加器精度达 96 位, 可支持双精度浮点数。该芯片的指令周期为 50/60/74ns。片内有 3 个 32 位地址总线和 5 个 32 位数据总线。内部具有 1K 字的程序 RAM、1K 字的数据 RAM 和 1K 字的数据 ROM。64 字的引导 ROM 可以从外部 8 位 EPROM 引导程序。内部具有 10 个 96 位或 30 个 32 位基于寄存器的累加器。支持无开销循环、硬件和软件等待状态产生。具有三个独立的存储空间, 每个空间可寻址 4G 字。

MC56200 是一种基于 MC56001 DSP 核, 适合于自适应滤波的专用定点 DSP 芯片, 指令周期为 97.5ns, 程序字长和数据字长分别为 24 位和 16 位。内部的程序和数据 RAM 均为 256 字, 累加器精度为 40 位。MC56156 则是一个在片内集成了过取样 Σ - Δ 话带 Codec 模数转换器和锁相环的 DSP 芯片, 主要用于蜂窝电话等通信应用, 其指令周期为 33/50ns。

除了以上介绍的一些 DSP 芯片之外, 还有一些公司的 DSP 芯片也较著名。例如 NEC 公司的 μ PD77C25、 μ PD77220 定点 DSP 芯片和 μ PD77240 浮点 DSP 芯片等。

2.7 小 结

本章首先介绍了 DSP 芯片的基本结构，比较详细地介绍了 TI 公司的系列 DSP 芯片的基本特征，并简要介绍了 AD 等公司的 DSP 芯片。了解 DSP 芯片的结构和特征是采用 DSP 芯片设计 DSP 系统的基础。需要特别指出的是，由于 DSP 芯片的发展速度很快，用户在选用 DSP 芯片时，必须根据市场行情选用生产厂家主推的产品。如 TI 公司目前比较流行的定点 DSP 芯片是 TMS320C2XX、TMS320C54X、TMS320C62X 等，即使是同一系列的 DSP 芯片，如 TMS320C54X，该系列中的某些芯片也已过时，因而建议不要使用。