



【設計論壇】

Power MOSFET IC的結構與電氣特性

字量

Power MOSFET IC(以下簡稱為MOSFET)廣泛應用在各種電源電路與汽車等領域，雖然最近幾年MOSFET在高速切換(switching)與低ON阻抗化有相當的進展，不過一般認為未來MOSFET勢必會朝高性能方向發展，因此本文要介紹MOSFET IC的構造、電氣特性，以及今後技術發展動向。

MOSFET IC的構造

圖1是N channel Power MOSFET IC的斷面構造，本MOSFET的gate與source之間，亦即gate pad的周圍設有可以防止靜電破壞的保護二極體，因此它又稱為body diode。馬達驅動電路與斷電電源供應器(UPS)等DC-AC轉換inverter等應用的場合，保護二極體可以充分發揮它的特性。

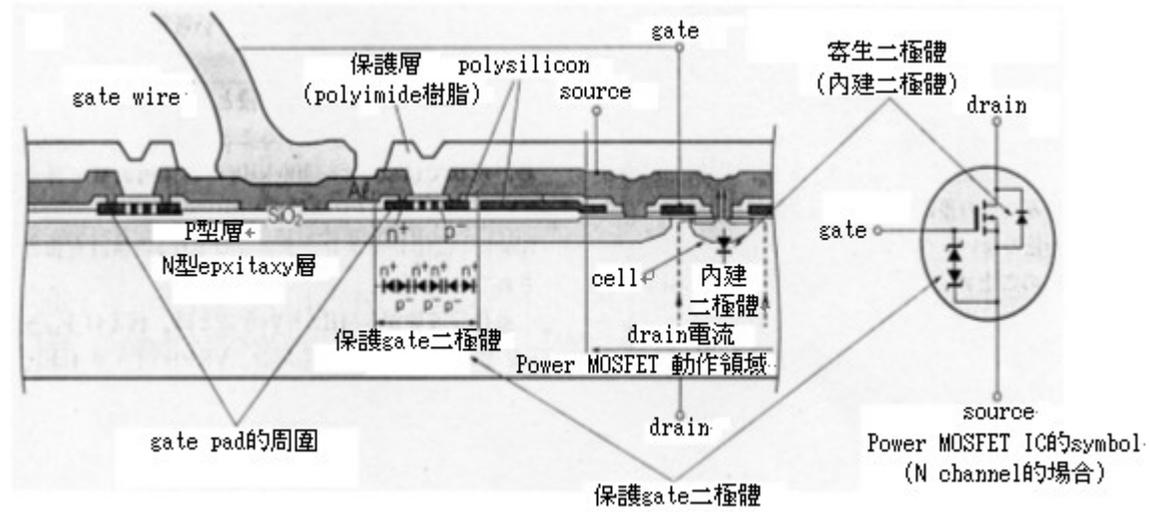


圖1 Power MOSFET IC的構造

圖2是MOSFET的結構分類，由圖可知MOSFET結構上可以分成縱型與橫型兩種type；縱型type還分成平板(planer)結構與溝槽(trench)結構兩種。表1是上述結構特徵與主要用途一覽。

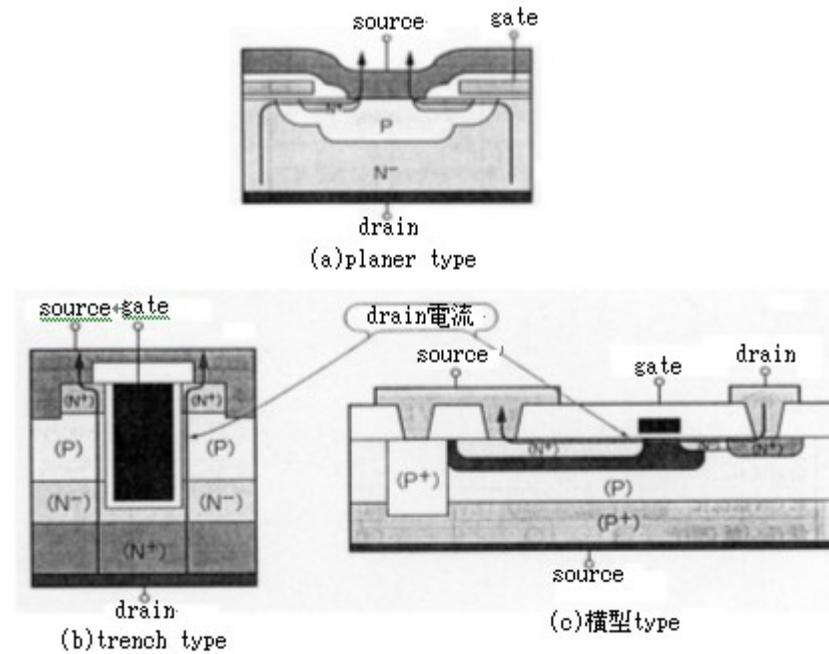


圖2 Power MOSFET IC的分類

構造	縱型		橫型		
區分	低耐壓(100V以下)		高耐壓 (planer)	低耐壓	高耐壓
特性	planer	trench			
耐高壓化	—	—	◎	—	△
低ON阻抗化	○	◎	△	△	—
低 C_{iss} (低 Q_g)	○	○	○	◎	◎
低 C_{rss} (低 Q_{gd})	◎	○	○	◎	◎
特徵	高耐壓、低電流		高速、高頻		
	• DC-DC converter	• AC-DC switching電源		• RF增幅輸出	• 高頻電力增幅

用途	• 驅動小型馬達 • 汽車電機	• UPS電源 • inverter	(行動電話) 數百MHz~數GHz	(基地台設備)
----	--------------------	-----------------------	----------------------	---------

表1 Power MOSFET的構造與用途

• 縱型構造

縱型構造適用於高耐壓/低ON阻抗MOSFET，目前中/高耐壓($V_{DSS}=200V$)的MOSFET大多採用縱型結構。雖然部份低耐壓($V_{DSS}=100V$)的MOSFET也使用縱型結構，不過一般要求低容量、高速switching特性的場合，平板(planer)結構比較有利；要求低ON阻抗特性時，則以溝槽(trench)結構比較適合。最近幾年製程與加工設備的進步，溝槽結構的MOSFET在低容量化(低 Q_g ， Q_{gd} 化)有相當的進展，因此從應用面觀之縱型與溝槽結構的MOSFET，兩者的低容量化特性已經沒有太大差異。如上所述縱型結構的MOSFET具備高耐壓、低ON阻抗、大電流等特徵，所以適合當作switching元件使用。

• 橫型構造

橫型構造最大缺點是不易符合高耐壓/低ON阻抗等要求，不過它低容量特性尤其是逆傳達容量(歸返容量) C_{rss} 非常小。如圖2(b)所示，gate與source之間的容量被field plate遮蔽(shield)，因此結構上非常有利。

不過橫型構造的cell面積很大，單位面積的ON阻抗比縱型構造大，因此一般認為不適合switching元件使用，只能當作要求高速/高頻等高頻增幅器常用的輸出控制元件(device)。

• 今後發展動向

橫型構造比較適用於低耐壓switching元件，主要應用例如驅逐CPU core的VR(Voltage Regulator)等等。一般認為VR未來會朝向0.8V/150A方向發展，此外為支援遽變負載可作高速應答，例如電流站立應答 $di/dt=400A/\mu s$ 的速度特性，未來勢必成為必備條件之一。

由於低電壓化需求必需抑制電壓幅寬，相對的電壓變動容許值必需低於數十mA以下，然而複數電容並聯的結果，卻造成電路基板變大等困擾，有效對策是提高電源switching的頻率，也就是說目前200~300kHz的動作頻率，未來勢必將會被2~5MHz CPU驅動用VRB((Voltage Regulator Block)取代。此外基於高頻領域的動作性等考量，結構上比較有利的橫型構造則被納入檢討。由於橫型構造屬於

source-source，因此要求高速性的高 side switch 已經採用橫型構造，low side switch(整流用)則利用縱型結構將晶片堆疊在同一stem，藉此消除導線電感(inductance)進而形成高性能MOSFET元件。

▲ TOP

MOSFET IC的應用

圖3是MOSFET IC主要用途與今後發展動向一覽；橫軸是元件的耐壓值 V_{DSS} ，縱軸是元件應用上的動作頻率。

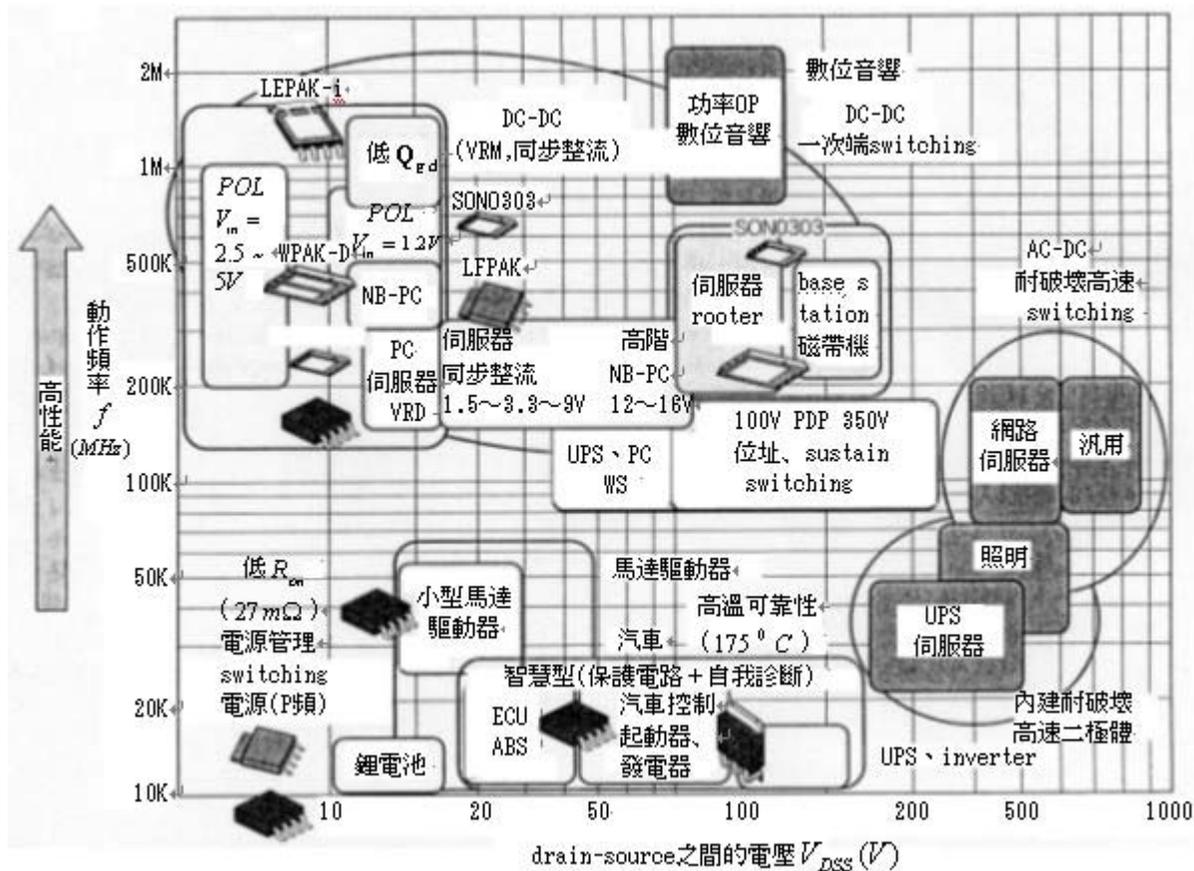


圖3 Power MOSFET IC用途與發展趨勢

(一).電源系統

電源系統要求MOSFET IC具備省能源(energy)、高效率、輕巧、小型、低噪訊(noise)、低高頻電流、高可靠性，以及高速負載應答(峰值負載電流)等特性。在switching電源中，進展最快速的是DC-DC converter與驅動CPU的VR，尤其是驅動CPU的VR，除了低電壓化/大電流化之外，今後更要求小型/高速化(高化)，因此動作頻率(控制IC的PWM頻率)有高頻化的傾向。雖然目前主流是200~300KHz，不過未來會逐漸朝400~700KHz，甚至1MHz高頻化方向提升。然而高頻化的結果，卻造成MOSFET的switching損失大幅增加，雖然FOM (Figure Of Merit)是MOSFET高性能化的重要指標，不過基本上降低 $R_{DS(on)}$ ， Q_{gd} 才是根本對策。圖4是Power MOSFET IC的性能指標，亦即FOM改善經緯。

圖5是gate內部阻抗 R_g 與電源效率的關係，由圖可知動作頻率 $f=300\text{kHz}$ 時， R_g 會從 3Ω 變成 0.5Ω ，電源效率則改善1%以上；如果動作頻率 $f=1\text{MHz}$ 時，電源效率則改善5%以上。雖然gate內部阻抗 R_g 會隨著元件種類出現差異，不過動作300kHz頻率超過以上高速動作時，建議讀者選用 R_g 低於 2Ω 的type。

VR用MOSFET的選擇重點如下:

a.high side device

- 低ON阻抗(輸入電壓 V_{in} 會改變優先度)。
- 低 Q_{gd} 特性。
- 低gate內部阻抗 R_g (低於 2Ω)。

b.high side device

- 超低ON阻抗(輸入電壓 V_{in} 會改變優先度)。
- 低 Q_{gd} 特性。
- 低 Q_g 特性。
- 低 C_{rss}/C_{iss} 特性(輸入電壓 V_{in} 會改變優先度)。

- 高速二極體特性(快速的逆復原時間 t_{rr})。

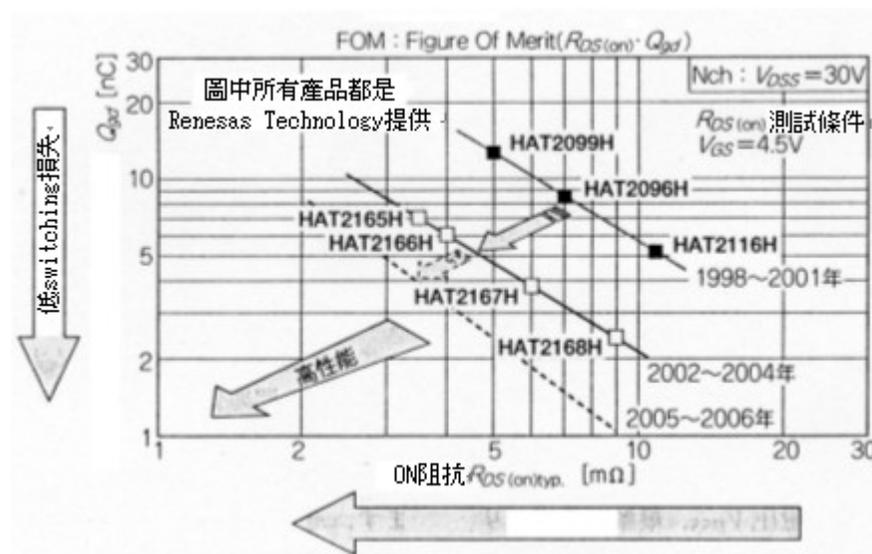
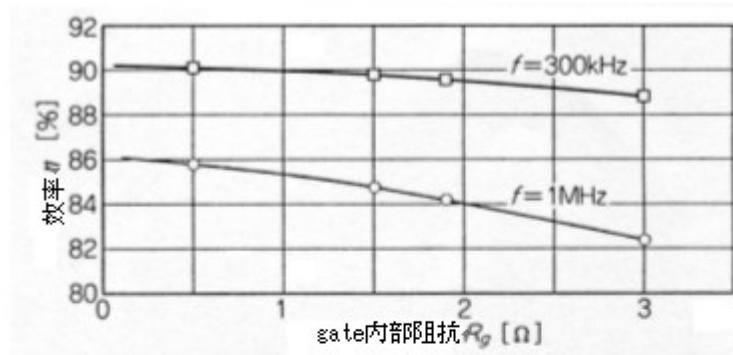
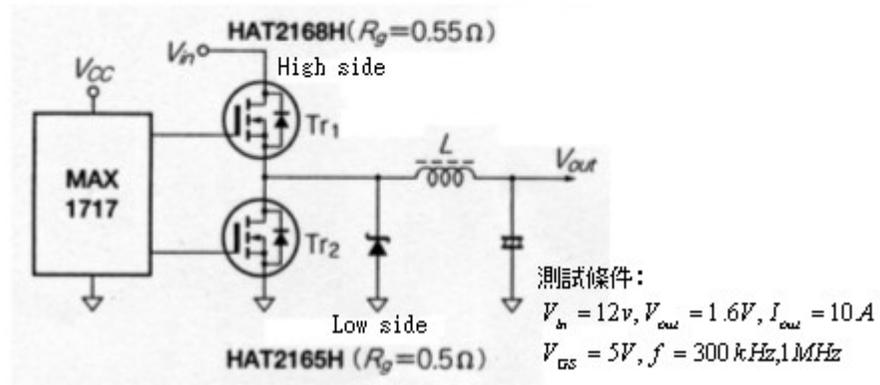


圖4 低 Q_{gd} 與低 $R_{D(an)}$ 化的發展動向



(a) gate 內部阻抗與電源效率



(b) 測試電路

圖5 gate 內部阻抗與效率的依存性

(二). 汽車電機

例如引擎控制器、安全氣囊、ABS、HEV/FCEV 操控馬達、廢氣控制、車內LAN 用繼電器代用品等，電路系統內部都可以發現功率 MOSFET IC 的蹤影，由於這些控制系統涉及人身安全，因此除了高可靠性之外，更要求 MOSFET 對所有破壞模式具備強大的耐量(承受能力；以下簡稱「耐量」)。

有關廢氣控制與省能源問題，低ON阻抗特性的MOSFET非常適合，不過為確保負載短路破壞耐量，所以低ON阻抗特性往往受到某種程度的犧牲，所幸的是具備過溫度遮斷功能的熱能(thermal)FET已經商品化，而內建智慧型(intelligent)電路，以保護電路簡略化/高可靠性為訴求，以及附設保護負載短路+自我診斷輸出端子、內建可以檢測溫度/電流功能的晶片，已經正式進入研發階段。

(三).馬達驅動應用

以往MOSFET IC的馬達驅動應用，主要是印表機、影印機、硬碟機等電腦與事務機器領域，最近幾年這些機器基於高速送紙、高速起動、高速停止的市場需求壓力，以及要求提高馬達的控制精度等來自設計者的需求，因此採用同時具備高速應達(response)，與低損失、低耐壓功率MOSFET IC的case有逐年增加的趨勢。

此外上述應用基於成本考量大幅簡化驅動電路，因此以P channel MOSFET與N channel MOSFET補償型(complementary)元件居多，由於動作頻率大多低於50kHz，所以元件設計上非常重視低ON阻抗特性。

雖然理論上P channel MOSFET的ON阻抗比N channel MOSFET大，不過隨著製程微細化，兩者幾乎達到無差異程度。採用內建P channel與N channel耐壓低於60V，外型封裝類似SOP-8小型元件的數量也不斷增加。

(四).可攜式電子產品

使用電池驅動的大電流(數A~10A)可攜式電子產品，以筆記型電腦(Note Book Personal Computer以下簡稱為NB-PC)最具代表性。NB-PC的AC充電電源與電池切換選擇開關，以及各種負載開關(load switch)，大多使用P channel MOSFET；至於鋰離子電池的保護電路充放電開關，則使用小型封裝低ON阻抗的P channel MOSFET。

隨著筆記型電腦的高速化與處理資料容量遽增，必需提供更大的電流給CPU，這意味著鋰離子電池的動作電流也隨著提高。以往小型鋰離子電池pack大多是以呈密封狀態，因此大多使用小型封裝低ON阻抗的P channel MOSFET。

目前耐壓-30V, $R_{DS(on)}=3.6m\Omega_{typ}$ ，超低ON阻抗小型封裝的LFPACK(SOP-8 pin compatible)已經商品化， $R_{DS(on)}=2.7\Omega_{typ}$ 同樣是小型封裝的產品HAT1125H，則正在開發中。

(五).Audio應用

以往Audio OP增幅器大多採取類比方式，最近受到省電化的影響，Audio設備也改用數位化switching技術。由於Audio OP增幅器的電源，大多使用電源變壓器與大容量電解電容，因此電源模組若改用switching電源，理論上可以獲得小型、輕巧、省電等多重效益，

不過實際上輸出模組的增幅器基於噪訊、偏斜率THD(Total Harmonic Distortion)等，Audio設備特有的特性等考量，加上設備系統屬於類比結構，因此無法期待功率增幅器整體的效率可以獲得改善。

所幸的是電源模組與輸出增幅模組都導入switching技術，因此業者也逐漸改用數位化增幅器。未來數位化增幅器適用於以上Audio高功率輸出段，該輸出段與switching電源一樣，屬於half bridge與full bridge結構，可用300MHz以上動作頻率switching。

上述電路與switching電源一樣，high side與low side元件都設有所謂的dead time，需注意的是設定時間過大的話，會有波形歪斜之虞。此外利用PWM變調作數十ns脈衝寬度控制，switching速度太慢的話，同樣會影響波形歪斜，因此MOSFET IC必需具備100~150V的耐壓，數十mΩ低ON阻抗特性，數十pF以下低歸返(return)容量 C_{rss} ，加上低噪訊化的等高速switching，與高 V_{th} ($V_{th}>3V$)等特性。

一般認為今後除了噪訊與波形歪斜問題之外，低電感化、低容量化的同時，勢必針對封裝與元件結構進行特性提升，才能完全滿足以上的要求。

(六).家電設備

事實上功率MOSFET IC是日常生活不可或缺的必要元件之一，例如日光燈inverter就是由MOSFET IC典型應用實例。

今後MOSFET IC的應用，會擴展至液晶、電漿面板在內的各種平面顯示器，以及面板驅動用sustain switching，與液晶電視的燈管驅動用inverter等領域。

▲ TOP

MOSFET IC的發展動向

- 低電感化、低阻抗化封裝技術

如上所述隨著壓比較器(regulator)動作頻率的高頻化，今後除了改善元件的 $R_{DS(on)}$ ， Q_g ， Q_{gd} ， R_g 特性之外，小型化封裝技術也是關鍵性技術。

具體而言封裝上必需盡量降低source固定導線(bonding wire)阻抗 R_w 、source/gate的電感成份 L_s ， L_g 。以gate電感 L_g 為例，為了使gate容量 Q_g 能在數ns時間內充電，所以gate電流 I_g 必需在數ns時間內站立。

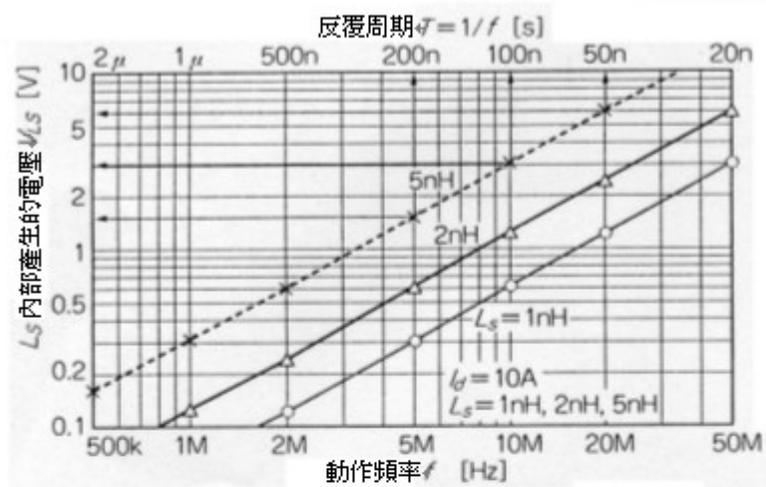
- source電感會降低效率

圖6是說明有關high side元件的source電感 L_s 的影響，它針對source導線電感 L_s 內產生的電壓 V_{LS} 與動作頻率，進行依存性計算獲得的結果。雖然SOP-8封裝的 L_s 取決於source導線長度、直徑、數量，不過即使如此，它的source導線電感 L_s 大約有2~5nH。

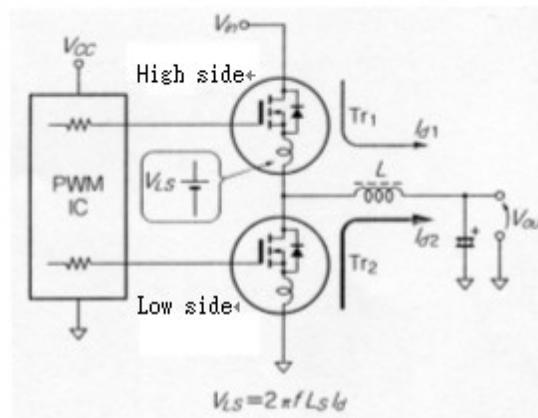
5nH的場合，動作頻率超過3MHz的 V_{LS} ， $I_d=10A$ 時，超過1V在5MHz就會變成1.5V(I_d 變成20A大電流時，source導線電感 L_s 內產生的電壓 V_{LS} ，分別變成2倍亦即:2V/3MHz,3V/5MHz)。

至於high side的 T_{r1} ，該 L_s 會對gate驅動電壓轉換成負歸返，進而使ON阻抗朝上升方向動作，接著再受到 V_{LS} 的影響，此時即使未對gate施加充足的驅動電壓，switching時間(上升時間 t_r)也會自動變長，turn ON損失則大幅增加，尤其是high side元件必需限制脈衝寬度狹窄時間，因此高頻動作時上述問題會更加突顯。

由此可知source電感 L_s 對高頻特性具有不良影響，同時還會降低電源效率。有效對策除了事前的模擬分析，與事後的調整修正之外，低電感、低阻抗無導線結構的封裝方式勢必成爲未來主流，值得一提的是降低導線的寄生source電感 L_s ，也是非常重要的關鍵性技術。



(a) 動作頻率與 L_s 產生電壓的依存性



(b) 測試電路

圖6 source inductance的影響

- 小型高散熱效率的封裝技術

類似CPU驅動用電壓比較器與二次端同步整流用途，要求高頻化/大電流化的同時，小型化之後單位面積高電流密度則是未來的趨勢。一般Power MOSFET IC的封裝於印刷電路板的場合，MOSFET IC動作時產生的熱量是透過電路板排除，所以印刷電路板的溫度必需抑制在105°C以下，這意味著良好的冷卻技術非常重要。

圖7是國外業者正在開發的小型/低熱阻抗封裝LFPAK-i(Inverted Type)的結構，由圖可知它是屬於lead彎曲type。

本MOSFET IC最大特徵是利用金屬頂端(header)散熱，由於單純lead彎曲type，gate與source的電極左右相反，因此使用上非常不方便，設計上必需使上述兩電極類似LFPAK、SOP-8作同方向佈線。

LFPAK若與LFPAK-i比較時，附冷卻風扇空氣冷卻的熱飽和狀態封裝熱阻抗，可以從25°C/W降至15°C/W，大約減少40%左右，由於channel溫度降低，動作時的ON阻抗也隨著下降， $t_{pw}=0.5s\sim 10s$ 過渡時間變成只有原來的1/3~1/5，所以峰值動作時可以獲得大電流化效益。

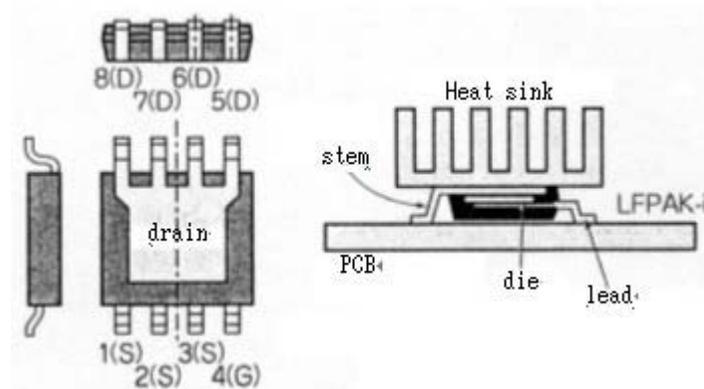


圖7 Power MOSFET IC的封裝

• 複合化/積體化

a.內建SBD的Power MOSFET IC

圖8是高效率DC-DC converter電源用Power MOSFET IC複合化/微積體化實例，Power MOSFET IC應用在非絕緣型DC-DC電源時，類似圖8組合High side與Low side的電路，為避免上/下元件同時ON，因此上/下元件設置OFF時段(dead time)，在該時段若使用Low side內建的二極體，會因為該二極體的 $V_F=0.8V$ 電壓下降，與逆復原時間 t_r 的影響，產生High side的turn ON損失，進而變成高頻動作最後導致效率降低等結果。

有效對策如圖8所示，將SBD(Shot key Barrier Diode)串聯連接，藉此避免dead time期間電流不會在二極體流動，同時降低turn ON損失。

圖8(b)是將SBD微積體化至Low side MOSFET IC內部，藉此消除寄生電感的設計。

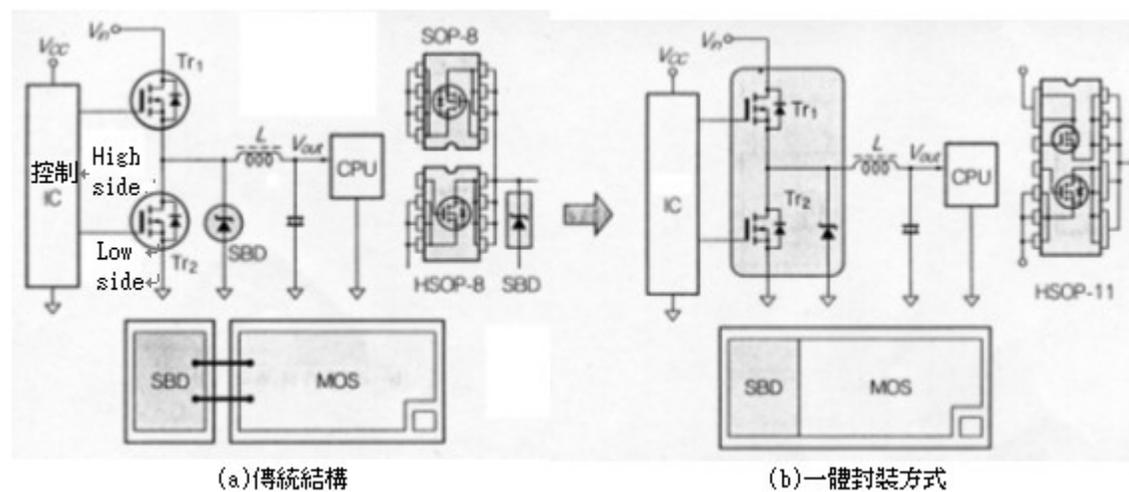


圖8 一體封裝方式改善 V_F ， t_r 特性

內建驅動IC的Power MOSFET可以滿足高頻化需求，尤其是CPU資料處理容量增加，提供CPU電力的電壓比較器必需同時具備低電壓、大電流、高速應答、高效率、輕巧、小型多重特性。傳統技術使用大容量電容器等被動元件，可是如此設計卻造成搭載電壓比較器的電路基板面積不敷使用等後果，雖然高頻化可以解決上述問題，不過反面缺點switching損失增加效率降低。因此Intel提案將驅動IC與上/下兩Power MOSFET積體於QFN56 package內，形成所謂的SiP(System in Package)結構。值得一提的是Intel根據「Driver-MOSFET integrated SiP(DrMOS)」規範製成的「Driver-MOSFET積體SiP」目前已經正式商品化。

c.高功能/高可靠性

汽車電機用途的MOSFET必需具備強大負載短路耐量與高可靠性，為符合如此嚴苛要求，國外業者推出如圖9所示，具備過溫遮斷功能的熱力(thermal)型FET，當負載短路等因素造成MOSFET channel溫度 T_{ch} 溫度達 $150 \pm 20^{\circ}\text{C}$ 時，內建於晶片上的溫度感測部，與過熱遮斷/限制過電流電路就會開始動作，接著連接主功率(main power)MOSFET的source-gate之間，過熱遮斷用MOSFET會變成ON，如此便可以達成保護功率MOSFET IC的預期效果。有關遮斷後的復原方式可分為Latch Type與Hysteresis Type兩種，它的動作特徵分別是：

- Latch Type:若未將遮斷後source-gate之間的電壓歸零(reset)，就無法回復正常動作。
- Hysteresis Type: 遮斷溫度低於額定值便自動回復正常動作。

此外國外業者正積極開發具備自我診斷功能的功率MOSFET IC，當MOSFET發生元件損壞，或是外部電路例如負載open、負載short時，該MOSFET可以自動進行智慧型自我診斷動作，藉此保護系統整體的安全。

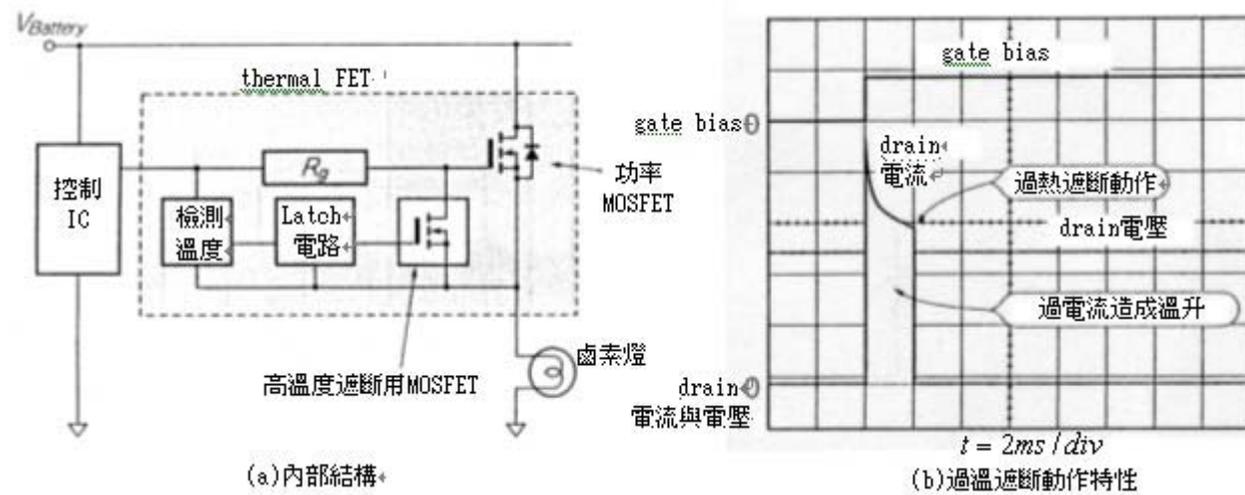


圖9 具備過溫度遮斷功能的熱力型FET

▲ TOP

MOSFET IC的電氣特性

圖10是Power MOSFET IC的等價電路與關鍵性參數特性，雖然這些特性項目與破壞耐量都是MOSFET IC高性能的理想指標，不過基本上例如ON阻抗 $R_{DS(on)}$ 與耐壓 V_{DSS} 等典型的互動關係中，已經與其它特性發生密不可分的關係。此外在各特性項目中並不是所有特性都有溫度依存性(互動關係)，換言之具體掌握Power MOSFET IC的電氣特性，對設計者選擇適合的MOSFET具有決定性的影響。

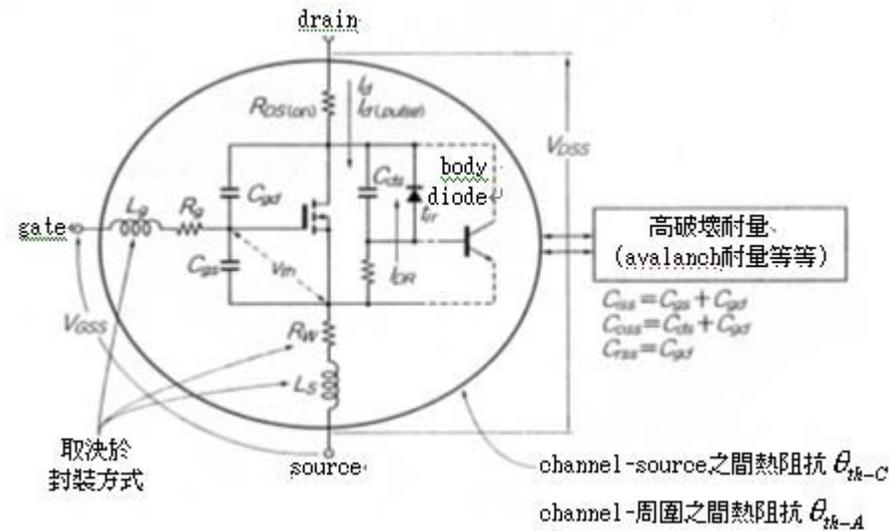


圖10 Power MOSFET IC的等價電路與關鍵性參數

MOSFET IC的 R_w ， L_g ， L_s 等參數(parameter)取決於封裝方式； R_w 主要是source wire的阻抗成份； L_g 是source wire的寄生電感成份； L_s 是gate wire的寄生電感成份，不過令人遺憾的是一般技術資料(data sheet)都不會記載這些參數。

表2是Power MOSFET IC的最大額定值，表中的額定項目同樣與其它特性有密不可分的關連性，因此必需注意有些特性不允許同時出現。

雖然最大額定drain電流 I_D ，理論上可以利用表2的計算公式加以規範，不過實際上某些超低ON阻抗產品(數mΩ等級)，它的最大額定drain電流 I_D 經常超過100A，由於 I_D 受限於封裝時的導線固定溶斷電流，這意味著最大額定drain電流為導線的溶斷電流具有相當的裕度(安全係數)。不過實際上若考慮電流流動時，drain與source lead產生的熱量，TO-220封裝方式75A的額定電流反而是比較合理的數據。

項目	符號	定額值	單位
drain與source之間電壓	V_{DS}	60	V
gate與source之間電壓	V_{GS}	± 20	V
drain電流	I_D	85	A
脈衝drain電流	$I_{D(pulse)}$ (1)	340	A
逆drain電流	I_{DR}	85	A
avalanche電流	I_{AP} (2)	60	A
avalanche能量	E_{AR} (2)	308	mJ
channel容許損失	P_{ch} (3)	110	W
能量容許損失	T_{ch}	150	°C
過渡熱阻抗	θ_{ch-C}	1.14	°C/W

V_{DS} 與ON阻抗有關
 低電壓驅動元件較低
 drain電流 I_D 理論公式

$$I_D = \sqrt{\frac{T_{chmax} - T_C}{R_{DS(on)max} \times \alpha \times \theta_{ch-C}}}$$

 $I_{D(pulse)}$ 使用過渡熱阻抗
 (但是, $\alpha = \frac{150^\circ C R_{DS(on)}}$)
 source與drain之間內建二極體的定額電流

$$E_{AR} = \frac{1}{2} L I_{AP}^2 \frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD}}$$

 P_{ch} 的溫度延遲

$$P_{ch}(T_x) = P_{ch}(25^\circ C) \times \frac{T_{chmax} - T_C}{T_{chmax} - 25}$$

$$\theta_{ch-C} = \frac{T_{chmax} - T_C}{P_{ch}}$$

 (取決於晶片大小與封裝方式)

▶ (1) $t_{pw} \leq 10\mu s, duty \leq 1\%$ 時的容許值
 (2) $T_m = 25^\circ C$ 時的容許值, $R_\theta \geq 50\Omega$
 (3) $T_m = 25^\circ C$ 時的容許值

表2 Power MOSFET IC的最大額定值(2SK3418, $T_{ch}=25^\circ C$.)

有關反覆動作時的脈衝電流額定值 $I_{D(pulse)}$ ，以Renesas公司的2SK3418為例，在 $t_{pw}=150\mu s=150\mu s$ ，反覆周期 $T=300\mu s$ ($duty \approx 3.3kHz$)，case溫度 $T_c=90^\circ C$ 條件下，若取 T_{chmax} 的延遲為 $120^\circ C$ 的話，根據表2的理論式求得最大容許值如下：

$$\begin{aligned}
 I_{D(pulse)rmax} &= \sqrt{\frac{T_{chmax} - T_C}{\theta_{ch-C} (t_{pw}/T) R_{DS(on)max} \cdot \alpha}} \\
 &= \sqrt{\frac{120 - 90}{0.57 \times 0.0055 \times 1.77}} \\
 &= 73.5 A_{max}
 \end{aligned}$$

式中的 θ_{ch-C} (tpw/T) 是2SK3418的過渡熱阻特性，它可以利用圖23的資料進行下列計算：

$$\theta_{ch-c}(tpw/T)=0.50 \times 1.14 = 0.57^{\circ}\text{C/W}$$

根據2SK3418的技術資料可知 $R_{DS(on)max}$ 為 0.0055Ω ；溫度係數則引用 $R_{DS(on)} - T_c$ 特性curve求得 $a=1.77$ ； $\theta_{ch-c}(tpw/T)$ 是 pw/T 時的channel與case之間的過渡熱阻抗。此外電流值 I_{AP} 與能量 E_{AP} 等基本額定值，是以avalanche動作時，channel溫度在 $T_{chmax} < 150^{\circ}\text{C}$ 範圍內為前提。

▲ TOP

本文內容（包括圖片）非經同意不得轉載（除有另行約定外）
EEdesign 擁有內文著作權，但文責由作者自行負責，不代表本網站立場。

[【TOP】](#) [【關閉視窗】](#) [【回上一頁】](#) [【回首頁】](#)