



【設計論壇】

MOSFET IC使用盲點與對策（上）

字量

Power MOSFET IC主要應用在功率電路終端輸出段，由於使用上必需面對各種嚴苛的動作要求與環境考驗，因此MOSFET IC經常在使用中遭到破壞，有鑑於此本文要探討有關Power MOSFET IC使用上的盲點與破壞機制，同時介紹各種對策技巧避免元件產生發熱、損毀問題。

Power MOSFET的破壞模式

表1是MOSFET IC應用領域與破壞模式一覽。Power MOSFET的破壞模式可分為五大類，分別是：

(1).潰散(Avalanche)破壞模式(又稱為過電壓破壞模式)

當電洞(surge)電壓超過元件最大定額電壓 V_{DSS} 時，電洞電壓會流到drain與source之間，嚴重時甚至會進入降伏電壓 $V_{(BR)DSS}$ 領域，當電洞電壓累積一定能量(溫度、電流、dv/dt)時，就會引發元件損壞等後果。

(2).ASO(Area of Safe Operation)破壞

ASO破壞是指元件的最大定額drain電流 I_D ，超過drain與source之間的電壓 V_{DSS} 與容許channel損失 P_{ch} 所造成的破壞而言。由於它是過電流、過電壓與過電力，超越安全動作領域造成的破壞現象，因此又稱為發熱要因破壞。

發熱要因可分為連續性與過渡性兩種，具體內容分別如下：

●連續性發熱

a.在活性領域(類比動作)以直流電力，或是一定的duty施加連續脈衝電力時，極易造成元件發熱現象。

b.ON阻抗 $R_{DS(on)}$ 造成的損失(尤其是溫升造成該損失超越容許散熱電力容量時)

也會引起元件發熱。

c. drain與source之間的漏電流 I_{DSS} 造成的損失(無冷卻風扇封裝高溫動作的場合除外，一般而言它比其它損失低)，也會引起元件發熱。

- 過渡性發熱

a. 脈衝性過大電力(又稱為one shot脈衝ASO破壞)也會造成元件發熱現象。

b. 負載短路造成過大電力(又稱為負載短路ASO破壞)也會使元件出現發熱現象，它與溫度有依存性(與溫度有互動關係)。

c. switching損失(turn ON，turn OFF時)造成的元件發熱現象，它與動作頻率有依存性。

d. 內建二極體(diode)逆回復時間 t_{rr} 造成的損失也會引起元件發熱，它與溫度、動作頻率有依存關係。

(3).內建二極體的破壞

它是指Power MOSFET內建的二極體電壓逆回復時，造成Power MOSFET的寄生雙極性電晶體(bipolar transistor)動作，進而引發元件破壞現象而言。

(4).寄生波動破壞現象

主要原因是寄生電感(inductance)(gate、source、負載drain，與各電路連接之間的電感產生的現象)造成波動性振動電壓，進而引發正復歸與gate over shot電壓導致元件遭到破壞。

(5).靜電破壞(gate surge造成的過電壓)

它可分為外部電力對Power MOSFET的gate-source之間，施加surge過電壓造成gate過電壓破壞現象；以及人體、封裝作業、量測設備等帶靜電物體，造成的gate ESD(Electro Static Discharge)破壞現象等兩大類。

由於實際上Power MOSFET引發(trigger)的破壞原因錯綜複雜，因此必需根據用途與動作要求，針對這些破壞模式進行事前分析，依此選擇最適宜的元件才是根本解決對策，此外電路設計階段，事前的電路定數與封裝細節檢討，也是非常重要的一環。

破壞模式		應用領域		S.P.S				
		應用實例		AC-DC Converter				DC-DC Converter
		一石forward	共振方式	全架橋電路	連接大功率 Parallel			
Avalanche破壞			○	○	○	○	○	
ASO破壞+	順偏壓ASO	-	-	-	-	-		
	負載短路ASO (含上下arm短路)	-	○	○	-	-		
	發熱原因	$R_{DS(on)}$	○	○	○	○	○	
		Switching	○	○	○	○	○	
	內建二極體 t_{rr}	-	○	○	-	-		
內建二極體破壞		-	○	○	-	-		
並聯動作時寄生波動造成破壞		-	-	○	○	○		
gate surge、靜電破壞		必需注意封裝時的靜電與外部surge對電路的影響						

Back Converter		S.P.S			馬達驅動		PDP Sustain Switching	音響增幅	
		同步整流	UPS	工作母機	低電壓 OA設備 (PPC,印表機)	高電壓 FA機械 (伺服機)		類比	數位
○	○	○	○	○	○	○	○	-	
-	-	-	-	-	-	-	-	○	
○	○	○	○	-	○	○	-	○	
○	○	○	○	○	○	○	○	○	
○	○	○	○	○	○	○	○	○	
-	○	○	○	-	○	○	-	○	
-	○	○	○	-	○	○	○	-	
-	○	○	○	○	-	○	○	○	

(a)民生、產業用

破壞模式		應用領域		控制引擎ECU			控制安全設備		
		應用實例		Solenoid valve		小型 Sensor	Inflator 點火	電源	ABS Solenoid
		High side+	Low side	小型馬達					
Avalanche破壞		○	◎	—	—	—	○	◎	
ASO 破壞	順偏壓ASO	○	○	—	◎	○	—	—	
	負載短路ASO	—	—	◎	—	—	—	—	
	發熱原因	$R_{DS(on)}$		—	—	○	○	—	
內建二極體破壞		—	—	○	—	—	—	—	
並聯動作時寄生液動造成破壞		○	—	—	—	—	—	—	
gate surge、靜電破壞		必需注意封裝時的靜電與外部surge對電路的影響							

取代繼電器		電子控制動力操縱、馬達、Inverter			
控制HDD Ballast	控制Lamp	控制電動 power setting	冷氣風扇控制	DC馬達控制	Inverter馬達控制
○	○	—	—	—	○
—	—	—	—	○	—
◎	◎	◎	◎	◎	◎
—	—	◎	—	○	—
○	—	—	○	—	○
○	○	○	○	—	◎
○	—	○	○	—	○
—	○	○	—	○	○

◎:重要項目，使用上必需考慮電路定數、元件特性、破壞特性等等
 ○:需注意項目

(b)汽車產業用

表1 MOSFET IC應用領域與破壞模式一覽

▲ TOP

Avalanche破壞與對策

所謂「Avalanche破壞」是指誘導負載時，switching動作turn OFF產生的flyback電壓，或是drain負載的寄生電感產生的spike電壓，超越Power MOSFET的drain-source額定電壓，並進入損毀(breakdown)領域導致元件發生破壞現象而言。

圖1分別是測試Avalanche破壞耐量的電路，以及Avalanche破壞的動作波形。如圖所示它將電壓波形的時段定義為元件潰散(Avalanche)期間。

假設元件發生surge電壓，即使該surge峰值電壓 $V_{ds(peak)}$ 是在 V_{DSS} (最大額定值) $< V_{ds(peak)} < V_{(BR)DSS}$ 範圍內(亦即超越額定電壓卻未進入Avalanche降伏領域)，然而元件的實質耐壓 $V_{(BR)DSS}$ 會出現掉入Avalanche範圍，與無掉入Avalanche範圍之虞兩種可能，因此筆者建議選擇元件時最好採用保證Avalanche耐量的MOSFET IC比較妥當。

Avalanche耐量保證元件對Avalanche電流定額 I_{AP} 、Avalanche能量(energy)值 E_{AR} 都有嚴謹規範，它可用下列數學公式表示:

$$E_{AR} = P_d t = \frac{1}{2} V_{(BR)DSS} I_{AP} t_a$$

$$= \frac{1}{2} L I_{AP}^2 \left(\frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD}} \right) \text{ (J)}$$

L負載造成的能量一般是用 $E=(1/2)LI^2$ 表示，需注意的是()括號內的項次，它意味著即使相同耐量的元件，由於使用的電源電壓 V_{DD} 不同，Avalanche電流值 I_{AP} 也會隨著改變。

例如 $V_{(BR)DSS}=550V$ 高耐壓元件，分別使用 $V_{DD1}=50V, V_{DD2}=350V$ 兩種電源電壓， $V_{DD1}=50V$ 時()括號內的值為1.1； $V_{DD2}=350V$ 時()括號內的值則分別成爲2.75倍、2.5倍，換句話說如果以Avalanche電流值 I_{AP} 觀察元件的耐量時，根據下列計算式證實delaying D必

需低於37%。

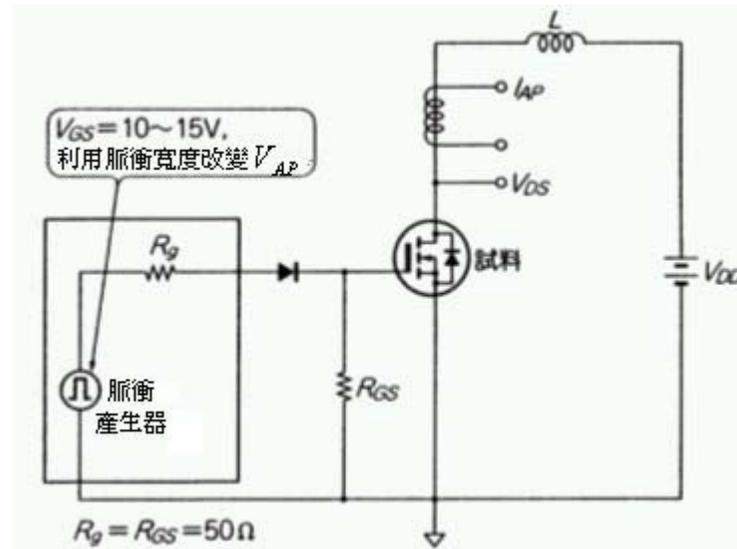
$$E_{AR} = \frac{1}{2} L I_{AP}^2 \underbrace{\left(\frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD1}} \right)}_{\text{係數 } k_1}$$

$$= \frac{1}{2} L (DI_{AP})^2 \underbrace{\left(\frac{V_{(BR)DSS}}{V_{(BR)DSS} - V_{DD1}} \right)}_{\text{係數 } k_2}$$

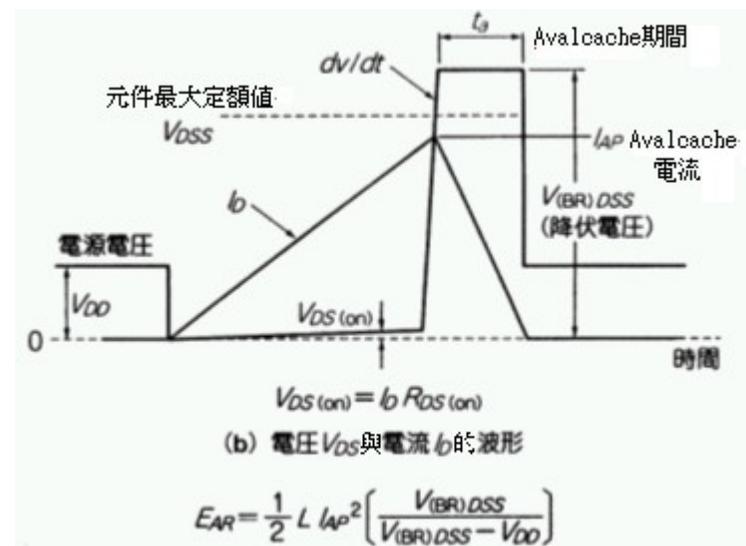
$$D = \sqrt{\frac{K_1}{K_2}} = \sqrt{\frac{1.1}{2.5}} \cong 0.63$$

D : delaying係數。

換句話說假設 $L=1\text{mH}$, $V_{(BR)DSS}=550\text{V}$, $V_{DD1}=50\text{V}$ ，元件保證 $I_{AP}=10\text{A}$ (亦即 $E_{AR}=22\text{mJ}$)，實際使用條件 $V_{DD2}=50\text{V}$ 時， I_{AP} 必需在 6.3A 範圍內使用，除此之外Avalcache狀態下的峰值頻道(peak channel)溫度， $T_{\text{ch(peak)}}$ 同樣需在定額頻道溫度 $T_{\text{chmax}}(<150^\circ\text{C})$ 範圍內使用。



(a)標準測試電路



(c) Avalanche能量的計算式

如圖2所示，影響Avalanche破壞耐量值的要因有三項，分別是：

- Avalanche電流值 I_{AP} 定額造成的限制

主要原因是Avalanche耐量保證元件，與一般動作電流 I_D 定額一樣，都會受到Avalanche電流 I_{AP} 定額的限制。

- Avalanche時channel溫度 $T_{ch, over}$ 造成的限制

它與一般動作一樣，Avalanche動作時的channel溫度 $T_{ch,max}$ 只有 $150^{\circ}C$ ，這意味著ON阻抗與switching損失如果接近 $T_{ch}=150^{\circ}C$ 的話，就不能以Avalanche方式動作。

- Avalanche時 dv/dt 造成的限制

尤其是Avalcache耐量的破壞值，隨著 dv/dt 變大有降低的傾向。

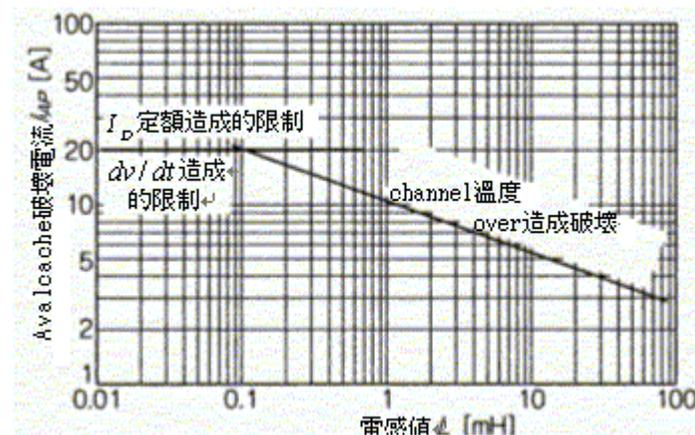


圖2 影響Avalcache破壞耐量的要因

圖3是針對高耐壓500V等級MOSFET元件，2SK1168的Avalcache破壞電流 I_{AP} ，與Avalcache破壞能量 E_{AR} 是否會隨著負載電感 L 移動，進行實驗獲得的結果。

根據測試結果顯示隨著電感 L 值增加，破壞電流 I_{AP} 會逐漸降低，破壞能量 E_{AR} 則出現變大傾向，由此可知判斷Avalcache破壞耐壓的強弱，必需同時檢討破壞電流 I_{AP} 與破壞能量 E_{AR} 。一般而言低電感值 L 、大破壞能量 E_{AR} 的MOSFET IC，通常Avalcache耐量都比較大。

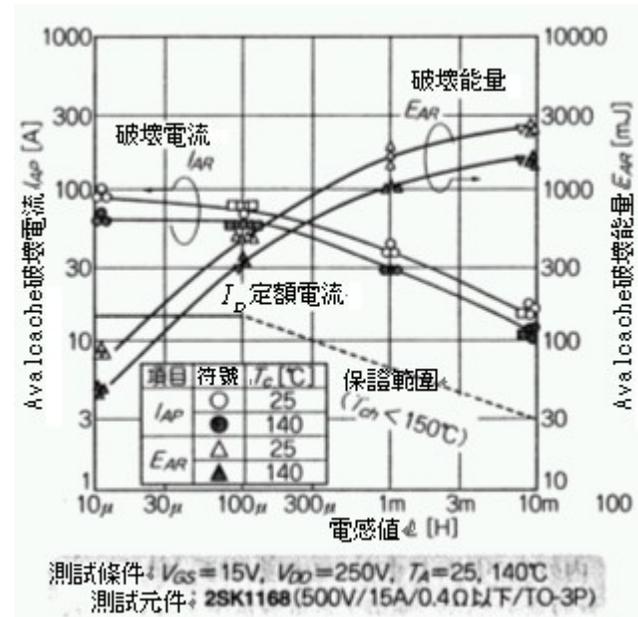
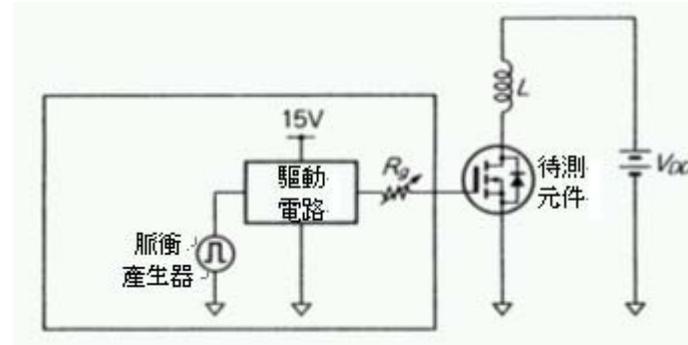


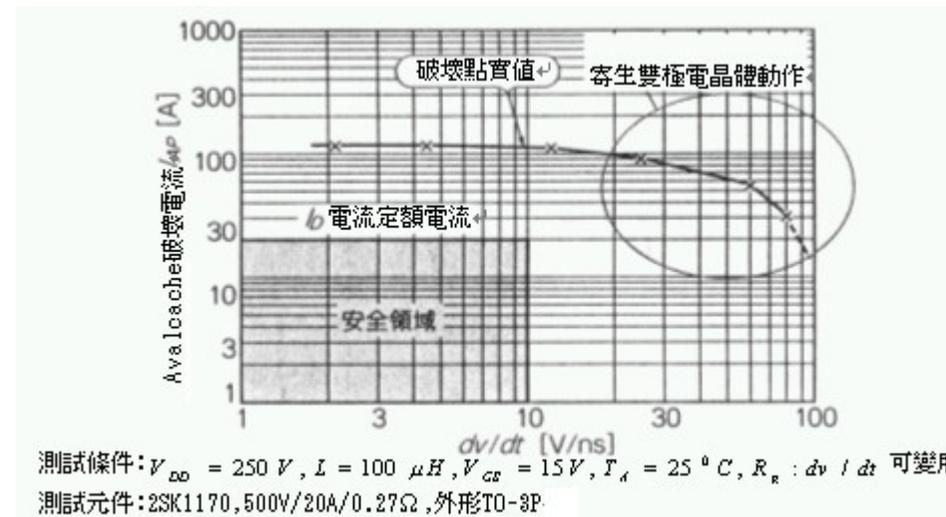
圖3 Avalanche破壞電流與破壞能量的關係

圖4是有關Avalanche破壞電流 I_{AP} ，與 dv/dt 耐量依存性測試結果。由圖3的等價電路可知，Power MOSFET是由drain與source之間寄生雙極性電晶體構成，因此 dv/dt 變得非常急峻時，就會出現通過輸出容量 C_{ds} 的過渡性電流開始流動，當等價電路的 R_p 過渡性峰值電壓超越 $V_{BE(on)}$ (大約是0.6V)時，寄生雙極性電晶體會變成ON，最後造成元件的破壞耐量大幅降低等嚴重後果。

所幸的是圖4測試結果顯示， $dv/dt \leq 10V/ns$ 還在安全領域的動作範圍，所以使用上還算安全。必需提醒讀者注意的是 dv/dt 的耐量，隨著元件種類會有很大的差異，因此使用上必需特別謹慎。



(a)測試電路



(b)測試結果

圖4 Avalanche破壞電流與dv/dt 耐量

圖5是實際Avalcache的波形。此處以Avalcache耐量保證元件2SK2869為例，介紹如何判斷該元件的特性是否在保證範圍:

□.Avalcache動作爲one shot pulse時

a.首先確認Avalcache電流 I_{AP} ，是否在Avalcache保證電流定額 I_{APmax} 範圍內？

根據圖6Avalcache耐量保證值，與破壞電流值的 $I_{AP} - L$ 依存性可知， $L=5mH$ 條件下， I_{APmax} 大約是 $7.5A_{max}$ ，依此確認圖5的波形爲4A，仍然在保證範圍內。

b.確認Avalcache動作時的channel溫度 T_{ch} 是否在 $T_{chmax} < 150^{\circ}C$ 範圍內？

計算Avalcache動作時的channel溫度 T_{chmax} ，必需先求出Avalcache動作前的起始頻道溫度 $T_{(s)ch}$ (周圍溫度 T_A + case溫度 T_C + ON阻抗損失+switching損失造成的溫升)。

假設 $T_{(s)ch}=60^{\circ}C$ ，而且 dv/dt 在安全動作範圍內使用，Avalcache動作時的channel溫度 T_{ch} ，可用下列數學式表示:

$$\begin{aligned} T_{ch} &= T_{(s)ch} + P_{ch} \theta_{ch-c}(t) \\ &= T_{(s)ch} + \{(1/2)V_{(BR)DSS} I_{APch-c}(t)\} \end{aligned}$$

式中的 $\theta_{ch-c}(t)$ 爲過渡熱阻抗，它可以從MOSFET元件的熱阻抗特性技術資料求得。潰散(Avalcache)期間 $t_a=400\mu s$ 的過渡熱阻抗計算如下:

$$\theta_{ch-c}(t=400\mu s) = Y_s(t) \chi_{ch-c} = 0.08 \chi 4.17 = 0.3336^{\circ}C/W$$

接著將各數據代入上式，就可以求出channel溫度 T_{ch} 。

$$T_{ch} = 60 + (1/2) \chi 80 \chi 4 \chi 0.3336 = 113.4^{\circ}C$$

根據以上計算結果可知channel溫度 $T_{ch}=113.4^{\circ}C$ ，仍然在定額 $T_{chmax} < 150^{\circ}C$ 保證範圍內。

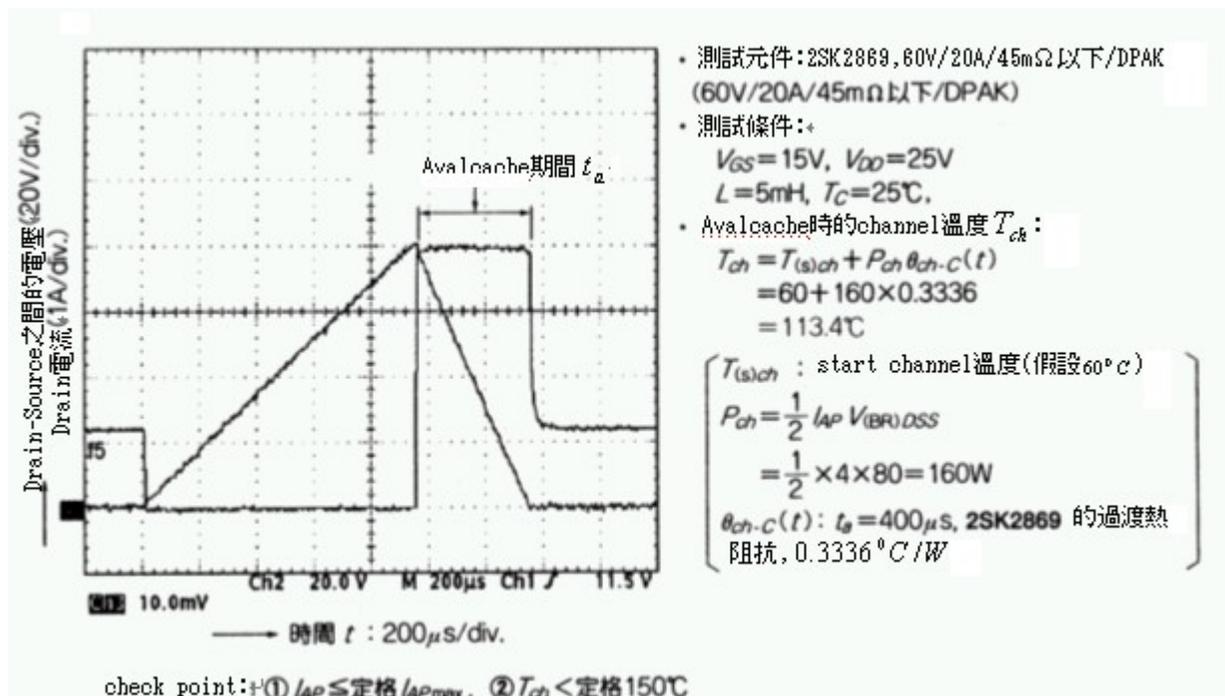


圖5 Avalanche期間與Drain-Source之間的電壓電流波形的關係

□. Avalanche動作為連續反覆狀態時

Avalanche動作為連續反覆狀態時，基本上它是以Avalanche電流 I_{AP} ，與channel溫度 T_{ch} 兩點為基準作保證，所以使用上必需進行以下確認動作:

a. 確認反覆Avalanche動作時的channel溫度

圖7是反覆Avalanche動作時的channel溫度特性，如圖所示Power MOSFET的channel溫度 T_{ch} 可分成:

一. 周圍溫度 T_A 以及case溫度 $T_c \rightarrow$ □部

二. ON阻抗 $R_{DS(on)}$ 損失造成的溫升 $\Delta T_{ch(R)} \rightarrow$ □部

三. Avalanche動作損失造成的溫升 $\Delta T_{ch(AV)} \rightarrow$ □部

三大部份，因此選用Power MOSFET IC時，必需仔細確認以上所有channel溫度，是否都在最大定額亦即channel溫度150°C保證值範圍內。

b. 確認起始channel溫度 $T_{(s)ch}$

上述channel溫度結構中， T_A 、 T_A ，加上 $\Delta T_{ch(R)}$ 就是所謂的「起始channel溫度 $\Delta T_{(s)ch}$ 」，由於該溫度與Avalcache電流的delaying也有關連，同時更是one shot脈衝動作，與連續動動作不可或缺的數據，因此設計上必需作精密的計算與事後檢討。

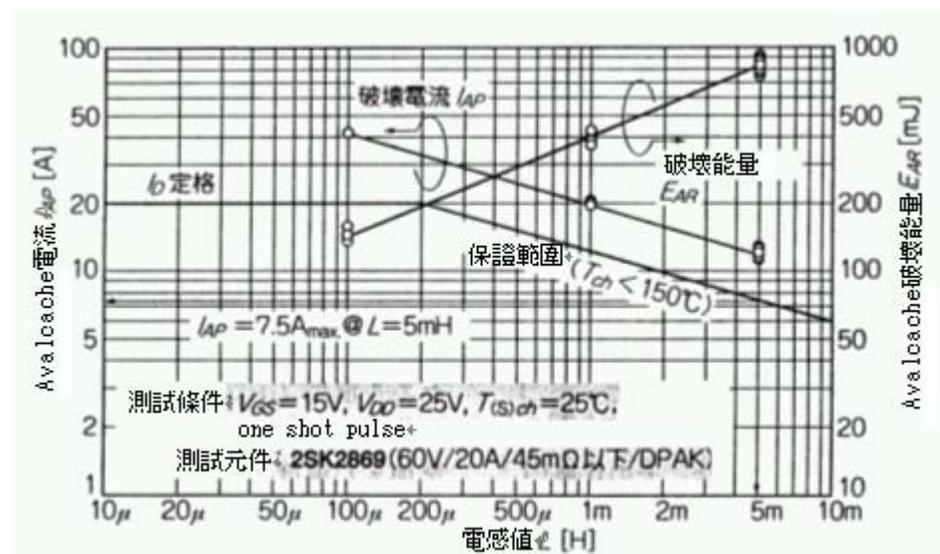


圖6 Avalanche耐量保證值與破壞電流值的關係(I_{AP} - L依存性)

c. 確認電感(inductance)Avalcache電流的保證範圍(參考圖6)

根據圖6的資料可知， $T_{(s)ch}=25^{\circ}\text{C}$ 實用的電感值，與Avalcache電流仍在保證範圍內。

d. 確認起始channel溫度 $T_{(s)ch}$ 與Avalcache電流的delaying rate

Avalanche電流的使用範圍 I_{AP} ，必需符合channel $T_{chmax}=150^{\circ}\text{C}$ 要求，然而 I_{AP} 會隨著起始channel溫度不斷改變。此處利用起始channel溫度(周圍溫度 T_A 、case溫度 T_C 、ON阻抗損失等條件)計算delaying，假設連續Avalanche動作時的total channel溫度 T_{chmax} ，是以Power MOSFET case溫度 T_C 當作基準，如此就能夠利用圖8的數學式求得channel溫度。如果不是利用case溫度 T_C ，而是以周圍溫度 T_A 作計算時，計算式中的直流熱阻抗 θ_{ch-c} 可以改用「封裝狀態時的總熱阻抗 θ_{ch-A} 」，此時必需利用下列公式計算實際封裝基板，與設在冷卻風扇上的熱阻抗 θ_{ch-A} 。

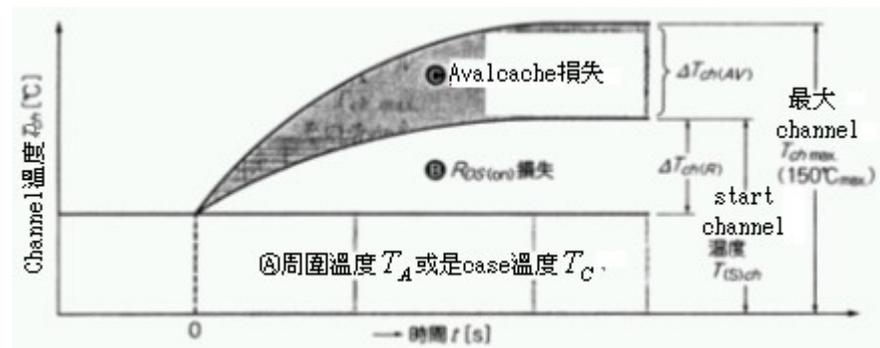
$$\theta_{ch-A} = \theta_{ch-c} + (\theta_I + \theta_c) + \theta_F$$

θ_I :絕緣sheet的熱阻抗($^{\circ}\text{C}/\text{W}$)。

θ_F :冷卻風扇的熱阻抗($^{\circ}\text{C}/\text{W}$)。

θ_c :接觸熱阻抗($^{\circ}\text{C}/\text{W}$)。

表2是利用上述數學式，計算反覆Avalanche動作時channel溫度 T_{chmax} 獲得的結果。



(a)channel溫度的構成

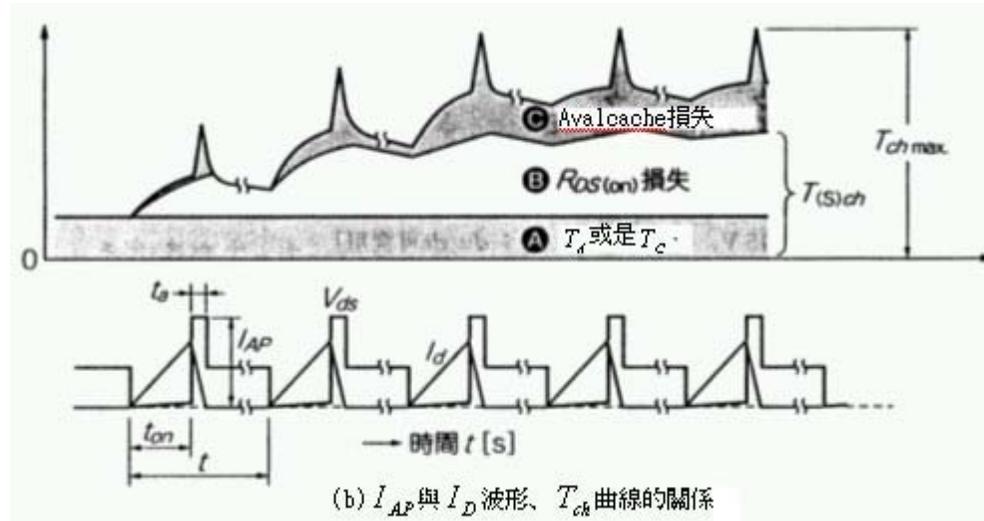


圖7 反覆Avalanche動作時的channel溫度特性

$$T_{chmax} = \underbrace{T_c + P_{on(avg)}\theta_{ch-c} + (P_{on} - P_{on(avg)})\theta_{ch-c}(t_{on})}_{\text{A B: ON阻抗損失造成Channel溫升 } T_{ch}} + \underbrace{(P_{AV(avg)} - P_{on(avg)})\theta_{ch-c} + (P_{AV} - P_{AV(avg)})\theta_{ch-c}(t_g)}_{\text{C: Avalanche動作造成Channel溫升 } \Delta T_{ch(AV)}}$$

$P_{on} = \frac{1}{3} I_{AP}^2 R_{DS(on)} \alpha$
 $P_{on(avg)} = P_{on} (t_{on} / t)$
 $P_{AV} = \frac{1}{2} V_{(BR)DSS} I_{AP}$
 $P_{AV(avg)} = P_{AV} (t_g / t)$

T_c : Case溫度+
 $R_{DS(on)}$: ON阻抗最大值+
 α : ON阻抗的溫度係數 (150° C / 250° C)+
 $P_{on(avg)}$: ON阻抗的平均損失+
 P_{on} : ON阻抗的損失 (t_{on} 期間)

$P_{AV(avg)}$: Avalanche平均損失+
 P_{AV} : Avalanche的損失 (t_g 期間)+
 θ_{ch-c} : 直流熱阻抗
 $\theta_{ch-c}(t_{on})$: t_{on} 期間的的過渡熱阻抗
 $\theta_{ch-c}(t_g)$: t_g 期間的的過渡熱阻抗

圖8 Channel溫升的計算式

No	T_C [°C]	I_{AP} [A]	$R_{DS(on)max}$ [Ω]	α	t_{on} [s]	t [s]	θ_{ch-C} [°C/W]	$\theta_{ch-C}(t_{on})$ [°C/W]	$V_{(BR)DSS}$ [V]	t_a [s]	$\theta_{ch-C}(t_a)$ [°C/W]	P_{on} [W]	$P_{on(avg)}$ [W]	P_{AV} [W]
4	60	4	0.045	1.8	0.001	0.01	4.17	0.5	80	4×10^{-4}	0.3336	0.432	0.043	160.0
6	60	4.6	0.045	1.8	0.001	0.01	4.17	0.5	80	4×10^{-4}	0.3336	0.571	0.057	184.0
17	80	3.58	0.045	1.8	0.001	0.01	4.17	0.5	80	4×10^{-4}	0.3336	0.346	0.035	143.2
26	60	4	0.045	1.8	0.001	0.007	4.17	0.5	80	4×10^{-4}	0.3336	0.432	0.064	160.0
27	60	4	0.045	1.8	0.001	0.006	4.17	0.5	80	4×10^{-4}	0.3336	0.432	0.072	160.0
28	60	4	0.045	1.8	0.001	0.005	4.17	0.5	80	4×10^{-4}	0.3336	0.432	0.086	160.0
29	60	4	0.045	1.8	0.001	0.003	4.17	0.5	80	4×10^{-4}	0.3336	0.432	0.144	160.0

$P_{AV(avg)}$ [W]	$\Delta T_{ch(0)}$ [°C]	$\Delta T_{ch(AV)}$ [°C]	$T_{ch(0)}$ [°C]	T_{chmax} [°C]
6.4	0.37	77.75	60.4	138.1
7.4	0.50	89.38	60.5	149.9
5.7	0.30	69.60	80.3	149.9
9.4	0.45	89.22	60.4	149.7
10.7	0.48	94.00	60.5	154.5
12.8	0.53	102.12	60.5	162.7
21.3	0.74	134.62	60.7	195.4

($\alpha : R_{DS(on)}$ 的溫度係數 ($150^\circ C / 250^\circ C$)

表2 反覆Avalcache動作時的channel溫度 T_{chmax} 實際計算例

接著以2SK2869、圖5的Avalcache動作波形 $I_{AP}=4A, t_a=400\mu s$ ，以及反覆動作為例，試算幾種不同條件時的Avalcache動作時channel溫度 T_{chmax} ，計算結果如下：

- 反覆周期 $T=100ms$ ($f=100Hz$)，case溫度 $T_c=60^\circ C$ 的條件下，上述one shot脈衝的 $T_{ch}=113.4^\circ C$ 時，表2的No.4為 $138.1^\circ C$ (仍在保證範圍內)。

- 當 $I_{AP}=4.6A$ 時，表2的No.6達到 T_{ch} 定額的 $150^{\circ}C$ 。
- $T_c=80^{\circ}C$ 時，必需以更大的delaying裕度抑制 I_{AP} ，使表2的No.17能夠低於 $3.6A$ 以下。
- 周期反覆變化的場合， $T \approx 7ms(f \approx 150Hz)$ 時會達到 T_{chmax} ($150^{\circ}C$)範圍。
- 提醒讀者注意:實際檢討Power MOSFET保證值時，除了利用 dv/dt 等各元件的 $V_{(BR)DSS}$ 分佈特性進行整體性檢討之外，如果發生計算值比元件的保證值更低的場合，必需立即與元件廠商作進一步的確認。

圖9是有關Avalcache破壞的抑制surge電壓對策，該對策主要考慮是Power MOSFET一旦發生Avalcache破壞時，各drain、source、gate電極之間會出現短路現象，尤其是元件遭受破壞後，若以量測儀檢查drain-source時，呈現open狀態的元件通常都是晶片本身短路，導致source導線溶斷所造成，因此必需進行對策抑制surge電壓。

如圖9所示，抑制surge電壓的方法有三種，分別如下:

- (1).縮短、加粗主電流電路(亦即電源電壓~負載、負載~drain端子之間、surge吸收二極體~drain端子之間)的導線(pattern)，封裝時則盡量降低寄生電感 L_d, L_s 。
- (2).雖然理論上無法使封裝導線的寄生電感變成0，不過為了抑制surge電壓，可以插入gate串聯外置電阻 R_G ，藉此減緩turn OFF時的 dv/dt (並聯連接時也需在各元件插入電阻)。
雖然數百 Ω 的gate電阻 R_G ，可以發揮很好的寄生電感抑制效果，然而turn OFF的switching損失卻有增大的傾向，而且並聯連接時的過渡電流均衡性極易惡化，因此設定阻抗值必需作通盤性檢討。
- (3).drain~source端子之間插入CR Snubber，或是surge吸收二極體時，若未加粗、縮短封裝導線的話，就無法發揮surge電壓抑制效果。
此外筆者建議封裝CR Snubber，或是surge吸收二極體時，盡量靠近Power MOSFET的drain~source端子，比較容易獲得預期的效果。

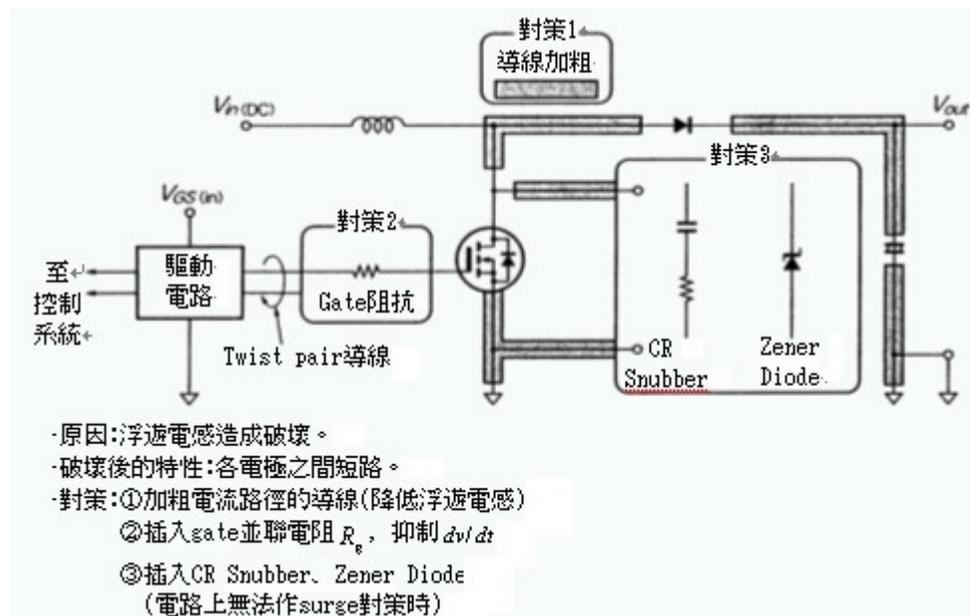


圖9 Avalanche破壞的對策

▲ TOP

ASO破壞與對策

ASO破壞主要原因是一般動作不易發生的負載短路，或是不明原因造成驅動電壓，變成under driver偏離ON狀態領域，當某個電壓施加於drain~source之間時，該元件立即陷入連續動作狀態，進而引發局部性發熱並在極短時間內破壞元件。

此外高頻反覆動作或是並聯連接時，如果未作適度的散熱設計，Power MOSFET有可能因熱量暴增導致元件遭受破壞。

圖10是ASO破壞常用的對策，ASO破壞的對策可以分成三個步驟，分別是:

對策1:確認元件是否在順偏壓(bias)ASO安全動作領域，它的溫度dealying是否妥當？

對策2:賦予適當裕度，進行散熱設計。

對策3:根據電路、機器設備等各種條件設定負載短路，接著設計過電流保護電路。

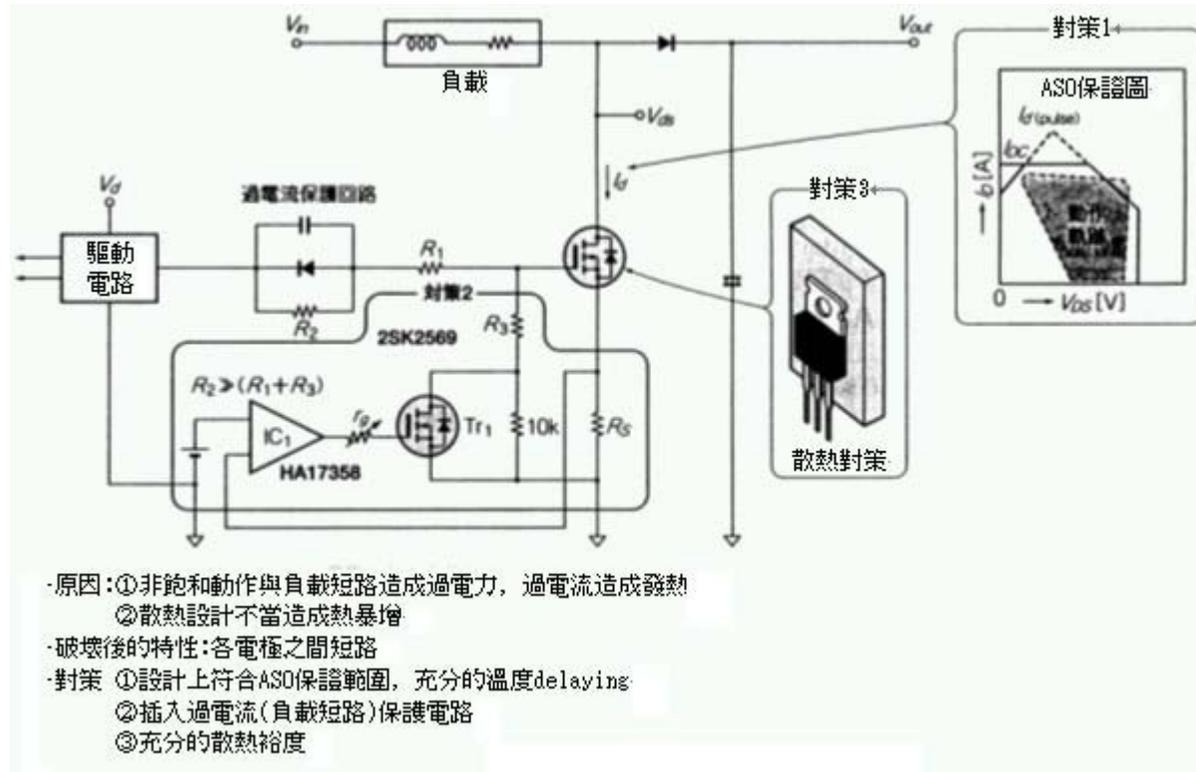


圖10 ASO破壞與對策

基於 R_{gs} 會變成損失等考慮無法插入 R_s ，卻又希望電路的動作電流值能夠超過規定的drain電流時，必需先檢測Power MOSFET的ON阻抗 $RD_{S(on)}$ 電壓下降程度，接著依序透過 $R_2 \rightarrow R_1 \rightarrow R_3$ 操作步驟使保護電路ON，最後再turn OFF使主Power MOSFET的gate-source之間的電壓低於 V_{thmin} ，此時turn OFF的時定數 R_3 必需比turn OFF時定數 R_1 (決定switching時間)更大，如此才能避免遮斷過電流時發生surge電壓。

另一種方法是基於負載短路時的電流比一般高數倍~數十倍， $V_{(surge)}=Ldi/dt$ 會因寄生電感導致surge電壓變大等考量，所以利用 T_{r1} 的gate電阻 r_g ，以軟體方式控制 T_{r1} 的遮斷速度。正常動作時Power MOSFET的gate-source驅動電壓 V_{GS} ，可利用下列數學式表示：

$$V_{GS} = V_{in} \times \frac{R_3 + 10}{(R_1 + R_2) + (R_3 + 10)}$$

V_{GS} :Power MOSFET元件ON阻抗領域動作的電壓。

式中的 R_1, R_2, R_3 各阻抗值的單位全部都是(k Ω)。過電流保護遮斷時的gate維持電壓 $V_{GS(cutoff)}$ ，可利用下列數學式表示：

$$V_{GS} = V_{in} \times \frac{R_3 + 10}{(R_1 + R_2) + (R_3 + 10)}$$

提醒讀者注意上述gate維持電壓 $V_{GS(cutoff)}$ ，必需維持在Power MOSFET元件gate-source遮斷電壓 $V_{GS(off)}$ 規範的最低值以下。主要理由是 V_{th} 屬於負的溫度特性($\alpha = -5mV \sim -7mV$)，加上負載短路時過電力極易造成channel溫升現象，如果上述電壓未維持在規範值以下的话，gate驅動即使處於OFF狀態，仍然會有無法完全OFF的微小電流流動，隨著溫度上升 $\rightarrow V_{th}$ 降低 \rightarrow 電流增加 $\rightarrow V_{th}$ 降低一連串惡性循環，電流不斷電增加的結果，極易導致Power MOSFET元件遭受破壞，因此設計驅動電路的 $V_{out(off)}$ 時，同樣需要將以上問題一併列入考慮。

圖11(a)、(b)分別是順偏壓ASO圖與溫度delaying特性圖。此處以 $t_{pw}=10\mu s, T_c=75^\circ C$ 為例，介紹有關ASO的溫度delaying的應用技巧。

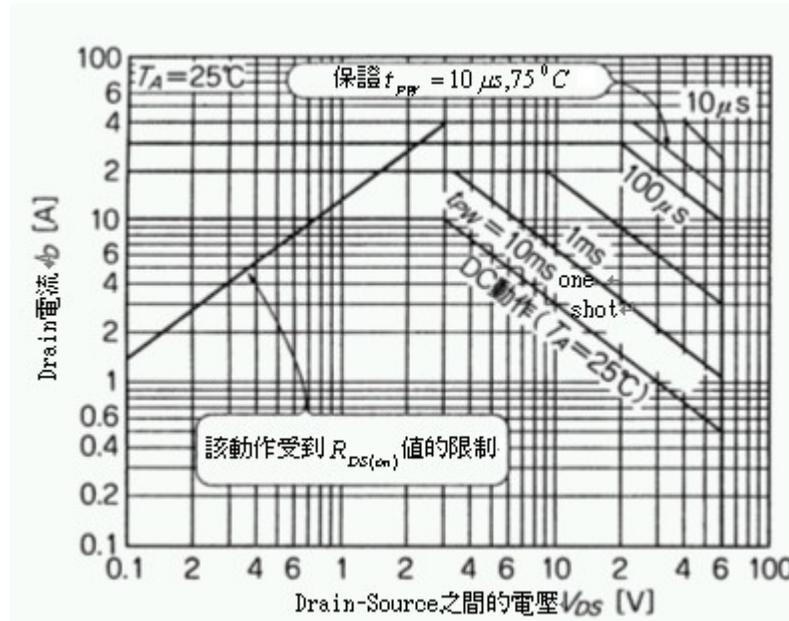
- 首先確認 $T_c=25^\circ C$ 的保證值

根據圖11(a)可知 $T_c=25^\circ C$ 時， $P_D = V_{ds} \times I_d = 50V \times 30A = 1500W$

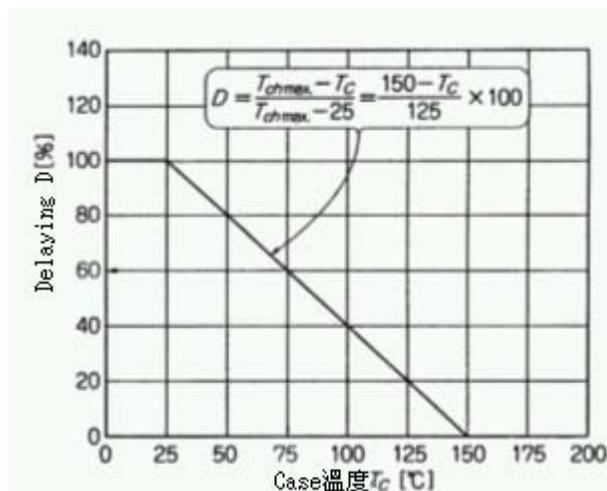
$T_c=75^\circ C$ 的delaying rate，根據圖11(b)可知=60%，因此： $P_D(T_c=75^\circ C) = P_D(T_c=25^\circ C) \times 0.6 = 1500W \times 0.6 = 900W$

- 接著在ASO圖中找出的線條，該線條就是該元件的溫度delaying。

圖12中詳細記載有關Power MOSFET元件的負載短路耐量，與過電流保護遮斷時的注意事項。如果Power MOSFET IC應用在馬達驅動電路時，遇到類似負載發生短路過電流保護電路開始動作之前，也能夠承受破壞的特殊案例時，設計上請遵循「過電流保護偵測設計時間是破壞時間的1/2~1/3」的注意事項。



(a)順偏壓ASO圖



(b)溫度delaying

圖11 順偏壓ASO(安全動作範圍)與溫度delaying

如圖12所示，負載短路耐量與實際電源電壓 V_{DD} ($=V_{DS}$)有互動關係， V_{DS} 越大負載短路造成的施加電力 $P_s(=V_{DS}I_{D(S)})$ 也越大，因此Power MOSFET元件會在很短時間遭到破壞，雖然破壞時間隨著元件種類不同，不過通常設定過電流保護偵測時間，都低於破壞時間的1/2~1/3。以圖12的2SK1518、2SK1522兩元件為例，過電流保護偵測時間，若設定在10~15 μ s以下的話就非常安全。

隨著元件種類不同負載發生短路時，必需遮斷的短路電流值是正常動作電流5~10倍左右，尤其是低 R_{on} 、高 g_m 特性的高性能Power MOSFET元件，短路電流有變大向傾，而且施加電力越大，相對的負載短路耐量就越低。

需注意的是遮斷過電流時，負載的寄生電感會引發surge電壓。此外遮斷過電流時，元件的耐壓如果發生崩潰(breakdown)的話，即使是Avalanche耐量保證元件，都無法承擔如此巨大衝擊，因此設計上必需設法抑制surge電壓，絕對不可使surge電壓超過元件的耐壓定額 V_{DSS} ，否則後果就不堪想像，圖12是surge電壓的波形。

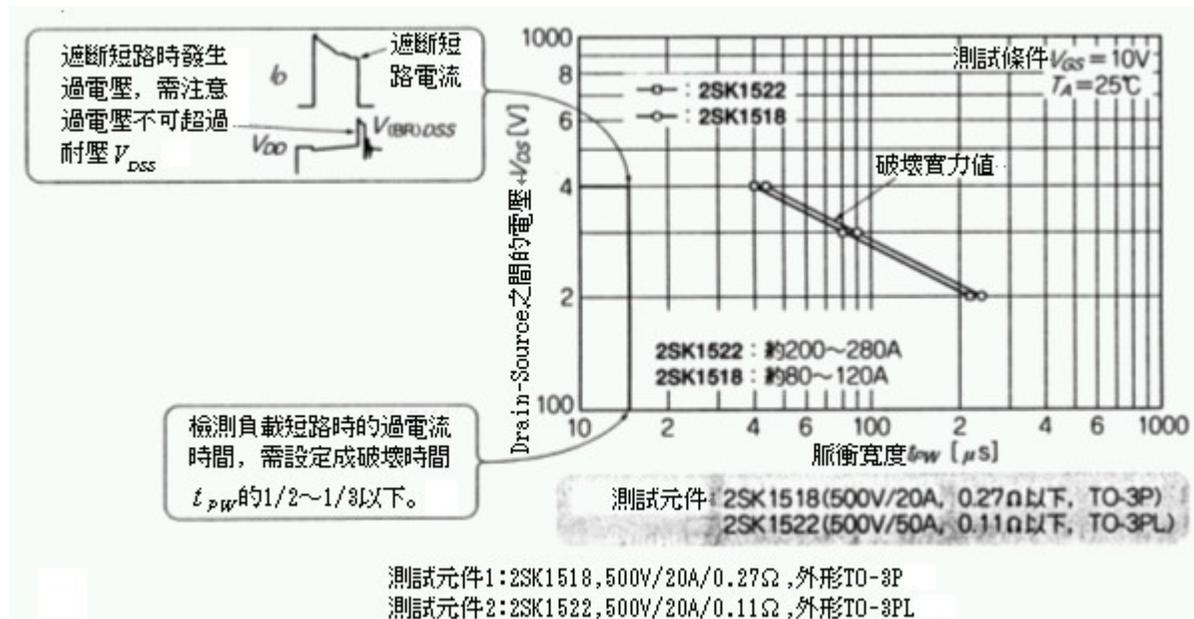


圖12 負載短路耐量與保護上注意事項

▲ TOP

本文內容 (包括圖片) 非經同意不得轉載 (除有另行約定外)
EEdesign 擁有內文著作權，但文責由作者自行負責，不代表本網站立場。

[【TOP】](#) [【關閉視窗】](#) [【回上一頁】](#) [【回首頁】](#)