



【設計論壇】

## MOSFET IC使用盲點與對策 (中)

字量

本文將接續討論Power MOSFET的散熱設計以及內嵌二極體的破壞與對策。

### Power MOSFET的散熱設計

設計Power MOSFET的封裝散熱時，必需衡量實際使用環境與各種主、客觀條件，如此才能獲得高效率的散熱冷卻效果。此處根據下列動作條件、散熱片、封裝條件，以2SK1170(500V/20A,  $R_{DS(on)}=0.27\Omega_{max}$ , TO-3P) Power MOSFET元件為例，介紹設計channel溫度 $T_{ch} \leq 120^{\circ}C$ 的方法。

#### □.動作條件

- 周圍溫度:  $T_A=50^{\circ}C$ 。
- 動作電流:  $I_D=8A/10A$  兩種。
- $t_{PW}=10\mu s, du$   
duty:50%max.(f=50kHz)。
- switching損失: $P_{th}=500W, t_f=0.2\mu s$ (此處省略 $t_{on}$ 損失)。

#### □.散熱板的規格

- 三種熱阻抗 $\theta_F$ 分別是:

$$\theta_F = 0.5^{\circ}C/W \text{-----( I )}$$

$$\theta_F = 1.0^{\circ}C/W \text{-----( II )}$$

$$\theta_F = 1.5^{\circ}\text{C/W} \text{-----(III)}$$

- 使用雲母片(mica)(內含silicon、grease)

$$\theta_1 + \theta_c = 0.8^{\circ}\text{C/W}$$

$\theta_1$ :雲母片的熱阻抗( $^{\circ}\text{C/W}$ )。

$\theta_c$ :接觸熱阻抗( $^{\circ}\text{C/W}$ )。

具體設計步驟:

- (1) 首先計算各散熱封裝條件的容許損失特性。
- (2) 接著計算Power MOSFET元件的channel溫升造成的消費電力 $P_D$ 特性。

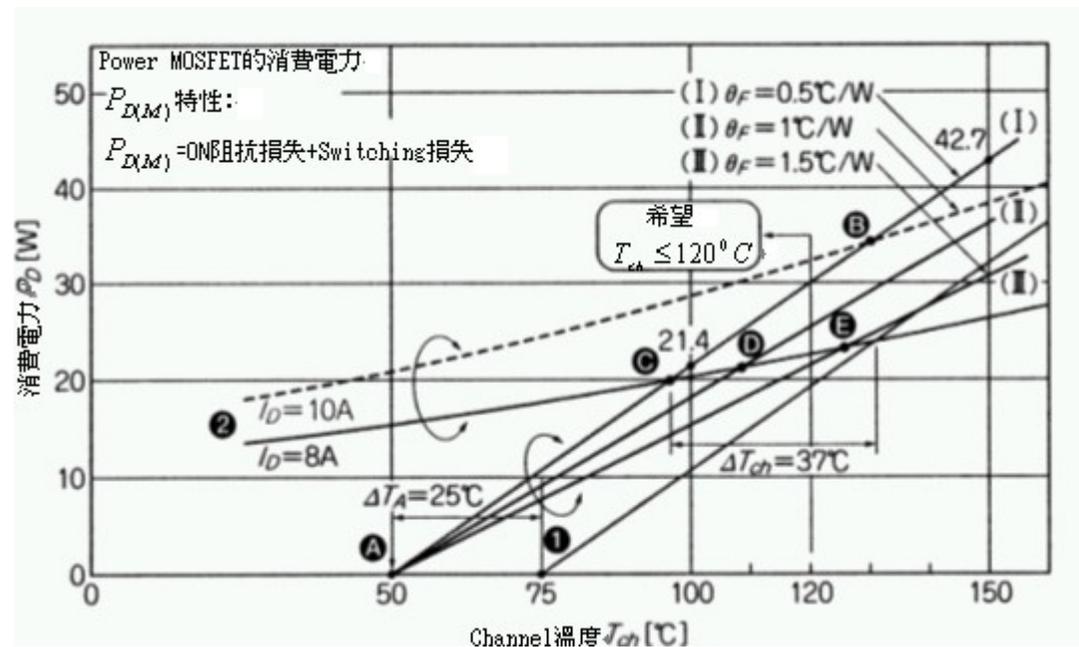
由於Power MOSFET元件的ON阻抗 $R_{DS(on)}$ ，具有正的溫度依存性， $P_D$ 會隨著溫度呈曲線性增加，當(1)與(2)兩者的特性關數重疊變成交點時，該點就是熱飽和狀態時Power MOSFET元件的channel溫度 $T_{ch}$ 。

圖13是根據以上計算結果製成channel溫度 $T_{ch}$ ，與消費電力 $P_D$ 特性座標圖表；表3是Power MOSFET的消費電力特性 $P_D$ 計算方法，它是根據各元件的技術資料 $R_{on}-T_c$ 特性，將ON阻抗的溫度係數 $\alpha$ (以 $T_{ch}=25^{\circ}\text{C}$ 為基準1的係數)，依序代入橫軸作成座標圖表，接著再根據表3的資料，製作圖13的channel溫度 $T_{ch}$ 與消費電力 $P_D$ 特性圖。具體操作步驟如下:

- 首先利用(1)的各散熱條件製作容許損失特性圖

由於周圍溫度 $T_A$ 設為 $50^{\circ}\text{C}$  ( $T_{ch}=50^{\circ}\text{C}$ 時散熱損失為0W)，因此以 $T_{ch}=50^{\circ}\text{C}$ 為基準，分別描繪使用三種散熱板容許損失特性。

- 接著以表3記載的Power MOSFET消費電力特性( $I_D=8\text{A}, 10\text{A}$ )計算資料，完成圖表描繪。



(a)計算結果座標化

a.利用散熱條件計算容許損失直線 $P_{D(F)}$ ，並描繪三條線條。

首先計算散熱條件的全熱阻抗 $\theta_{ch-A}$ ：

$$\theta_{ch-A} = \theta_{ch-c} + (\theta_1 + \theta_c) + \theta_F$$

使用散熱片(I)時的 $\theta_{ch-A}$ ：

$$\theta_{ch-A} = 1.04 + 0.8 + 0.5 = 2.34/W$$

依此方式計算(II)與(III)時的 $\theta_{ch-A}$ ，計算結果分別如下：

$$(II) = 2.84^{\circ}C/W$$

$$(III) = 3.34^{\circ}C/W$$

容許損失 $P_{D(F)}$ 可用下式表示:

$$P_{D(F)} = T_{ch} - T_A / \theta_{ch-A}$$

假設(I)條件的 $T_{ch}$ 分別是 $50^{\circ}C, 100^{\circ}C, 150^{\circ}C$ ， $0W, 21.4W, 42.7W$ 同樣以上述(II)、(III)條件計算，如此就可以描繪三條直線。

b.計算功率MOSFET的消費電力曲線 $P_{D(M)}$ ，並描繪三條線條。

功率MOSFET的ON阻抗 $R_{DS(on)}$ 屬於正的溫度特性，它會隨著 $T_{ch}$ 的上升呈曲線性變化，依此計算 $I_D=8A, 10A$ 時溫升造成的Power MOSFET消費電力 $P_{D(M)}$ ，並描繪兩條線條。

項目		$T_{ch} (^{\circ}C)$	25	40	60	80	100	120	140	150	備註+
$T_{ch} = 25^{\circ}C$ 時的 $R_{DS(on)}$ 溫度係數 $\alpha$			1.0	1.09	1.27	1.5	1.73	2.0	2.27	2.41	參考技術資料中的 $R_{on} - T_c$ 特性
消費電力	ON阻抗損失 $P_{on} = I_D^2 R_{DS(on) max}$ $\propto \frac{t_{on}}{T}$	$I_D = 8 A$	8.64	9.4	11.0	13.0	14.9	17.3	19.6	20.8	注意 $R_{DS(on)}$ 的溫度依存性
		$I_D = 10 A$	13.5	14.7	17.1	20.3	23.4	27	30.6	32.5	
	Switching損失 $P_s = \frac{t_f}{T} P_d$		5	5	5	5	5	5	5	5	注意動作頻率的依存性
全消費電力 $P_{D(M)}$ $P_{D(M)} = P_{on} + P_s$		$I_D = 8 A$	13.6	14.4	16.0	18.0	19.9	22.3	24.6	25.8	R,L負載損失 $R_{on}$ 與Switching損失計算式參考表5
		$I_D = 10 A$	18.5	19.7	22.1	25.5	28.4	32.0	35.6	37.5	

注▶ (I) 基於簡化考量， $P_s$  與  $I_D = 8A, 10A$  同值

表3 Power MOSFET消費電力 $P_{D(M)}$ 的計算實例(2SK1170)

此處針對表4的「散熱設計計算結果 $T_{ch}$ - $P_D$ 座標的觀察結果與對應」內容作進一步說明:

一.圖13中的散熱容許損失，與Power MOSFET消費電力特性沒有重疊交集時，極易因熱特性不一致(unmatch)，導致熱量暴增元件損壞等後果。

二.此外還需注意的是例如圖13的□點周圍溫度 $T_A=50^0C$ 條件，假設 $75^0C$ 與 $\Delta T_A=50^0C$ 溫升， $I_D=8A$ 的前提與(I)的散熱片，channel溫度 $\Delta T_A=37^0C$ 比 $\Delta T_A=50^0C$ 高 $12^0C$ ； $I_D=10A$ 的前提下， $\Delta T_{ch}$ 接近 $50^0C$ 等於是channel溫度上升2倍；如果使用(III)的散熱片，channel溫升更嚴重，尤其是圖13的□點 $T_{ch}$ 溫度會從 $130^0C$ 上升至 $160^0C$ ，大幅超過 $150^0C$ 的最大定額channel溫度。

三.有關發熱問題，除了ON阻抗之外它還會對Power MOSFET元件的其它特性造成各種影響。不過例外的是圖中□的損失，照理說溫度依存性極大的drain-source漏電電流 $I_{DSS}$ 損失，也需要一併列入OFF期間計算，不過它比其它損失少，因此此處忽略不列入計算。

四.由此獲得結論亦即設計Power MOSFET元件散熱時，必需假設周圍溫度極端惡劣，如此才能取得寬鬆的安全裕度。

圖14詳細記載 $T_{ch}$ - $P_D$ 座標圖的其它應用方法，與使用上注意事項，如圖所示利用過渡阻抗特性 $\theta_{ch-c}(t)$ ，就可以從座標圖讀取過渡時的channel溫度。

表5是計算ON阻抗損失與switching損失，以及計算後獲得的波形，表中的電感負載是以圖中的波形進行逆向計算，雖然它的turn ON損失非常小可以忽略，不過Inverter用途逆回復時間 $t_{rr}$ 造成的turn ON損失卻非常大，而且它的波形也截然不同，因此使用上必需根據實際波形逆向計算損失。

$T_{ch} - P_D$ 圖的觀察結果	如何滿足 $T_{ch} \leq 120^\circ C$ 設計值
<p>1. ㊸、㊹、㊺、㊻各交點在各條件熱平衡狀態下成為Channel溫度 <math>T_{ch}</math>，換言之只有 <math>I_D = 8A</math>，散熱條件(I)與(II)可以滿足 <math>T_{ch} \leq 120^\circ C</math> 設計目標(㊹與㊺點)。</p> <p>2. 交點Channel的溫度 <math>T_{ch}</math> 超過 <math>150^\circ C</math> 時，就會超過最大定額值。↵</p> <p>3. 類似 <math>I_D = 10A</math> 與散熱片(III)的條件，兩者損失特性無交點的情況，必需防止可能有熱暴增甚至破壞之虞。</p> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>▶(1) <math>T_{ch}</math> 上昇 → <math>R_{on}</math> 大 → 損失(大) → <math>T_{ch}</math> 溫升 熱破壞</p> </div>	<p>1. 假設動作電流 <math>I_D = 8A_{max}</math>，而且適用(II)的散熱條件(滿足 <math>T_{ch} \leq 120^\circ C</math> 設計目標為㊹與㊺點)。</p> <p>2. 動作電流為 <math>I_D = 8A_{max}</math> 時，必需重新考慮下列各點的組合：</p> <ol style="list-style-type: none"> <li>使用熱阻抗比㊸更小的散熱片(改善散熱條件，降低 <math>\theta_{ch-c}</math>)。</li> <li>變更封裝降低 <math>\theta_{ch-c}</math> 例如改用 TP-3P/2SK1170 → TP-3PL/2SK1629 等 IC。</li> <li>MOSFET 改用更高階的低 ON 阻抗元件，不過此時必需考慮 <math>f = 100kHz</math> 以上高速動作時，會有的 switching 損失 <math>P_g</math> (ON 阻抗 <math>R_{on}</math> 與 switching 時間有 tradeoff 問題)。</li> </ol>

表4 散熱設計的結果  $T_{ch} - P_D$

區別	動作波形	No	動作期間	平均損失計算式	
阻抗 R 負載		1	$t_r$	$P_{tr} = \frac{1}{6} (V_{ds} I_d + 2I_d^2 R_{on} \alpha) \frac{t_r}{T}$ 對第1項而言非常小可以忽略	
		2	$t_{on}$	$P_{ton} = I_d^2 R_{on} \alpha \frac{t_{on}}{T}$	
		3	$t_f$	$P_{tf} = \frac{1}{6} (V_{ds} I_d + 2I_d^2 R_{on} \alpha) \frac{t_f}{T}$ 對第1項而言非常小可以忽略	
電感 L 負載		1	$t_r$	該波形比第2、3項而言非常小可以忽略	
		2	$t_{on}$	實線	$P_{ton} = \frac{1}{3} (I_a^2 + I_a I_b I_b^2) R_{on} \alpha \frac{t_{on}}{T}$
				實線	$P_{ton} = \frac{1}{3} I_b^2 R_{on} \alpha \frac{t_{on}}{T}$
3	$t_f$	$P_{tf} = \frac{1}{2} V_{ds(p)} I_b \frac{t_f}{T}$			

表5 阻抗R負載與電感L負載的損失計算式

電力的施加屬於過渡性的情況，容許損失直線  $P_{D(F)}(t)$  使用過渡阻抗  $\theta_{ch-C}(t)$  計算。過渡性條件即使  $I_D = 10A$  時，只要是  $t_{PW} \leq 10ms$  時，它的交點Ⓐ、ⓑ、ⓒ、ⓓ即使低於  $60^{\circ}C$ ，也不會構成問題。

直接量測MOSFET case的溫度  $T_C$ ，

計算channel溫度  $T_{ch}$ ：

$$T_{ch} = T_C + \theta_{ch-C}(t)P_{D(F)}$$

接著在熱平衡狀態下進行量測。假設右圖的Ⓔ點為  $T_C$ ，此時若將Ⓔ的損失直線左右平行移動的話， $T_C(x)$  時的  $T_{ch}(x)$  就可以從ⓑ、ⓒ讀取。

注意事項：

- 確認元件header case與散熱片是否密貼？(涉及接觸熱阻抗)
- 確認附近是否有其它發熱源？( $T_A$  上升)
- 確認絕緣片與散熱片之間是否混入金屬粉屑？(發熱後元件與矽片之間短路)

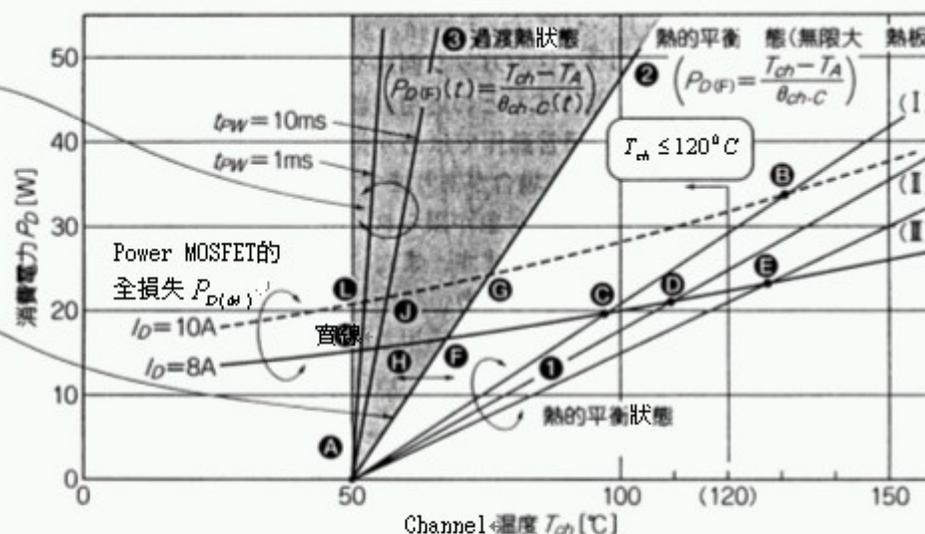


圖14  $T_{ch}$ - $P_D$  圖的其它應用方法與注意事項

### 嵌二極體的破壞與對策

所謂內嵌二極體的破壞是指機器設備，頻繁使用內嵌於Power MOSFET source-drain之間的寄生二極體，最後導致該二極體遭受破壞而言。這種問題經常發生在馬達驅動電路、UPS全橋接式(full bridge)DC-DC inverter電路、switching電源全橋接電路、半橋接電路，以及利用異常(abnormal)動作模式以共振電路驅動的機器設備上。

如上所述內嵌二極體的破壞一般都局限在上述應用領域，換句話說它的主要對象都是屬於耐壓超過250V的設備，所幸的是二極體的破壞機制已經被解破，加上對策方案也非常適用於二極體的結構，所以最近幾年二極體的破壞耐量已經大幅改善。

有關元件的選擇，類似馬達與UPS用途的驅動電路，建議讀者採用內嵌內嵌高速二極體(短逆復原時間 $t_{rr}$ )的Power MOSFET；使用全橋接switching電源的驅動電路，雖然不需要考慮定常動作特性，不過衡量各條件與實際使用上經常發生瞬間動作等考量，因此建議讀者最好選擇內嵌高速二極體的Power MOSFET比較妥當；至於100V以下低耐壓元件，由於本身的電源電壓也很低，所以幾乎與上述破壞模式完全無關。

圖15是全橋接式馬達驅動電路與Power MOSFET的動作波形，該電路的Power MOSFET ICT<sub>r1</sub>與T<sub>r4</sub>處於動作狀態，T<sub>r1</sub>進行PWM控制期間，T<sub>r4</sub>一直處於常時ON狀態，動作時T<sub>r1</sub>的drain電流I<sub>D1</sub>開始流動，一旦turn OFF由於馬達的電感L，回生電流I<sub>F</sub>會通過T<sub>r2</sub>，並且在內嵌二極體流動，在此狀態下T<sub>r1</sub>如果turn ON的話，由於T<sub>r2</sub>內嵌二極體的逆復原時間 $t_{rr}$ 的影響，該期間T<sub>r1</sub>與T<sub>r2</sub>會變成導通狀態，短路流i<sub>rr</sub>開始流動，當短路流i<sub>rr</sub>復原時，T<sub>r2</sub>內嵌二極體的電壓V<sub>DS</sub>也隨著復原。

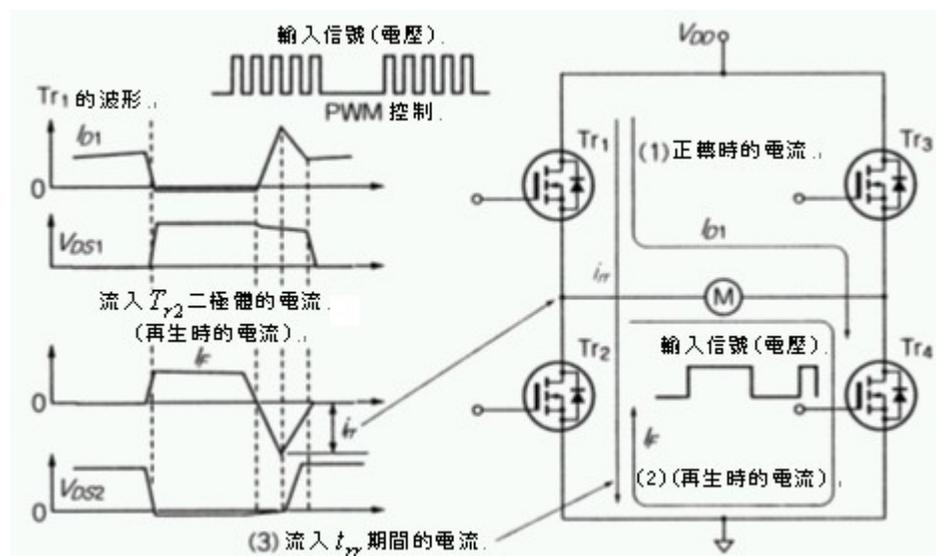


圖15 全橋接電路與Power MOSFET的動作波形

圖16是有關內嵌二極體的破壞機制說明，該現象經常發生在內嵌二極體的電壓復原期間(亦即圖中的□部位)。

發生二極體的破壞主要原因是drain-source之間的電壓如果急峻以 $dv/dt$ 站立時，會有通過容量 $C_{ds}$ 的過渡性電流流動，當 $R_b$ 的電壓超越寄生雙極性電晶體 $Q_1$ 的 $V_{BE(on)}=0.6\sim 0.7V$ 時，複數並聯連接的寄生雙極性電晶體部份cell會開始動作，嚴重時甚至會造成Power MOSFET受到破壞。

照片1是Power MOSFET遭受破壞瞬間的波形，根據照片1的波形特性推測，由於gate電極正下方設有極大的內嵌二極體，加上二極體的recover電流比較容易集中在該二極體周圍的cell，所以才會形成照片1的急峻波形。

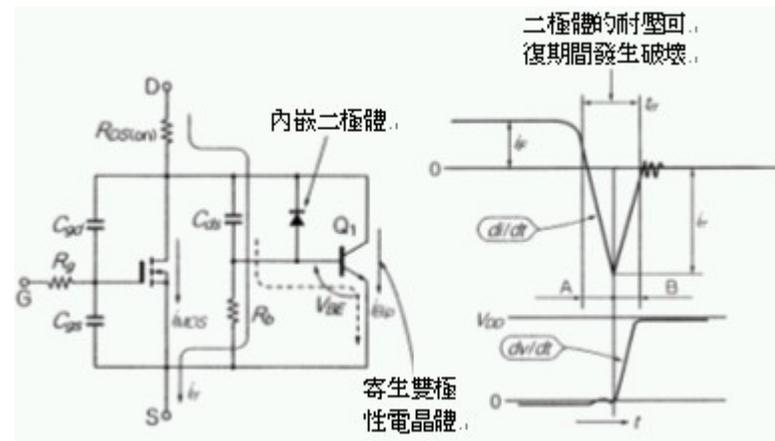
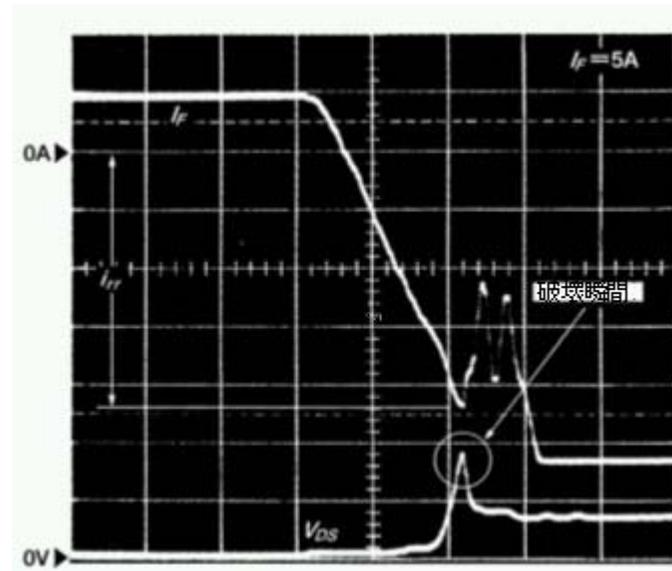


圖16 內建二極體的破壞機制



照片1 破壞時的波形(對策前500V/12A的元件,200ns/div.,  $i_F$ :5A/div.,  $V_{DS}$ :100V/div.)

圖17是利用內嵌二極體進行破壞對策的實例。一般而言破壞對策可分成三種方式，但不論哪一種方式最後共通目的，都是要抑制二極體recover時的dv/dt。

- 對策1:本方法是利用控制端元件的外置gate串聯電阻 $R_G$ 抑制dv/dt。為降turn OFF損失，有些工程師將二極體並聯連接至 $R_G$ 。
- 對策2:由於 $V_{ds} = L_s (di_{tr}/dt_b)$ 是內嵌二極體recover時，造成的dv/dt變大現象，因此嚴重時還會引發surge電壓，甚至陷入潰散(avalanche)狀態。對策2主要訴求是降低主電流電路的寄生電感 $L_s$ 。  
事實上寄生電感除了引發潰散破壞之外，同時也是寄生波動的元兇，極力降低寄生電感 $L_s$ 可算是高明的對策。
- 對策3:本方法是在drain-source之間，插入CR Snubber藉此抑制dv/dt，這種方法最大缺點會產生Snubber電路損失，通常對策1與對策2無法完全消除recover時的surge電壓，才會考慮使用這種方法。

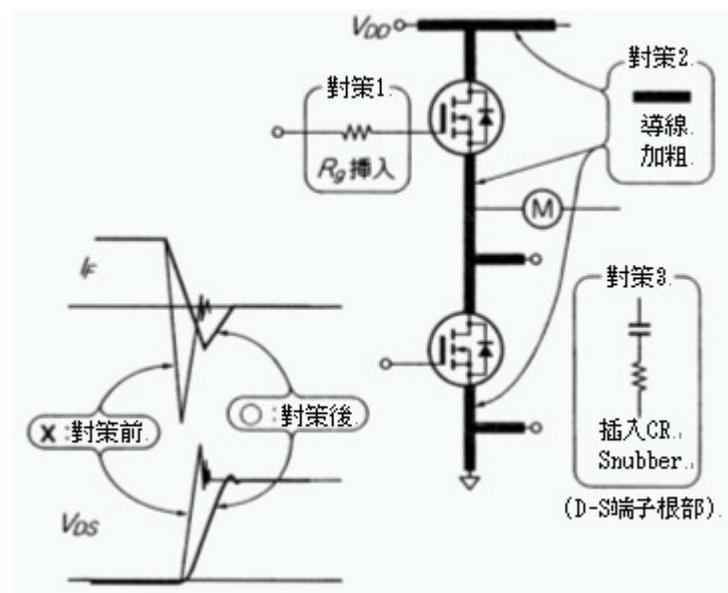


圖17 利用內嵌二極體電路進行破壞對策實例

圖18是內嵌二極體破壞的耐量參考資料(500V/10A等級實例)，它是比照圖15的電路動作特性，先將電流 $I_F$ 流入內嵌二極體內，在此狀態下對 $T_{11}$ 的gate施加1~2shot短脈衝，接著再用 $T_{12}$ 測試元件量測破壞電流。

根據測試結果顯示破壞耐量，會隨著電源電壓(電壓越高破壞耐量有降低傾向)與溫度不斷改變，而且高速二極體的破壞耐量比較高。

雖然圖18的測試結果並不是用來標示 $dv/dt$ 、 $di/dt$ 破壞與元件種類、製造廠商的關連性，不過實際使用加上長年累積的經驗，讀者應

該可以嗅出一點蛛絲馬跡。

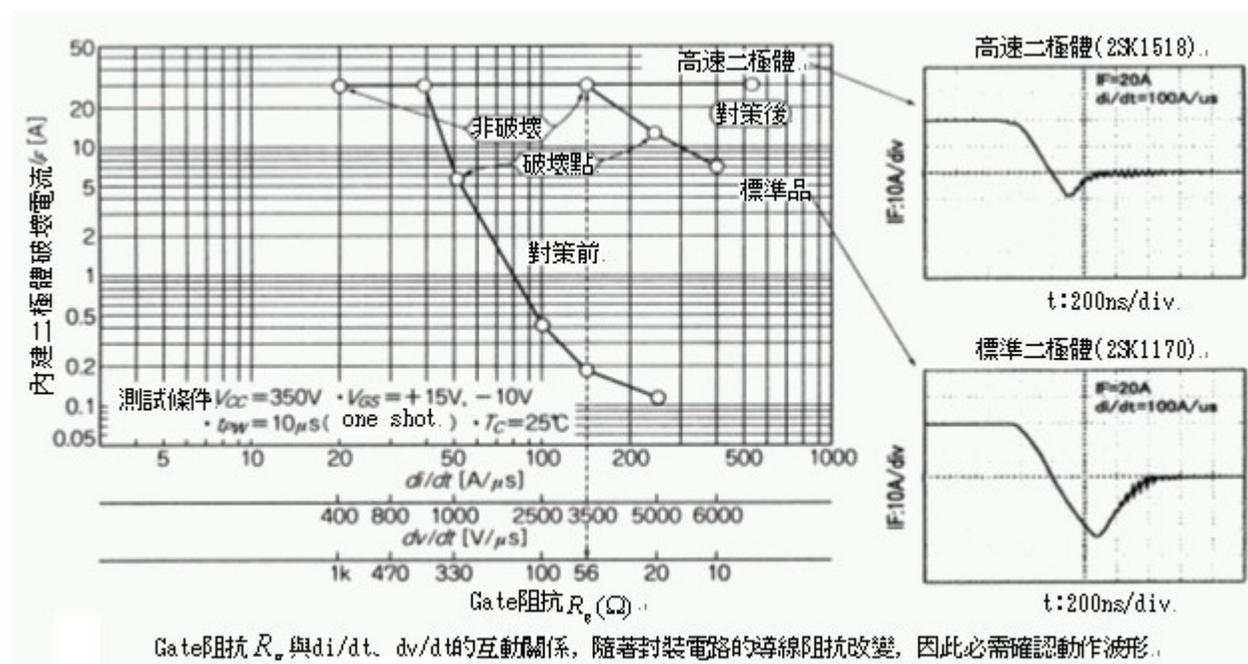


圖18 內嵌二極體破壞的耐量(500V/10A等級實例)

▲ TOP

本文相關連結

- MOSFET IC使用盲點與對策 (上)
- 電源管理設計講座

本文內容 (包括圖片) 非經同意不得轉載 (除有另行約定外)  
 EEDesign 擁有內文著作權，但文責由作者自行負責，不代表本網站立場。

[【TOP】](#) [【關閉視窗】](#) [【回上一頁】](#) [【回首頁】](#)