



【設計論壇】

MOSFET IC使用盲點與對策（下）

字量

本文將說明Power MOSFET IC的寄生波動、靜電破壞與因應對策。

寄生波動的破壞與對策

Power MOSFET IC並聯使用，如果未插入gate串聯外置電阻 R_g ，直接連接到MOSFET驅動器，gate驅動波形ON/OFF時會產生振動波形，當drain-source之間的電壓高速switching時，該振動波形會對「gate-drain之間的容量、gate寄生電感、gate阻抗」三者構成的串聯共振電路產生影響。

共振條件成立的場合，由於驅動電壓的因素gate-source之間的電壓，會出現極大的共振電壓，該電壓一旦超越gate耐壓定額時，就會導致gate過電壓破壞等問題，此外drain電壓急峻變化，峰值振動電壓通過gate-drain之間的容量，並與gate-source之間的電壓重疊變成正復歸的話，就有因誤動作引發波動破壞之虞。

圖19是Power MOSFET的並聯等價電路與寄生波動動作機制。如上所述Power MOSFET未連接外置串聯電阻 R_g ，直接連接到MOSFET驅動器時，可以從圖19發現gate出現所謂的寄生振動波形，當drain-source之間的電壓 V_{ds} 高速switching時，該振動波形會對turn OFF時負載的導線阻抗 L_d 造成振動電壓，同時還會對「通過gate-drain之間的容量 $C_{gd}(C_{ress})$ ，變成gate寄生電感 (L_g+L_p) 與gate阻抗 (R_G+R_g) 」的串聯共振電路產生影響(註: 是導線電感)。

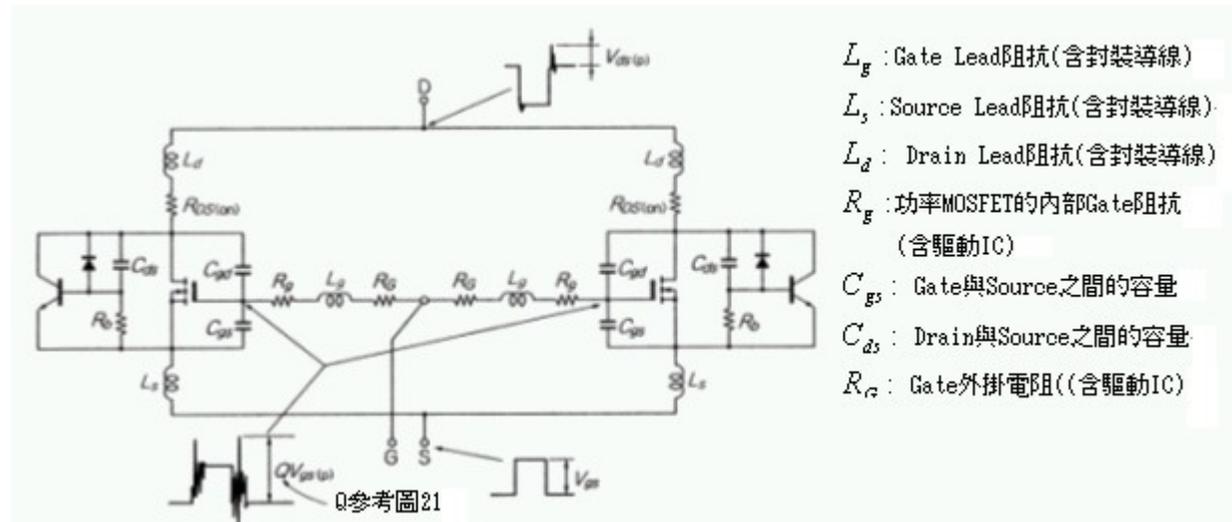


圖19 Power MOSFET的並聯電路與寄生波動動作機制

由於大電流/高速type的Power MOSFET，gate內部的電阻 R_g 低於1~2 Ω ，如圖20所示無 R_G 時，Power MOSFET IC串聯共振電路的選擇度

$$Q = \sqrt{L/C}$$

，會因為條件因素變成極大值，因此在共振條件下對gate-drain之間、寄生電感施加共振電壓的話，就會引發所謂的「寄生波動」，尤其是並聯連接時會成爲大電流動作，turn OFF時過渡電流均衡性一旦惡化的話，在某個過渡期間所有電流全部集中流到一個Power MOSFET內，一般該過渡期間只有數ns~數十ns左右，Power MOSFET的溫升非常小還不會構成問題，不過drain-source之間的振動電壓 $V_{ds(peak)}$ 理論上會變成n倍以上，到目前爲止還沒有任何Power MOSFET IC可以承受如此巨大電壓衝擊，因此設計上要設法避免發生上述事態。

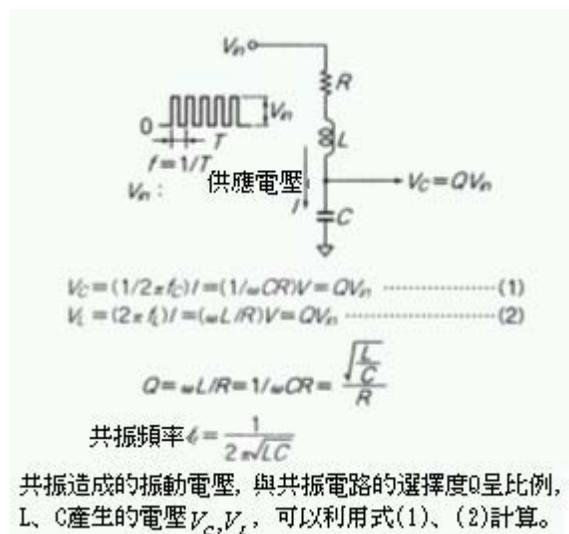
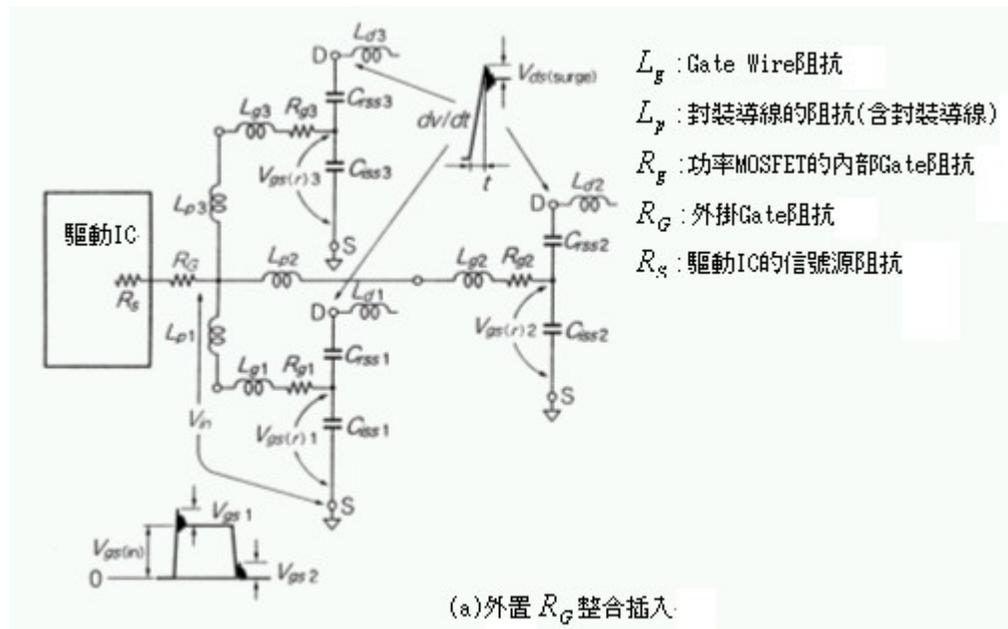


圖20 R、L、C的共振電路

一般而言Power MOSFET IC並聯連接比單體元件，更容易發生寄生波動與寄生波動破壞問題。接著利用圖21說明發生寄生波動破壞的原因，與寄生波動破壞的對策。

如上所述如果只是Power MOSFET元件單體的話，就能夠針對施加至gate-source之間的振動電壓 $V_{gs(r)n}$ 進行討論，然而Power MOSFET並聯連接時，如圖21所示振動電壓 $V_{gs(r)1} \sim V_{gs(r)3}$ 會變成其它元件的輸入 V_{in} ，共振頻率 f_r 時該峰值電壓甚至會增大Q倍，由於以上原因造成MOSFET並聯連接，比單體元件更容易發生波動破壞問題，而且更容易形成發生波動破壞的環境與條件。

有關防止波動的外置式gate電阻 R_G ，圖21(a)方式對驅動IC的振動電壓非常有效；圖21(b)則是將外置式gate電阻分別插入gate內，因此它的防止波動效果比圖21(a)更大。圖22是Power MOSFET IC並聯連接時的外置式電阻效果計算步驟。



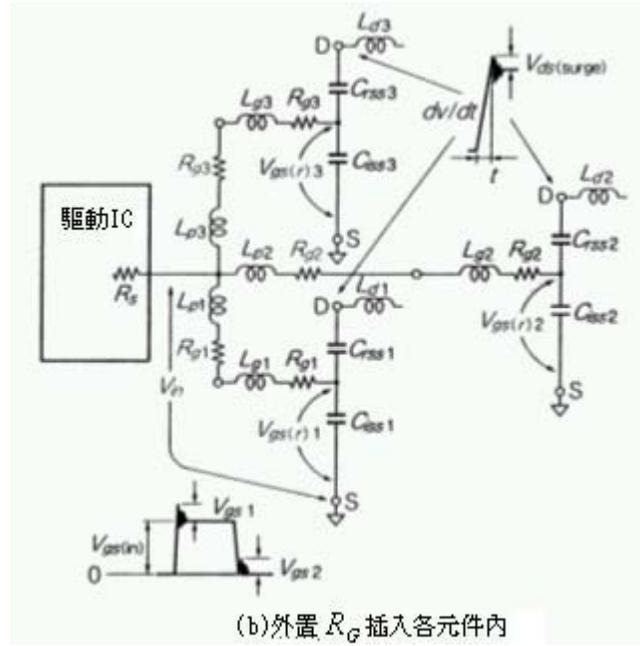


圖21 並聯時外置Gate電阻的效益與寄生阻抗的影響

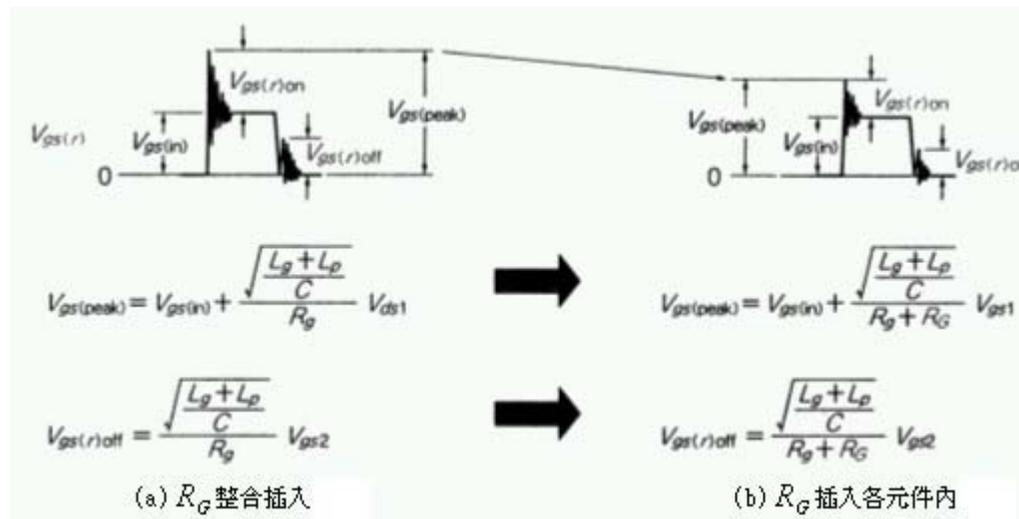


圖22 並聯時外置Gate電阻效益的計算式

圖23是Power MOSFET IC並聯連接時，寄生電感的計算結果，根據計算結果顯示gate寄生電感(L_g+L_p)越大的話，施加至Power MOSFET的gate-source之間的共振振動電壓 $V_{gs(t)}$ 也大，因此 $V_{GS(\text{peak})}$ 電壓可能超越gate耐壓($V_{GSS}=20V$)，成為破壞Power MOSFET的條件之一。

主要原因是 $V_{gs(t)}$ 如果超越Power MOSFET的 V_{th} ，原本必需在OFF期間施加正復歸，然而此時超越 V_{th} 的 I_d 卻開始流動，進而引發Power MOSFET溫度上升、 V_{th} 降低、電流增加、Power MOSFET變成ON狀態等一連串問題，最後由於無法維持OFF時段，導致元件瞬間遭受破壞。

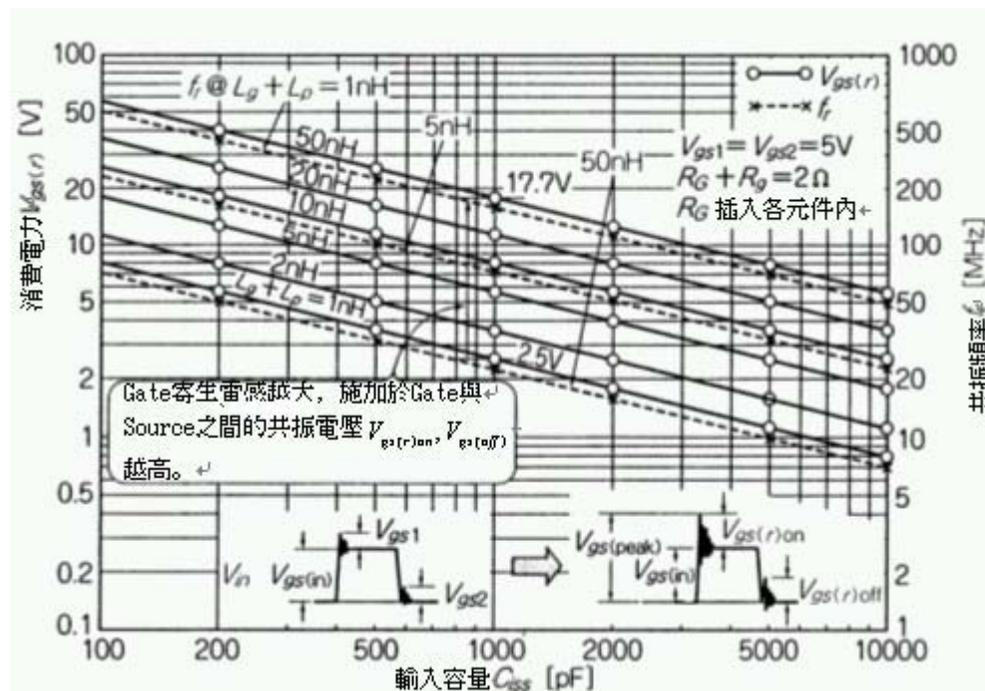


圖23 並聯時寄生電感的影響

圖24是Power MOSFET IC並聯連接時，寄生電感的影響與gate電阻的理論計算結果。接著筆者利用圖24探討 C_{iss} 為5000pF、寄生電感 $L (=L_p+L_g)$ 為0.2nH~30nH，施加 $V_{GS1}=V_{GS2}=1.5V$ 振動電壓時，Power MOSFET IC並聯連接，對其它元件的gate-source振動電壓 $V_{gs(r)}$ ，尤其是OFF端的峰值電壓 $V_{gs(r)off}$ 的 $R(=R_G+R_g)=0.3\Omega\sim 3\Omega$ 時產生甚麼影響。

根據圖24的計算結果顯示，寄生電感 L 越大gate阻抗越小時，振動電壓 $V_{gs(r)}$ 則變大。此處假設back converter與全橋接電路的Low side使用並聯元件，邏輯等級(Logic Level)驅動元件為 $V_{thmin}=1V$ 標準品， $V_{gs(r)off}$ 的峰值不超過1V。這種情況下如果寄生電感 $L=0.5nH$ ，而且 $R=0.5\Omega, L=20nH$ 的話，就必需在各gate插入外置 R_G ，使 $R(=R_G+R_g)=3\Omega$ 。

如果 C_{iss} 變成2500pF低容量時，寄生電感 L 造成的不良影響會更明顯。不過以上論述都是在既定的預設條件下進行，實際上必需詳細

check gate波形，與drain-source的波形才能作正確判斷。

事實上Power MOSFET元件高頻化、低 C_{iss} 化之後，寄生電感L反而成爲引發寄生波動，同時也是元件高頻化主要障礙之一，常用的對策是盡量降低元件封裝與封裝導線的寄生電感。一般認爲今後高精度寄生電感模擬分析技術越來越重要，圖25是降低寄生波動與寄生波動對策一覽。

Power MOSFET並聯連接時的元件選擇，與使用上的注意事項分別如下:

- (1).整合 V_{th} ($V_{GS(off)}$)，降低OOF時的過渡電流均衡性，避免電流集中在低 V_{th} 元件內。
- (2).整合ON阻抗 $R_{DS(on)}$ 。
- (3).充分施加gate驅動電壓，例如:
 - 4V驅動元件: $V_{GS}=5\sim 10V$
 - 10V驅動元件: $V_{GS}=10\sim 12V$

降低ON電流的均衡性與散熱均衡性。

- (4).盡量避免avalanche動作，防止電流集中在低耐壓元件內。

尤其是第(4)項的avalanche動作，嚴重時會有n平方倍的avalanche電流入低耐壓元件，即使是avalanche保證MOSFET IC，也需要避免avalanche動作。

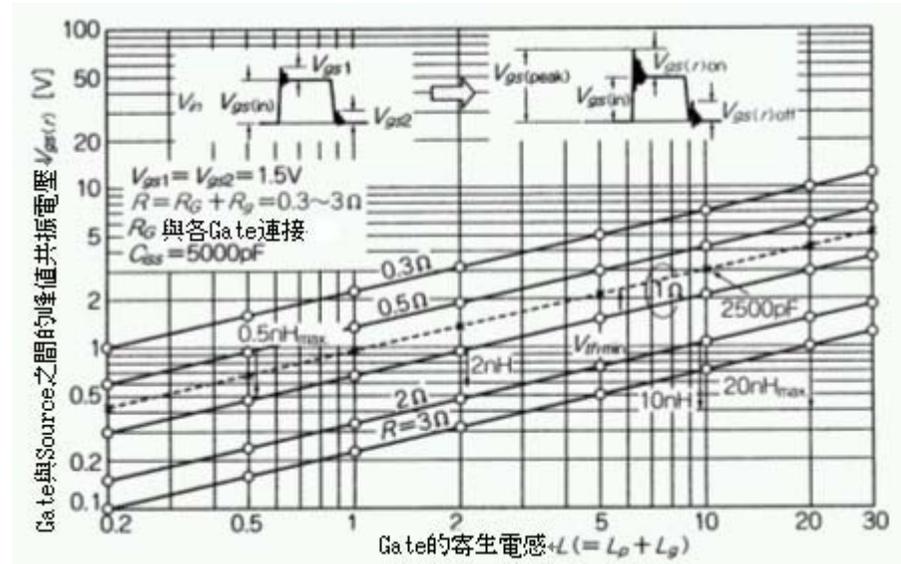


圖24 並聯時寄生電感的影響與Gate電阻的效果

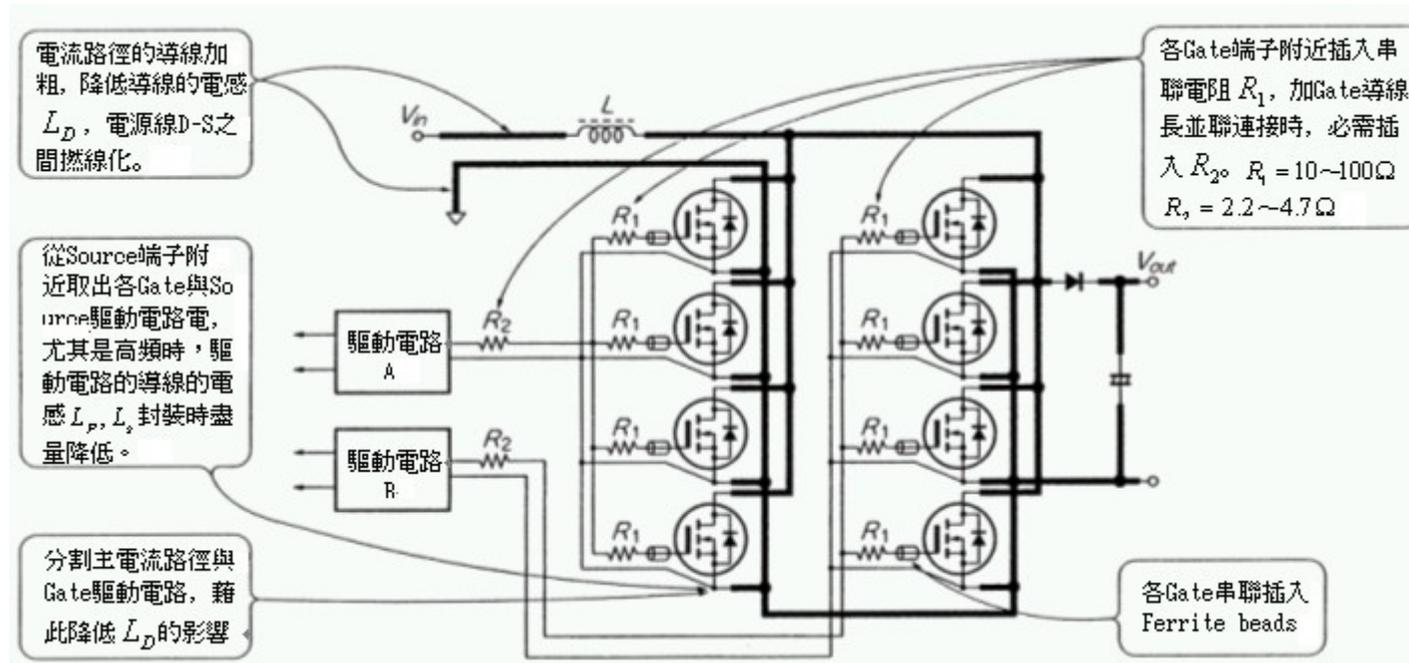


圖25 降低寄生振動、破壞的對策

▲ TOP

靜電破壞與對策

所謂靜電破壞是指處理成品或是元件封裝時，人體、測試儀器、封裝設備，等外部靜電與電路產生的電洞(surge)電壓、過電壓，對 Power MOSFET IC造成破壞現象而言。

如圖26所示靜電破壞的對策可分為三種，靜電破壞後的特性可分為二種。

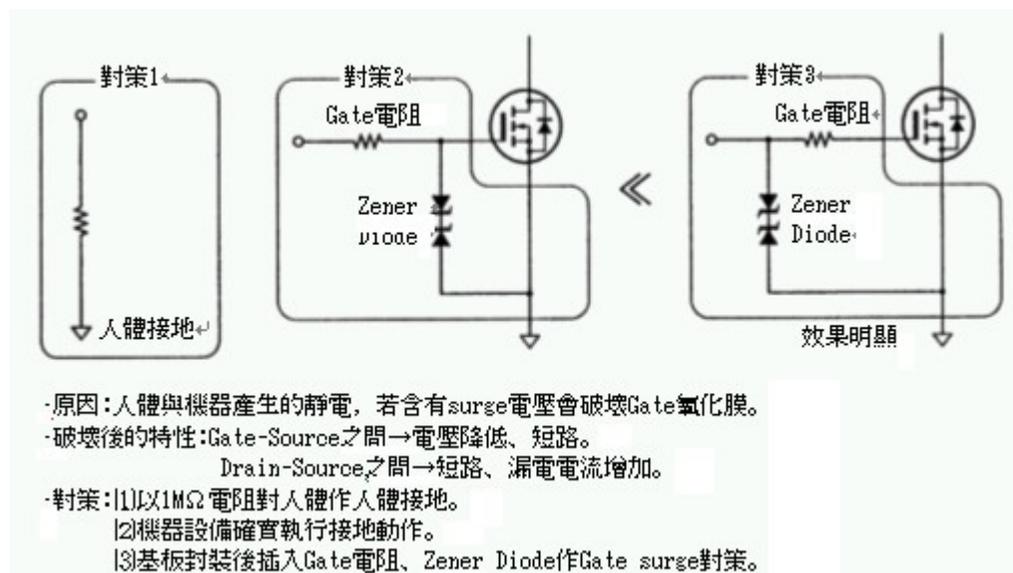


圖26 靜電破壞的對策

如圖27所示gate破壞元件的特性模式可以分成A與B兩種，此處刻意將這些已經遭受破壞的MOSFET元件封裝於set電路上，如此一來便可以逆向追溯元件發生破壞的過程。

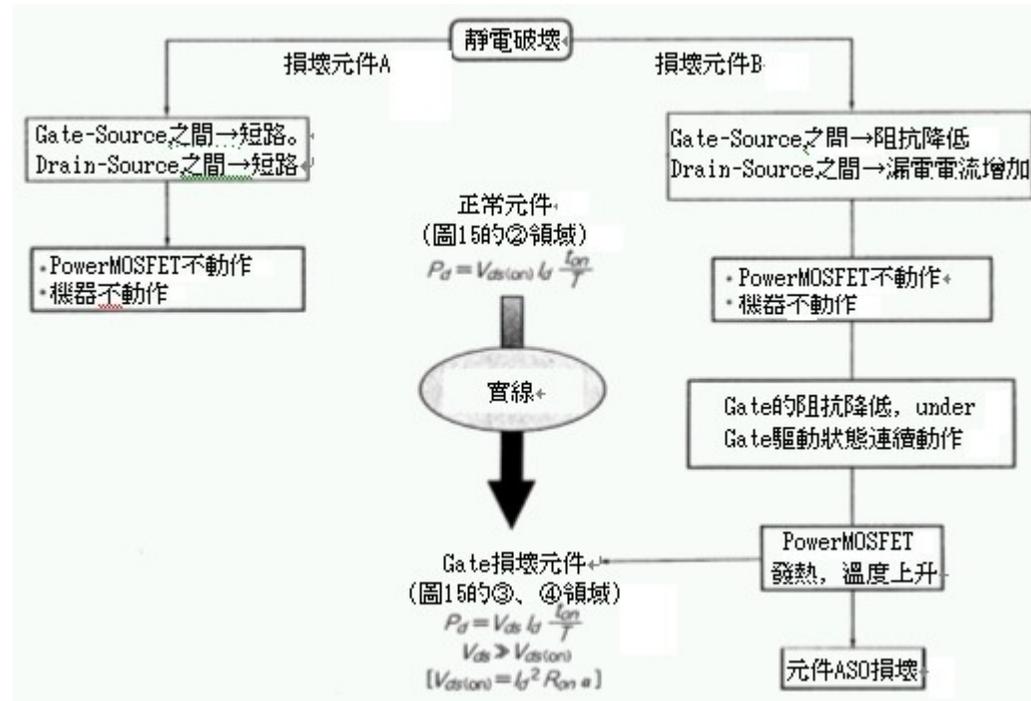
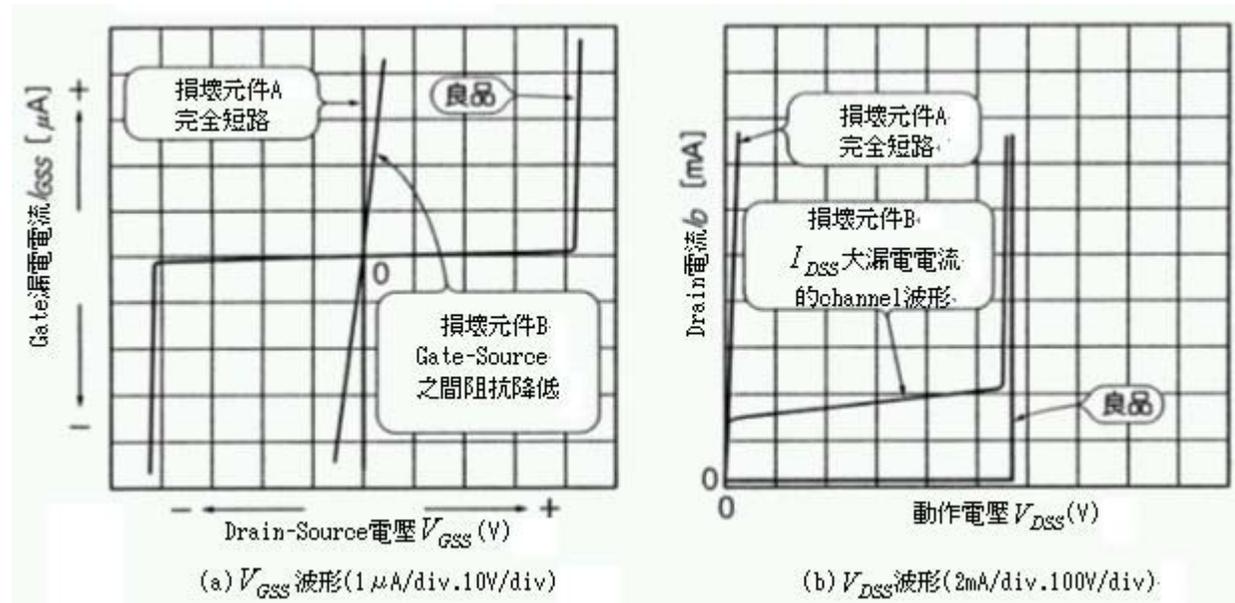


圖27 靜電破壞後的破壞發生模式

圖28是遭受靜電破壞後的gate破壞Power MOSFET元件A的 V_{GSS} 與元件B的 V_{DSS} 的特性模式(mode)，根據圖28的破壞元件A的特性模式顯示，gate-source與drain-source之間完全短路(short)；破壞元件B的gate-source之間具有某種程度的阻抗(數十Ω以上)，而且drain-source之間的漏電(leak)電流 I_{DSS} 高達數百mA，因此破壞元件B的drain-source之間出現良好的耐壓波形。

圖28 靜電損壞元件的 V_{GSS} 與 V_{DSS} 波形

如果將破壞元件A裝入set電路，這種情況電路當然不會動作，不過若施加電力的話，drain-source之間會有短路電流流動，破壞痕跡則更加擴大。接著將破壞元件B也裝入set電路，此時破壞元件B的drain-source之間出現良好的耐壓特性，不過漏電電流 I_{DSS} 卻會造成的Power MOSFET出現異常溫升現象。

此外gate驅動電路信號源阻抗 R_s 的定數，與MOSFET gate-source之間的阻抗值 R_{GS} ，會造成可作驅動電壓流入gate-source之間，如圖29所示外觀上該電壓 V_{GS} 看似下降(相較於輸入gate電壓 V_{in})，不過實際上switching卻在動作，該狀態可用圖29(a)的 $V_{GS} - V_{DS(on)}$ 特性表示，值得一提的是上述under driver會造成電壓 V_{GS} 偏離飽和領域，損失增加等嚴重後果。此處假設下列破壞後特性的破壞元件B，裝入電源電壓 V_{DD} :24V，gate輸入電壓 V_{in} :10V，gate驅動信號源阻抗 R_s :22 Ω ，反覆ON duty D:0.3的set電路內。接著在以下條件下動作:

- gate-source之間的阻抗 R_{GSS} : 100 Ω
- drain-source之間的漏電電流 I_{DSS} : 1mA

此時破壞元件的gate驅動電壓 V_{GS} ，因OFF時的漏電流 I_{DSS} 造成的損失，根據下式計算結果得知分別是 $V_{GS}=8.2, P_{off}=16.8mW$ 。

$$\begin{aligned}
 V_{GS} &= \frac{R_{GS}}{R_s + R_{GS}} \times V_{in} \\
 &= \frac{100}{22 + 100} \times 10 \approx 8.2v \\
 P_{off} &= V_{DD}(1 - D) \\
 &= 24 \times 1 \times 10^{-3} \times 0.7 \\
 &= 16.8mW
 \end{aligned}$$

這對一般邏輯等級的驅動元件而言已經非常充足，不過卻無法保證破壞元件的gate-source之間 100Ω 阻抗 R_{GS} 與 $1mA$ 的 I_{DSS} ，等破壞後的特性不會發生任何變化，因為實際上 R_{GS} 之間的阻抗有變小的趨勢，在此過程中如果gate驅動電壓不足的話，就會偏離ON阻抗動作領域， $V_{DS(on)}$ 變大狀態下動作的結果導致消費電力增加→Power MOSFET發熱→ASO破壞的後果(參考圖19(b))。類似這樣的情況如果事後分析調查破壞元件，可以發現幾乎都是ASO over造成的熱破壞，早期trigger破壞模式則以gate破壞居多；反之若觀察破壞痕跡已經擴大的破壞元件，就無法判別到底是ASO over造成的熱破壞，還是早期的trigger破壞。

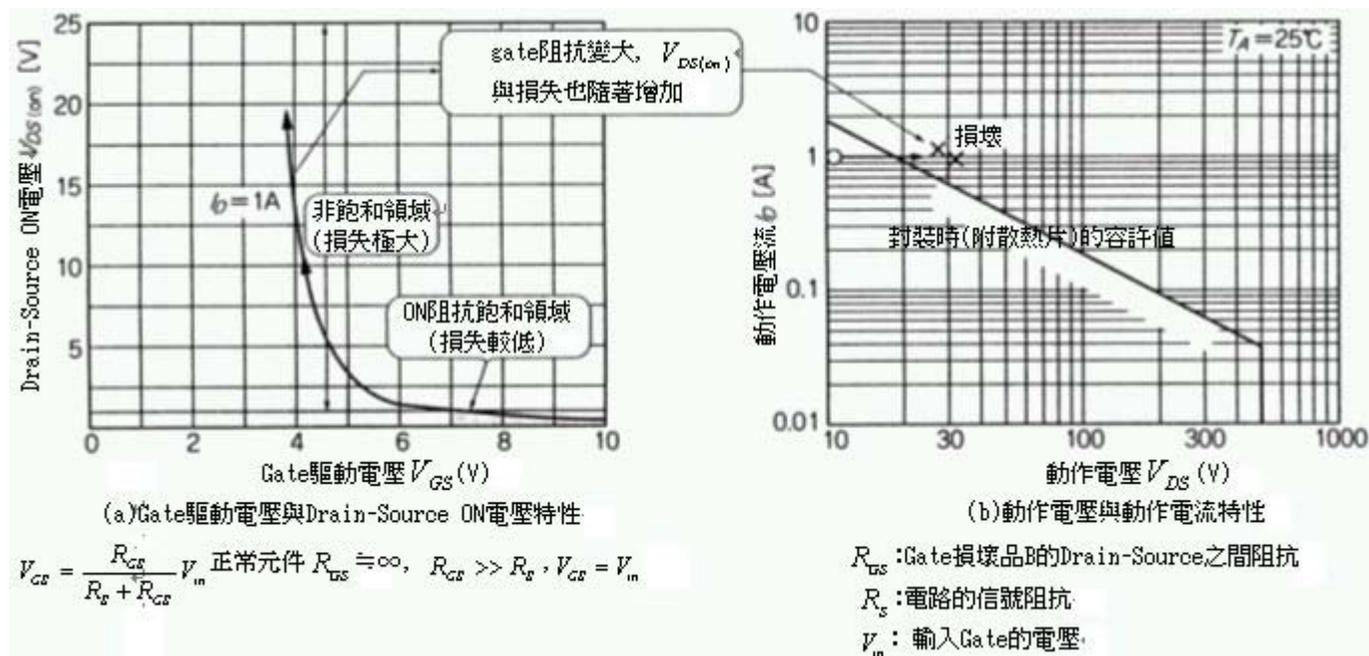


圖29 Gate損壞品B變成ASO的動作機制

▲ TOP

結語

以上介紹Power MOSFET IC使用上的盲點、破壞機制，以及各種避免元件產生發熱、損毀的具體對策。隨著電子產品高性能、多功能化的發展趨勢，類似電源供應器等高功率電路設計日益受到重視，因此本文特別彙集國外電源專業廠商歷年來的實作技術資料。提供讀者參考。

▲ TOP

本文相關連結

■ MOSFET IC使用盲點與對策 (上)

- MOSFET IC使用盲點與對策（中）
- 電源管理設計講座

本文內容（包括圖片）非經同意不得轉載（除有另行約定外）
EEdesign 擁有內文著作權，但文責由作者自行負責，不代表本網站立場。

[【TOP】](#) [【關閉視窗】](#) [【回上一頁】](#) [【回首頁】](#)