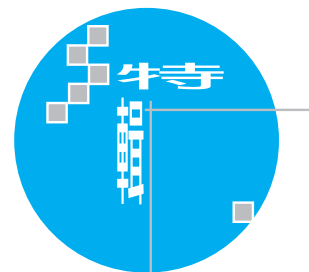


# IC產品可靠度簡介



## ◆ 謝國華

聯華電子公司

品質與可靠度保證部

副理

## 摘要

隨著IC製程技術的進步與品質意識的不斷提昇，人們對IC產品可靠度之要求也越來越高。本文簡介IC產品故障率對時間的關係—浴缸曲線(bathtub curve)、IC產品故障率FIT的計算、IC產品可靠度的評估方式—加速測試的理論與模型及主要的IC產品可靠度測試項目。讓大家對IC產品可靠度有一簡單的認識。

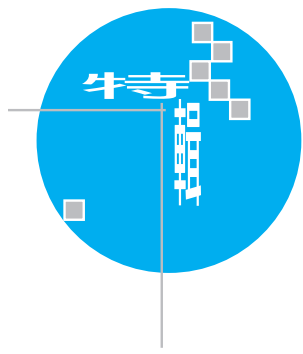
## 關鍵詞

可靠度(Reliability)；浴缸曲線(bathtub curve)；故障率單位(Failure unit, FIT)；加速測試(Accelerated Testing)；加速因子(Acceleration Factor)

## 前言

近年來，IC工業已成為我國重要的經濟來源。而IC技術的發展更是突飛猛進，並不斷與先進國家縮小差距，甚至超過。也由於人類對IC的依賴日深，因此半導體技術不斷朝更細線寬的微細加工技術發展。從90年代初期的次微米技術，進步到2000年的0.18微米的深次微米技術。不僅在面積上縮小50倍以上，更大幅提昇了IC

的性能與應用範疇。同時隨著技術的進步，人們對品質的要求亦不斷的提高。而可靠度又為品質的核心，故人們對IC可靠度之要求也就越來越嚴苛。圖一為SIA (Semiconductor Industry Association)對IC可靠度預測的里程碑<sup>[1]</sup>。圖中說明代表IC可靠度的長期故障率(Long term failure rate)從90年代的數十FIT(Failure unit)的要求，進步到現今數FIT的要求。



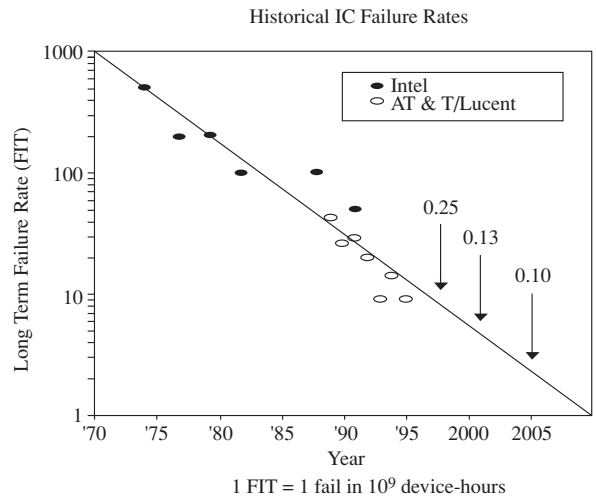
## IC產品故障率對時間的關係

目前，業界經常用來評估IC產品可靠度的一個指標是故障率(failure rate)。由於IC產品的可靠度是指半導體產品在操作一段時間後的存活率（相對於故障率），存活率愈高（即故障率愈低）就表示IC產品的可靠度愈好。

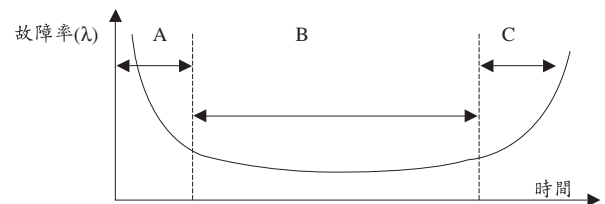
圖二為習知IC產品之故障率對使用時間之關係圖。如圖二所示，IC產品在使用初期會具有較高的故障率，但隨著時間的增加，故障率會下降（階段A），此階段又稱為早夭期(infancy period)。當產品的使用時間超過某一時間點之後，故障率會降至最低（階段B），此階段又稱為可用生命期(useful life period)。在經過可用生命期之後，IC產品的故障率會急遽地增加（階段C），此階段又稱為崩潰期(wear out period)。IC產品在使用過程中所經歷之早夭期、可用生命期以及崩潰期即形成一典型的浴缸曲線(Bathtub Curve)。可靠度工程師即是藉由評估IC產品於早夭期、可用生命期以及崩潰期的故障率是否低於產品規格要求，來判斷是否可以出貨給客戶，並用來作為去除不良品之依據。

在早夭期的故障率一般是以PPM(Parts Per Million)或百分比為單位來表示。在此區間常見的故障機制為設計或製程缺陷等造成的故障。在此區間故障率對時間的關係一般符合韋伯分佈(Weibull Distribution)模式。

在生命期的故障率一般是以FIT為單位來表示，其定義是每 $10^9$ 元件-小時(device-hour)所發生的故障個數。在此區間常見的故障機制為靜電放電(ESD)，電性過載(EOS)或氧化層缺陷等造成的故障。在此區間的故障率接近常數，其故障率對時間的關係一般符合指數分佈



▲圖一 SIA對IC可靠度預測的里程碑



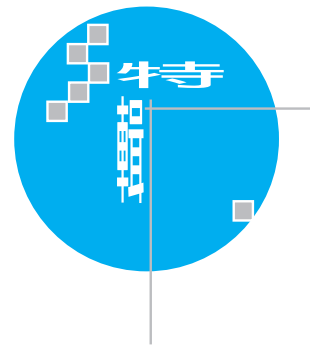
▲圖二 浴缸曲線

(Exponential Distribution)模式。

在崩潰期的故障率一般是以年為單位來表示，普遍的要求是至少超過十年的壽命。例如要求達到0.1%的累積故障率(Cumulative Distribution Function)的壽命要超過十年。在此區間常見的故障機制為老化、退化或崩潰等造成的故障。在此區間故障率對時間的關係一般符合對數-常態分佈(Lognormal Distribution)模式。

## IC產品故障率評估之盲點

普遍在評估IC產品可靠度的區域為浴缸曲線的生命期。此一區域為實際IC產品使用者面對的區域。通常IC製造業者會於IC測試過程時使用崩應(Burn-In)的方式將早夭期消除。而對崩潰期，在考慮現今的IC製造技術及一般使用者正常使用狀況下，實不易達到，故通常不特別討論。



在前面提過計算生命期故障率的單位是FIT。一般是使用加速測試的方式來求得IC產品在生命期的故障率。

以FIT為單位的故障率( $\lambda$ )計算公式如下所示：<sup>[2],[3]</sup>

$$\lambda(\text{in FIT}) = M \times 10^9 / N \times T_s \times A_f$$

其中M表 $\chi^2_{2(r+1);CL} / 2$ 。 $\chi^2_{2(r+1);CL}$ 表考慮特定自信區間(Confidence Level)下，對應 $2(r+1)$ 自由度(Degrees of freedom)的卡氏分配值(Chi squared distribution value)。

其中，r表示在此加速測試下之故障個數；

N表示此加速測試使用之樣品數；

$T_s$ 表示此加速測試使用之時間；

$A_f$ 表示此加速測試之加速因子（詳見下節之介紹）。

一般人均以表面上計算得之FIT值之高低，決定IC產品可靠度之高低。殊不知FIT值的計算牽涉甚廣，若不能完全了解加速測試的條件及計算時所使用之參數，此即可能成為IC產品可靠度評估之盲點，造成錯誤之結論而不自知。舉一簡單例子：

假設一加速測試結果為100個樣品中故障1個，則其實際故障率為1%。若考慮90%之自信區間(Confidence Level)則其實際故障率為3.89%。另一加速測試結果為1000個樣品中故障10個，則其實際故障率同為1%。若考慮90%之自信區間則其實際故障率為1.5%。以上的例子告訴我們雖然表面上兩個加速測試實際故障率同為1%，但因使用的樣本數不同，考慮自信區間後計算得出的結果就不相同。若我們沒有完全了解加速測試的條件，即有可能認為兩者是相同的而造成錯誤之判斷<sup>[3]</sup>。

所以若要比較IC產品的FIT值，我們要完全了解加速測試的條件及計算時所使用之參數，再做比較才有意義。

## IC產品可靠度之評估方式

為了以最快及最節省成本的方式評估IC產品的可靠度，一般均採用加速測試的方法。加速測試的定義為：使用比IC產品正常操作狀況嚴苛的條件來進行測試，如此可大幅縮短測試時間而快速反應故障機制。但加速測試使用的前提為在以加速測試得到的故障機制，必須和正常操作狀況得到的故障機制相同，唯一的差別應該只有時間的不同。如此才可執行加速測試，否則就失去加速測試的意義。而加速因子(Acceleration Factor)的定義為正常狀況下的使用壽命除以加速測試下的使用壽命的比率。

一般常用的加速測試條件主要為下列幾種：溫度、電壓、溼度和溫度變化。各項不同的可靠度測試項目即可能為各種條件之組合。以下分別對不同條件之加速因子模型做一介紹。

溫度的加速因子是由Arrhenius model<sup>[3]</sup>所推導出來。可寫成以下的式子：

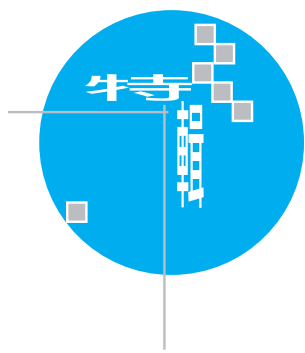
$$T_{AF} = L_{\text{normal}} / L_{\text{stress}} = \exp[(Ea/k) \times (1/T_{\text{normal}} - 1/T_{\text{stress}})],$$

其中， $L_{\text{normal}}$ 及 $L_{\text{stress}}$ 分別表示正常狀況下的使用壽命及加速測試下的使用壽命。Ea表示活化能，單位為電子伏(eV)。k表示 Boltzmann's constant( $8.62 \times 10^{-5}$  eV/K)。 $T_{\text{normal}}$  and  $T_{\text{stress}}$ 分別表示正常狀況下的絕對溫度及加速測試下的絕對溫度。

電壓的加速因子是由Eyring model<sup>[3]</sup>所推導出來。可寫成以下的式子：

$$V_{AF} = 10^{\beta(V_{\text{stress}} - V_{\text{normal}})},$$

其中， $V_{\text{normal}}$ 及 $V_{\text{stress}}$ 分別表示正常狀



況下的使用電壓及加速測試下的使用電壓。 $\beta$ 為電壓的加速率常數。也有些人習慣使用以自然對數(exp)為底的型式。其實是和以10為底的型式相同，

只是此時兩者的 $\beta$ 值不同而已。

溼度的加速因子是由Hallberg和Peck<sup>[3]</sup>所推導出來。可寫成以下的式子：

$$H_{AF} = (RH_{stress} / RH_{normal})^n \text{ with } n=2\sim3,$$

其中， $RH_{normal}$ 及 $RH_{stress}$ 分別表示正常狀況下的使用溼度及加速測試下的使用溼度。 $n$ 為溼度的加速率常數，一般對應不同的故障機制，介於2~3之間。

溫度變化的加速因子是由Coffin-Mason equation<sup>[3]</sup>所推導出來。可寫成以下的式子：

$$TE_{AF} = (\Delta T_{stress} / \Delta T_{normal})^n \text{ with } n \doteq 4\sim8,$$

其中， $\Delta T_{normal}$ 及 $\Delta T_{stress}$ 分別表示正常狀況下的溫度變化及加速測試下的溫度變化。 $n$ 為溫度變化的加速率常數，一般對應不同的故障機制，介於4~8之間。

### IC產品可靠度之測試項目

首先在進行IC產品可靠度測試之前，必先完成元件(Device-level)的可靠度測試。如介電層崩潰測試TDDDB(Time-Dependent Dielectric Breakdown)、熱載子注入測試HCI(Hot Carrier Injection)及電子遷移測試EM(Electro Migration)等等。在元件的可靠度通過要求後，才可以正式生產IC產品，再進行IC產品的可靠度測試。

一般IC產品的可靠度測試項目十分廣泛，以下將主要項目做一簡介包含：EFT、HTOL、THB、HTSL、TCT、TST、PCT、ESD、LatchUp、SER、

Endurance cycling test及Data retention test。

1. EFT(Early Fail Test)早夭產品測試：

此測試目的在利用高溫及高電壓加速測試來找出早夭之故障產品，進而評估IC產品的早夭比率。在測試中加入IC的訊號為動態的訊號而非靜態之偏壓。

2. HTOL(High Temperature Operating Life Test)高溫操作壽命測試：

此測試目的在利用高溫及電壓加速測試，來評估IC產品的長時間的操作壽命。在測試中加入IC的訊號為動態的訊號而非靜態之偏壓。

3. THB(Temperature Humidity Bias Test)溫溼度偏壓測試：

此測試目的在利用高溫溼度及固定偏壓加速測試來評估IC產品對溼氣的抵抗能力。因所加的溫溼度為85°C，85%相對溼度，故一般亦稱為85/85測試。此時加入IC的訊號為靜態之偏壓而非動態的訊號。

4. HTSL(High Temperature Storage Life Test)高溫儲存壽命測試：

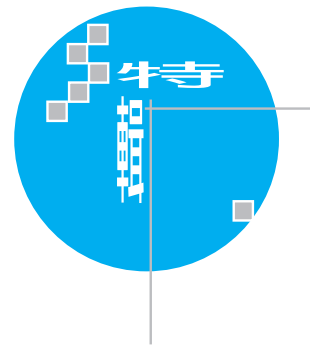
此測試目的在利用高溫加速測試來評估IC產品的儲存壽命。此時不加任何電氣的訊號到IC產品上。

5. TCT(Temperature Cycling Test)溫度循環測試：

此測試目的在利用高溫低溫循環變化測試，來評估IC產品對溫度變化的抵抗能力。主要是藉此高溫低溫循環變化，來測試IC產品上各層不同物質之熱膨脹係數不同，而可能引起之故障機制。在此測試中因所用之溫度介質為氣相，故一般亦稱為air to air測試。

6. TST(Thermal Shock Test)冷熱衝擊測試：

此測試目的在利用冷熱瞬間變化測試來評估IC產品對溫度瞬間變化的抵抗能力。此測試目的和TCT類似。因此測試中



所用之溫度介質為液相，故一般亦稱為 liquid to liquid 測試。

7. PCT(Pressure Cooker Test)壓力鍋測試：

此測試目的在利用高溫溼度及加強的大氣壓力測試來評估IC產品對溼氣的抵抗能力。其和THB測試之不同處為不加偏壓，且用較高的溫度(121°C)及較高的溼度(100%R.H.)。

8. ESD(Electro Static Discharge Test)靜電放電測試：

此測試目的在評估IC產品對靜電放電的抵抗能力。此測試有三種模式，分別為人體放電模式HBM(Human Body Model)、機器放電模式MM(Machine Model)及帶電元件放電模式CDM(Charge Device Model)。HBM及MM分別模擬人體及機器對IC產品放電的情形，而CDM則是模擬帶電產品對地放電的情形。

9. Latch Up鎖栓測試：

此測試目的在評估IC產品對Latch Up鎖栓的抵抗能力。此測試主要是針對CMOS產品才有的測試。

10. SER(Soft Error Rate Test)軟性故障率測試：

此測試目的在評估IC產品對 $\alpha$ 粒子所引起的軟性故障(Soft Error)的抵抗能力。此測試主要是針對DRAM及SRAM產品才有的測試。

11. Endurance Cycling Test重複抹寫測試：

此測試目的在評估非揮發性記憶IC產品經重複抹寫的耐久能力。此測試主要是針對非揮發性記憶IC產品才有的測試。

12. Data Retention Test資料維持力測試：

此測試目的在評估非揮發性記憶IC產品經高溫加速後的資料維持的能力。此測試主要是針對非揮發性記憶IC產品才有的測試。

以上所介紹之各項測試之程序與方法均有國際標準規範可參考<sup>[5-30]</sup>。皆為業界常用之IC產品可靠度項目。

## IC產品可靠度之改進

一般產品的可靠度考量均在設計研發及製程時就應進行，IC產品亦不例外。一般文獻上提及的IC產品可靠度改進方式有下列幾種方法：

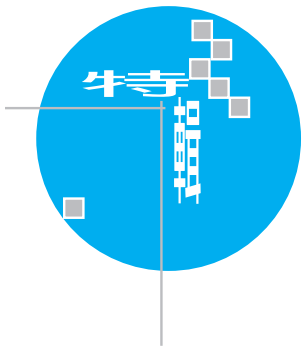
- 1.BIR(Built-In Reliability)
- 2.WLR(Wafer Level Reliability)
- 3.QML (Qualified Manufacturing Line)
- 4.POF(Physics of Failure)<sup>[31]</sup>

Hu<sup>[32]</sup>定義BIR是一種不僅從生產完成後去評估生產結果，亦從研發設計及生產過程中控制會影響可靠度的變數，進而達到最佳可靠度的方法。此法利用在產品設計製造的初步階段就對產品可靠度進行詳細的評估，將可靠度的需求設計入產品中，使能儘早發現問題點及早謀求對策，以免在後期成品時，耗費更多的成本於補救措施上。下列是一些常用於BIR的工具如SPC(Statistical Process Control)，B/I(Burn-In)，In-Line Testing及電路可靠度模擬等等。

WLR則是一種利用Wafer level方式進行快速之加速測試用來評估影響可靠度變異來源的方法<sup>[33]</sup>。它可節省測試時間及封裝費用，是將來可靠度測試的趨勢。

QML<sup>[34]</sup>則是改變產品驗證的觀念，而成為生產線先經過驗證再生產的觀念。生產線先經過特定Test Circuit驗證通過後，才能保證生產的品質及可靠度。

而POF則是利用完全了解故障機制的方式，進而提前預防故障的發生，從而改進產品的品質及可靠度<sup>[35]</sup>。



## 結論

眾所皆知，可靠度指的是產品使用期間的品質。這也是說除了零缺點的品質外，都是屬於可靠度的範圍。明白了這一點，我們可以看出可靠度是從產品一開始使用就會衍生，可靠度也就和客戶滿意度息息相關。對IC產品要做到客戶滿意的可靠度，追本溯源還是要從產品的設計及製造初期就要導入。也就是說，在追求IC產品高可靠度的管理上，在導入產品的理念時就開始，而以客戶的滿意為依歸。利用各種改善可靠度的方法、可靠度工程的技巧及應用技術等相互結合運用，使整個IC產品可靠度臻於完善。

## 參考資料

1. SIA (Semiconductor Industry Association) reliability road map.
2. Accelerated Testing Handbook, D.S. Peck and O.D. Trapp.
3. Applied Reliability second edition, Tobias and Trindade.
4. Paul Syndergaard, "Having Fits Over FITS", 2000 Cahners Business Information.
5. MIL-STD-883D, METHOD 1015.9.
6. EIAJ ED-4701, METHOD D-101.
7. JESD22-A108-A.
8. MIL-STD-883D, METHOD 1005.8.
9. EIAJ ED-4701, METHOD B-122.
10. EIAJ ED-4701, METHOD B-123.
11. EIAJ ED-4701, METHOD B-131.
12. JESD22-A104-A.
13. MIL-STD-883D, METHOD 1010.7.
14. EIAJ ED-4701, METHOD B-141.
15. MIL-STD-883D, METHOD 1011.9.
16. JESD22-A102-B.
17. EIAJ ED-4701, METHOD B-111.
18. MIL-STD-883D, METHOD 1008.2.
19. EIAJ ED-4701-1 C-113.
20. JESD17.
21. JESD78.
22. EIAJ ED-4701, METHOD C-111.
23. EIAJ ED-4701-1, METHOD C-111A.
24. ANSI/ESD-S5.2-1994.
25. ANSI/EOS/ESD-S5.1-1993.
26. ESD DS5.3.1.
27. JESD22-C101.
28. JESD22-A114-A.
29. JESDS22-A115-A.
30. MIL-S-19500.
31. Way Kuo, Taeho Kim, "An overview of manufacturing yield and reliability modeling for semiconductor products.", Proc. of the IEEE Vol.87, no.8.1999.
32. C. Hu, "Future CMOS scaling and reliability", Proc. IEEE, vol.81, pp.682-689, May 1993.
33. J.A. Schideler, T. Turner, J. Reedholm, and C. Messck, "A systematic approach to wafer level reliability", Solid state Technol., vol.38, no.3, p.47 Mar.1995.
34. J.M. Soden and R.E. Anderson, "IC failure analysis: Techniques and tools for quality and reliability improvement", Proc. IEEE, vol.81, pp.703-715, May 1993.
35. B. Schlund, C. Messick, J. Suehle, and P. Chaparala, "A new physics-based model for time-dependent-dielectric-breakdown", in Integrated Reliability Workshop, Final Rep. Int., 1995, pp.72-80.