

第一章 MOS 基础

§ 1-1 MOS 的范围

在一块硅芯片上可容纳一个数字电压表的全部线路，这已是几年以前的事情。如今，可以买到能完成相当于 $4\frac{1}{2}$ 数字电压表的全部逻辑操作的集成电路。不过，显示系统（发光二极管、数码管以及有关的驱动器等）和若干相应自选的线路，仍待自己准备，因此在一块主芯片上包罗万象是无法实现的。

当今，你还可以买到一块集成电路，它能完成数学上最基本的四则运算，提供的答案达十二位之多。几块这样的集成电路芯片组合，即可执行便携式计算器和电子计算尺全部的复杂运算。不过，单片微程序装置和微处理机正在接替小型计算机的工作。现在，在边长小于 0.2 英寸见方的半导体存储器芯片上，已经可以集成 4000 位。

这样多的先进技术能得到广泛使用，首先是由于金属-氧化物-半导体（MOS）技术发展的结果。刚才提到的那些复杂器件，就是用 MOS 晶体管制造的。

MOS 晶体管与双极型晶体管的工作情况相类似，但在原理上有重要区别。一个主要的差别是：MOS 晶体管是电压控制器件，而双极型晶体管是电流控制器件。导通一个双极

型晶体管，要给基极供电流；而导通一个 MOS 晶体管，就要在称作栅极的控制极上提供电压。

当电流流入双极型晶体管的基极-发射极回路时，相应的要有一个基极-发射极电压来克服基极-发射极回路的电阻。这就是说，双极型晶体管的输入电路需要电压和电流（即功率）。只要这晶体管维持工作，它就消耗基极功率。这种器件的功率增益是输出功率与输入功率之比。

然而，在 MOS 晶体管里，栅极（相当于基极）和源（相当于发射极）、漏（相当于集电极）之间，并不存在直接通路，因此器件能够不用任何输入电流而维持工作。当然，实际不存在完美无缺的器件，故还有相当于 $10^{12} \sim 10^{15} \Omega$ 的泄漏通路，允许一些电流从栅到源、漏流动。如果栅极电压为 10V，则电流将大约是 $10V/10^{15} \Omega = 10^{-14} A$ ，输入功率为 $10^{-14} A \times 10V = 10^{-13} W$ (0.0001nW)。这样，MOS 晶体管在几乎不消耗输入功率的情况下，能够维持工作。但是，使 MOS 晶体管导通，需要在栅极上加电荷，而栅极充电要消耗功率，功耗虽不大，但总有一些。

甚至，使 MOS 晶体管导通所需要的瞬态功率，也小于保持双极型晶体管导通所需要的稳态功率。当晶体管向灯泡或继电器之类相当大的电流负载提供功率时，在输入电路内节省功率意义是不大的。而当负载是一个较大的半导体存储器，或信号处理长链中的另一只晶体管时，节约功率则显得非常重要。

MOS 晶体管另一个重要的特性是尺寸小。在相当于一只双极型晶体管所占的面积上能放进 50 只 MOS 晶体管。因为 MOS 晶体管同时兼有体积小和功耗低两个优点，故它有可能

使非常复杂的电路做在很小的面积上。为得到 MOS 的这些优点而付出的主要代价是速度。无论什么地方, MOS 型集成电路的工作速度要比等效的双极型集成电路慢 10 倍到 100 倍, 甚至更多。然而, MOS 集成电路能在兆赫级的速率下工作, 这对于许多应用是已经足够了。当必须或者希望有更高的速度时, 可以采用双极型电路。

§ 1-2 MOS 晶体管的类型

双极型晶体管有两种基本类型: NPN 和 PNP。这两种晶体管的功能相似, 就外部线路而论, 主要的不同点是: NPN 需要在它的集电极上加一个正电压, 而 PNP 需要在集电极上加一个负电压。MOS 型晶体管与双极型大体相似, 只是有两种复杂的情况:

一是控制电极 (或称栅极), 能够按下列两种方式中的一种形成: 或者如同一个 PN 结, 或者如像一个绝缘电极。

二是晶体管可以是耗尽型器件, 也可以是增强型器件。当控制电极上的电压为 0 时, 耗尽型晶体管导通而增强型晶体管不导通。由此, 得到六种基本的 MOS 晶体管。

首先来看图 1-1(a) 所示的双极型 NPN 晶体管。当基极电压为 0 时, 两个二极管阻止电流在集电极和发射极之间流动。当基极电压从 0 向 +V 增大时, 基极电流开始流动, 晶体管开始导通, 让晶体管内的电流从集电极流到发射极。实际上所发生的情况, 就是基极电流的流动打开了一条从集电极到发射极的导电通路, 或称通道。基极电流越大, 导电通道越宽, 它的电阻值就越低。这样, 在导通状态下, NPN 晶体管看上去就像用一条导电通道把两个导电 N 区连接在一

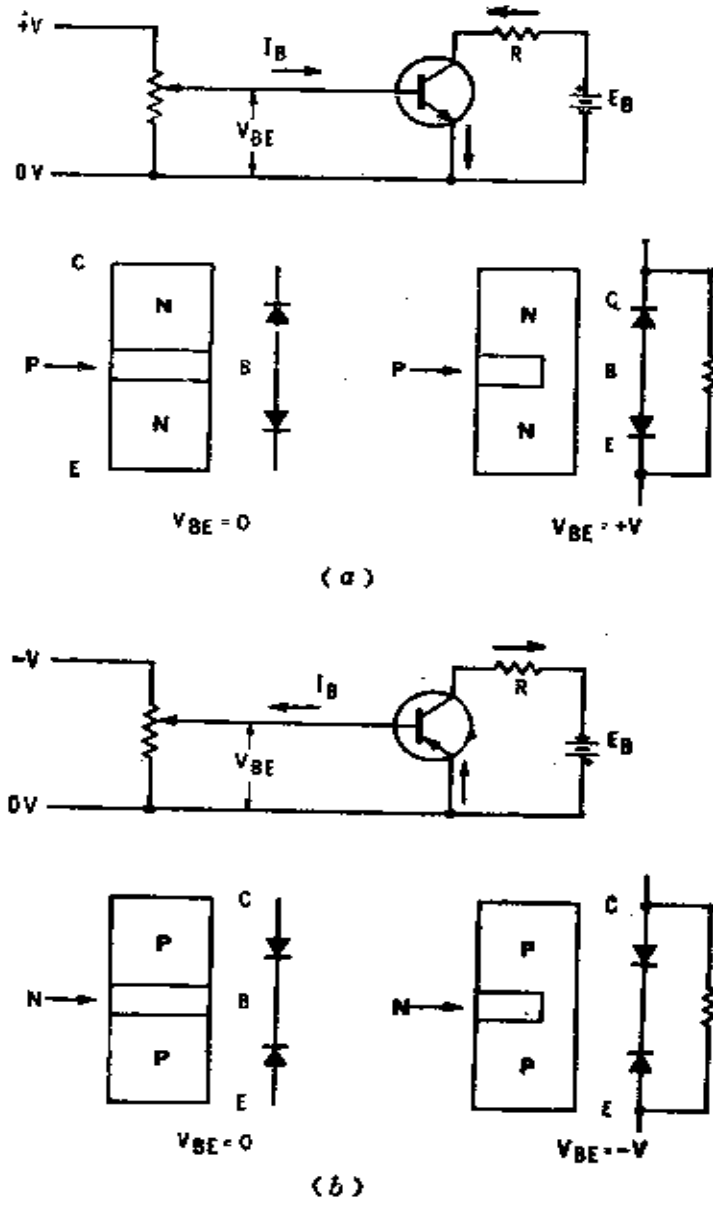


图1-1 双极型晶体管

(a) NPN, (b) PNP。

起。此时，如不减少流向发射极的基极电流（从而不会消除已产生的通道），电流就不能从发射极向集电极流动。

在PNP双极型晶体管中，当发射极到基极的电流流动时，也有类似的情况。在这种情况下，引起一条P型通道〔如图1-1(b)所示〕。

然而，在双极型晶体管里，负载电流是由基极电流控制的，而在MOS晶体管中，它是由栅电压控制的。图1-2(a)表示结型场效应晶体管（JFET）的剖面。晶体管是N沟道型，本质上是由掩埋在P型衬底中的一根薄而细的N型棒组成的。电连接是这样进行的：借助于淀积在N区上的金属膜连接棒的两端，而借助淀积在P区上的金属膜连接栅极。剖

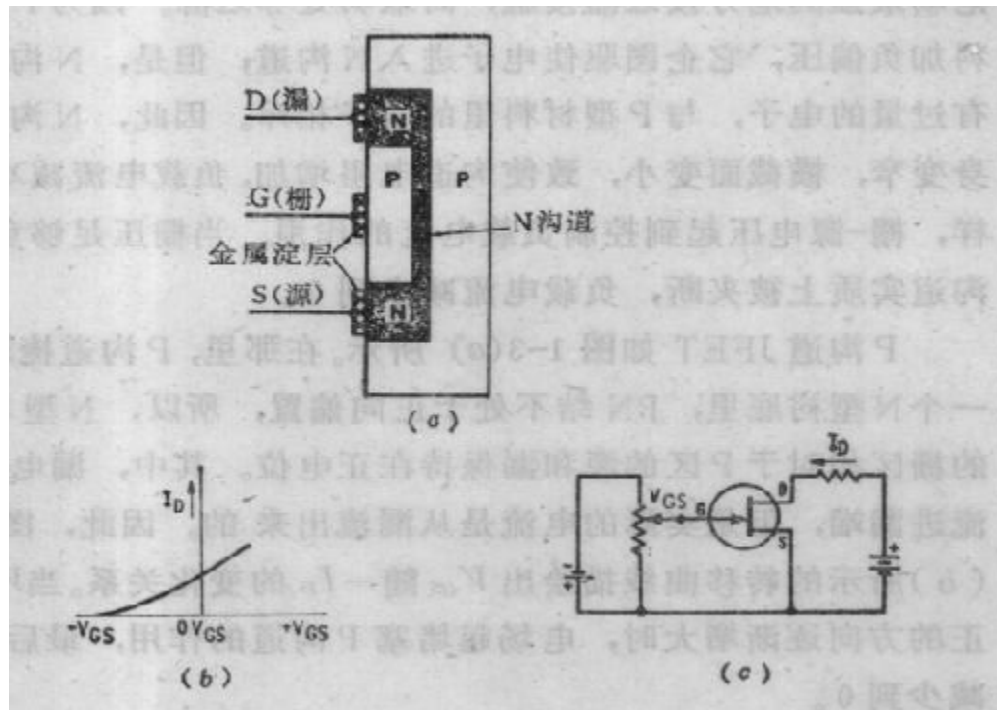


图1 2 N沟道结型场效应晶体管

(a) 剖面；(b) 转移曲线；(c) 基本线路。

面图中，源和漏之间的沟道非常短。当在源和漏之间加上电压时，电流将通过器件流动。当电流流动仅仅通过N型材料而根本不通过PN结时，电流可在任一方向流动，流动方向由外加电压的极性而定。因此，棒的任一端均可起到源或漏的作用。

N沟道JFET的转移曲线如图1-2(b)所示，图1-2(c)是基本电路。当栅-源(V_{GS})电压为0时，有负载电流流动。如果 V_{GS} 是正的，PN结处于正向偏置，器件的作用如同一个二极管。然而，在通常的情况下，栅压是负的，此时的PN结处于反向偏置，输入阻抗非常高。

由于在器件上加了电压，PN结的边界上就形成强电场。电场最强的地方接近漏接触，而最弱处邻近源。因为P型材料加负偏压，它企图驱使电子进入N沟道；但是，N沟道已有过量的电子，与P型材料里的电子相斥。因此，N沟道本身变窄，横截面变小，致使沟道电阻增加，负载电流减小。这样，栅-源电压起到控制负载电流的作用。当栅压足够负时，沟道实质上被夹断，负载电流减小到0。

P沟道JFET如图1-3(a)所示。在那里，P沟道掩埋在一个N型衬底里，PN结不处于正向偏置，所以，N型材料的栅区相对于P区的源和漏保持在正电位。其中，漏电流 I_D 流进漏端，但是实际的电流是从漏流出来的。因此，图1-3(b)所示的转移曲线描绘出 V_{GS} 随 $-I_D$ 的变化关系。当 V_{GS} 向正的方向逐渐增大时，电场起堵塞P沟道的作用，最后使 I_D 减少到0。

JFET是得到广泛应用的第一种MOS器件，随后是绝缘栅FET(IGFET)。N沟道IGFET的剖面如图1-4(a)所

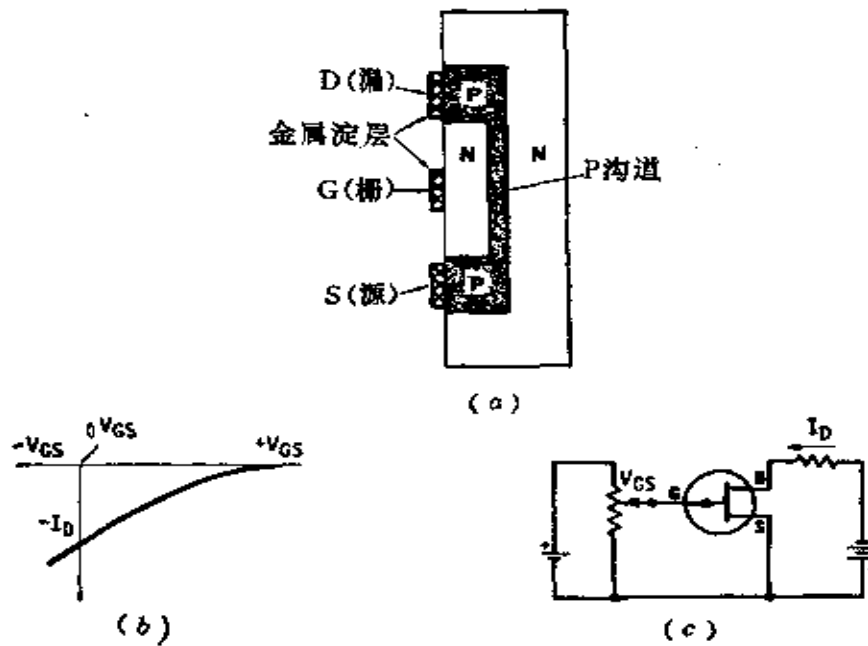


图1-3 P沟道结型场效应晶体管
(a) 剖面; (b) 转移曲线; (c) 基本线路。

示, 其仍要有用作源、漏和沟道的N型材料和P型衬底。但是, 金属栅和N沟道间加了一层极薄的二氧化硅绝缘层, 以代替输入端的PN结, 并且沟道可以在衬底表面形成而不用埋在衬底里面。

除了IGFET的栅极既可以加正电压、也可以加负电压以外, 这种器件的工作原理类似于JFET, 因为绝缘层可阻止电流从栅向源或漏流动。栅绝缘层的击穿电压通常是25~100V左右, 这样, 栅极能够直接连到源和漏相同的电压上。此外, 衬底的P型材料相对于N型材料必须保持在负电位, 而且通常源是与衬底相连的。

另外, 还可以用P型材料作源和漏, 做成类似的器件, 采

取的形式如图 1-4(b) 所示。工作原理与刚才叙述的 N 沟道相似，只是工作电压的极性相反。

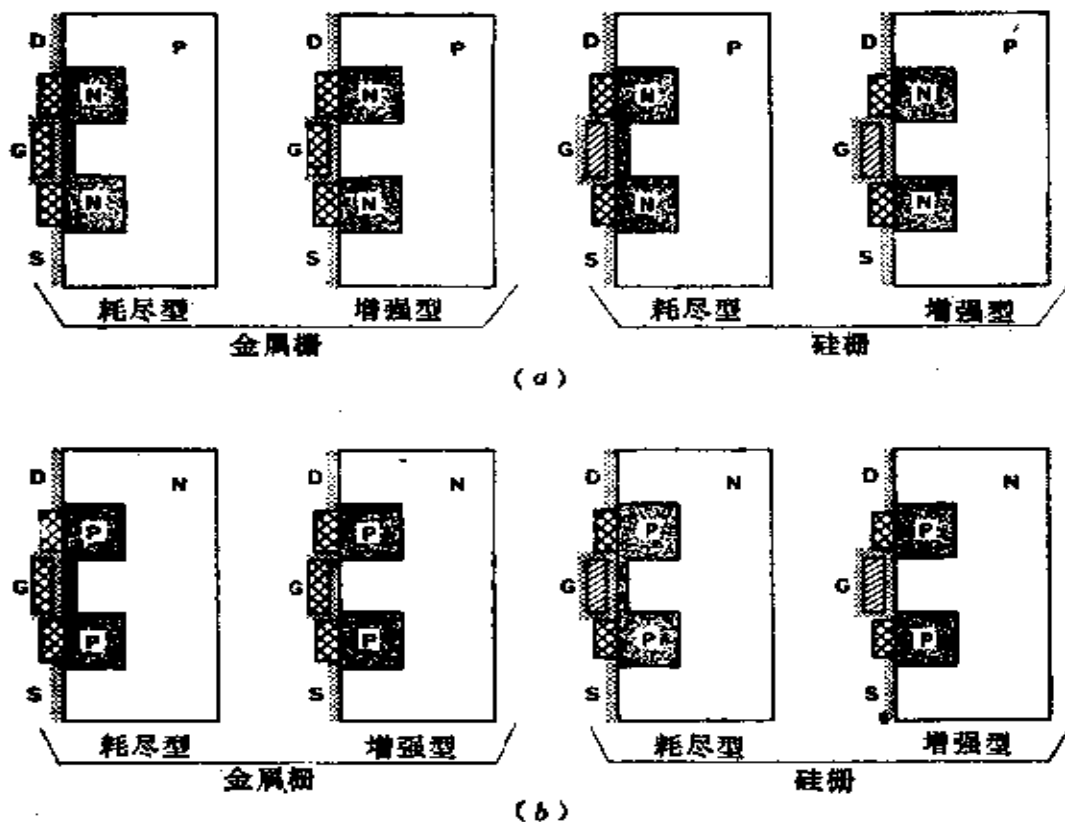


图1-4 绝缘栅MOS场效应晶体管

(a) N沟道；(b) P沟道。

到这里为止，上面叙述的 MOSFET 都是做成永久性的沟道，并且以所谓耗尽模式工作。下面介绍没有内建沟道，但是能够感生出沟道的器件。图 1-4(a) 左第二图表示出具有 N 型源和漏的金属栅器件的剖面，沟道能够由栅-源电压建立起来。这种器件称作增强型沟道 MOSFET。当栅极电压为正时，电子被吸引到金属栅极一侧，而空穴则被深深地驱赶

100800

到P型材料中去。当栅-源电压从0增加时，N型沟道从“源”起始，逐步形成。随着电压增加，沟道伸长直到某个临界的阈值电压，沟道扩展到从源到漏的全部通道。一旦达到阈值电压，通过沟道从源到漏的导电就开始，负载电流流经一个纯欧姆性（或电阻）器件而不是通过PN结。如果电压增高太多，将使栅极绝缘层穿透，器件遭到破坏。在这个穿透值以下，器件的作用像一个晶体管，并且有如图1-5(a)所示的转移曲线。

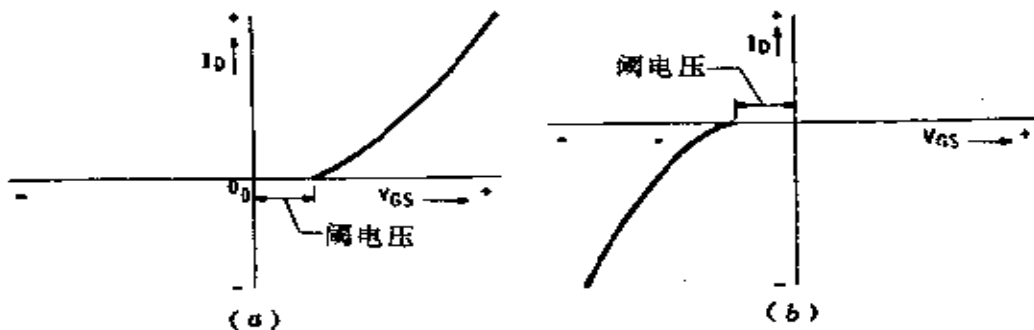


图1-5 增强型MOS晶体管转移曲线

(a) N沟道；(b) P沟道。

也能够制成等效的P沟道器件，采取图1-4(b)左第二图所示的形式，其转移曲线表示在图1-5(b)。

增强型器件的主要特征是：当输入信号为0时，没有电流流动。于是，当器件处于静态或者截止时，工作功率接近于0。在数字电路中，这是一个主要的优点。因为在数字电路中，大约有一半时间，输入信号为0。

为使金属栅增强型晶体管工作，金属栅必须精确的位于源和漏之间，而且与源和漏还必须稍有重叠，以使感生的沟道扩展到从源到漏的全部通道。但是，任何额外的重叠，都

1108276

会给器件增添电容，因而降低它的响应速度。为避免这个问题，研制出一种硅栅结构。硅栅用一种称之为多晶硅的特殊材料制作，多晶硅在制造工艺的前道工序形成，然后由扩散形成源和漏。与此同时，掺杂剂原子也扩散进入多晶硅栅，使之成为导体。因为当源和漏形成时，栅已经在适当的位置上，所以，我们说它是自对准栅。栅、源和漏全都是精确对准而无重叠，因此没有附加电容。因为栅极的对不准问题不用考虑，故器件能够做得更小，可进一步减小电容和提高速度。金属栅和硅栅晶体管接近似比例的剖面图，表示在图 1-6。

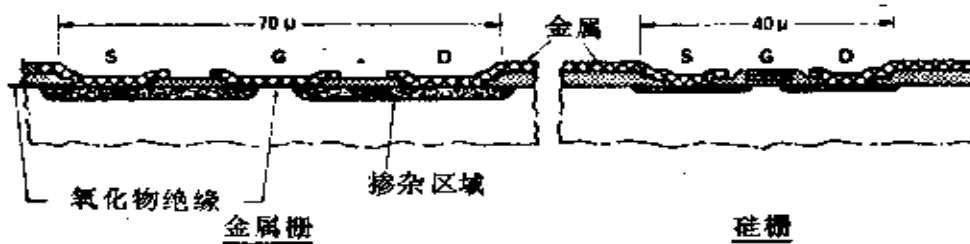


图 1-6 金属栅和硅栅晶体管剖面图

硅栅结构 MOS 晶体管是数字集成电路目前最广泛使用的一种，并正用于越来越多的电路。增强型器件的功耗最低，因此发热最少，可靠性最高。金属栅晶体管也正大量生产，因为其制造工艺能很好地控制，并且在掩模和生产设备上已经有大量投资。结型 FET 所以不用于数字集成电路，因为它是耗尽型器件，并且在静态下工作时要消耗功率，它们适用于需要其特殊性能的特殊场合。

至今已经创立了许多符号来描述 MOS 晶体管，如图 1-7 所示。其中图 (g) 所示的符号获得最广泛的应用，因为对它的特色表现得很充分而且简单，并容易作图。

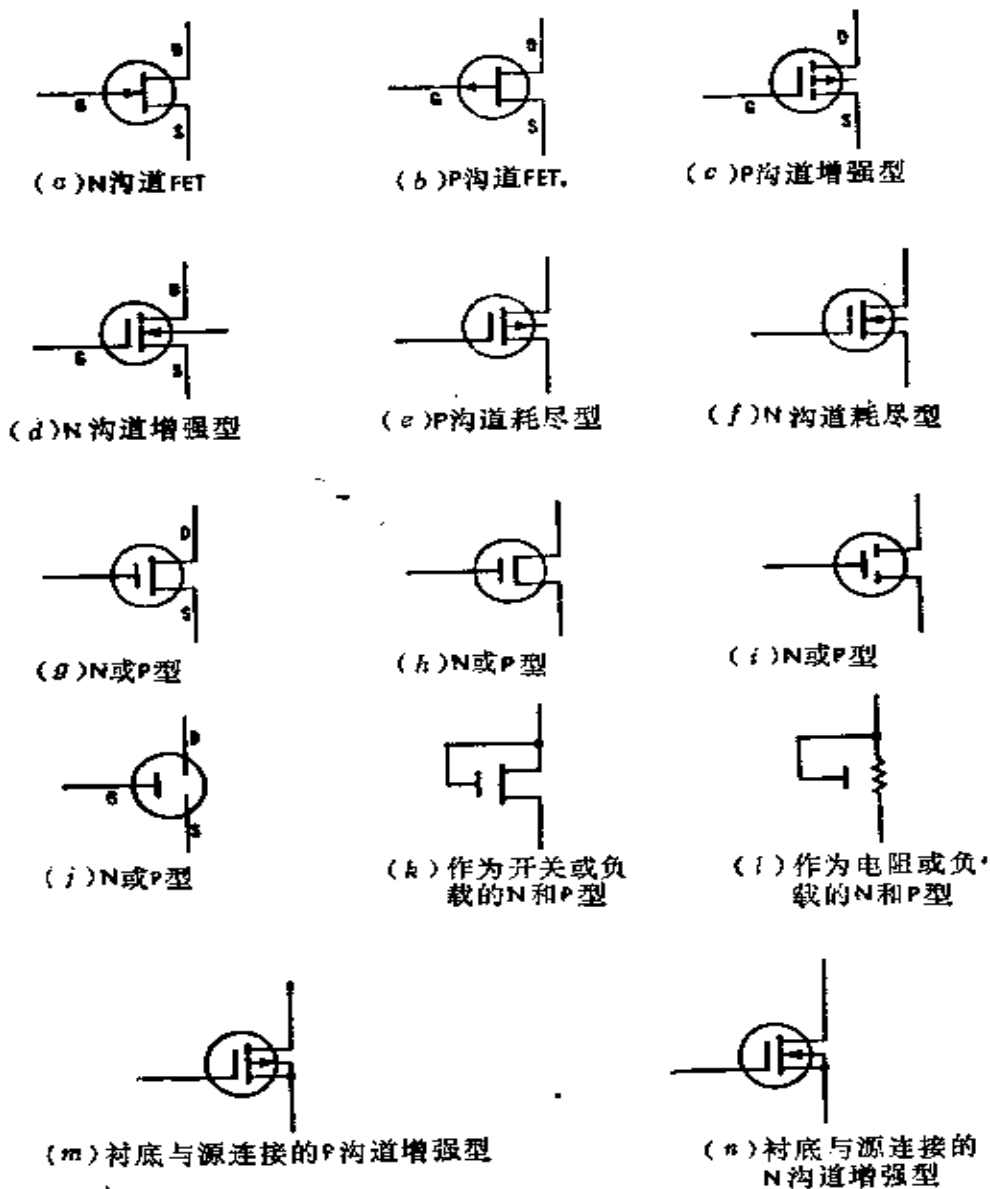


图1-7 MOS晶体管通用的符号

§ 1-3 MOS放大器-倒相器

P沟道增强型 MOS 晶体管的基本电路如图 1-8(a) 所示。当栅与源处于相同电位时，器件截止，没有负载电流流动，输出电压 E_o 和电池负极处于同样的电位。若使栅电压由地电位向 $-E_x$ 变动，当栅压超过阈值电压时，则晶体管开始导通，并产生负载电流 I_L 。这时，电阻 R_L 上的电压增加，输出电压 E_o 开始趋向地电位。当晶体管完全导通——饱和时， E_o 接近于地电位或 $+E_B$ 。 E_o 的精确值取决于 R_L 与饱和晶体管阻抗之比。饱和晶体管的阻抗主要取决于它的尺寸；尺寸越大，沟道越宽，阻抗就越低。

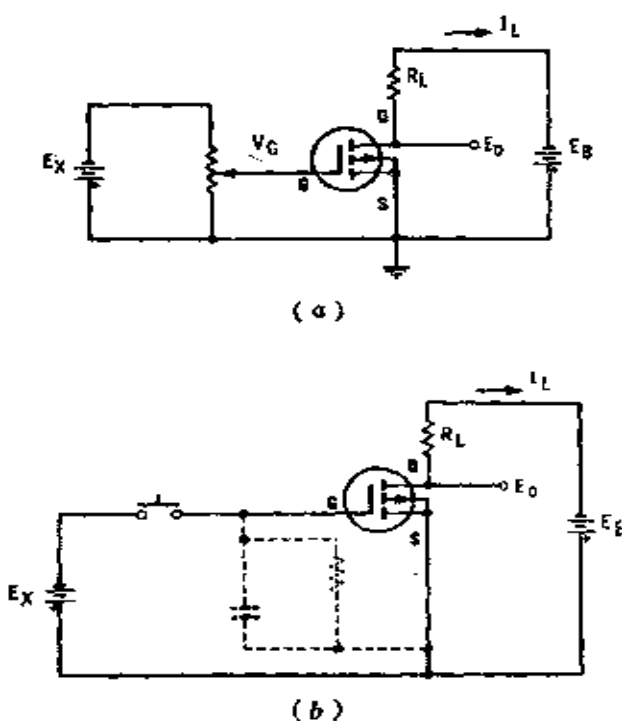


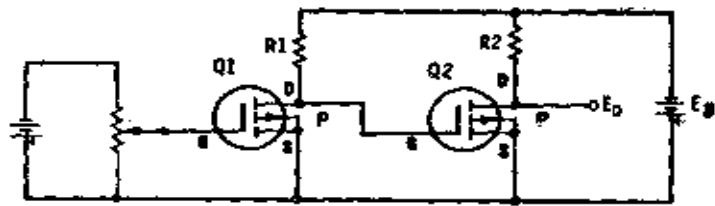
图 1-8 P 沟道增强型放大器/倒相器
(a) 基本线路；(b) 栅电容和泄漏电阻；

MOS 晶体管是高阻抗器件,甚至作为输出元件而设计的大尺寸晶体管,在处于饱和状态下也有几百欧姆的阻抗。如果 E_s 是 10 V, R_L 是 100k Ω , 饱和晶体管的阻抗就是 500 Ω ; E_o 的变化能由晶体管截止时的 -10 V 到它导通时的 -0.0497 V。

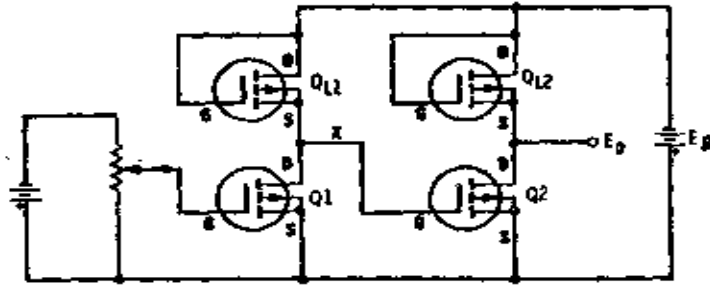
MOS 晶体管电路的电压增益虽然不如等效的双极晶体管电路那么高,但是,只要 V_o 有一个很小的变化,就能使 E_o 从 $-E_s$ 变动到接近地电位,故功率增益仍非常高。

让我们再看图 1-8(b) 的电路。由按钮闭合时,晶体管接通。要注意与栅相连的是一个小的栅-源电容,当按钮闭合时此电容充电。而当按钮打开时,栅极上所带的电荷将通过栅-源绝缘层开始泄漏掉。虽然这电荷正在泄漏,然而晶体管仍维持导通状态。如在电荷泄漏不太多时,按钮再次闭合,则晶体管仍然导通。栅-源电容只有几个微微法,但泄漏电阻却很高。举一个典型例子,一块集成电路可能具有 5pF 的输入电容和 $10^{12}\Omega$ 的泄漏电阻,此时 RC 的时间常数应当是 5s (秒)。如果晶体管连续 5s 保持在导通状态,则就无法使用。但以数字时钟速率测量时,由于绝大部分时间里信号允许通过,故无须再给栅电容充电或再生。在动态移位寄存器和存储器方面就采用这种技术,以后还要进行讨论。

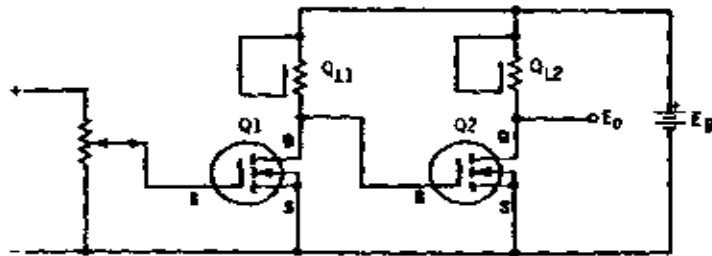
这种基本电路提供信号放大和电压倒相,该电路能够直接连结到另一倒相级,如图 1-9(a) 所示。采用集成电路,很容易实现像图 1-9(a) 那样的放大链。晶体管 Q_1 和 Q_2 能做得非常小。但是电阻 R_1 和 R_2 却要占据相当大的硅片面积。不过为了减小面积,可采取把另一只 MOS 晶体管始终偏置在导通区域某一点的办法,使其起到负载的作用。这种电路如图 1-9(b) 所示。



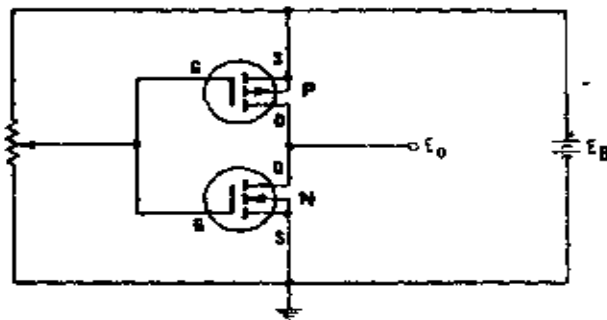
(a)



(b)



(c)



(d)

图1-9 MOS 放大器
 (a) 两级放大器; (b) MOS 晶体管用作负载电阻;
 (c) NMOS 倒相器; (d) 互补倒相器。

晶体管 Q_{L1} 和 Q_{L2} 分别用作 Q_1 和 Q_2 的负载，并常用图 1-9(c) 的 NMOS 倒相器电路表示。

负载晶体管的栅总是接漏，使得晶体管处于导通状态。 Q_{L1} 的阻抗必须比 Q_1 “导通”时的阻抗大得多，确保 X 点有一个适当的电压摆幅。就占据的硅片面积而言， Q_1 远大于 Q_{L1} 。

当 Q_{L1} 源电位接近 $-E_B$ 时〔图 1-9(b)〕， Q_{L1} 有某一阻抗值；当源电位接近 $+E_B$ 时，它有另一阻抗值。就是说， Q_{L1} 的电阻是非线性的。只要信号能传输到下一级，这样的非线性在数字线路中是允许的。这个条件是容易满足的，因而大多数 MOS 数字集成电路都只由晶体管组成。

倒相器也能够用一个 N 沟道和一个 P 沟道晶体管以互补结构制成，如图 1-9(d) 所示。应注意，此电路中 P 沟道晶体管的源接到 E_B 的正端，而 N 沟道晶体管的源接到负端，两者的漏接在一起，连到输出端。

当栅接正电压时，N 沟道晶体管有一个高的栅-源电位，因而导通；然而 P 沟道晶体管的源和栅处于同一电位，因而截止。由于 Q_N 导通，输出电压 E_o 接近于 0V。

当栅电压变到地电位，则发生相反的作用。N 沟道晶体管栅和源现在处于同电位，是截止的，然而 P 沟道晶体管有一个高的源-栅电位，是导通的。输出电平 E_o 升高，接近于 $+E_B$ 。

如果栅输入端不接到 $+E_B$ 或 $-E_B$ 上，而是浮置着，会发生什么情况呢？电子将要通过 P 沟道晶体管的绝缘层从栅被拉到电源电压的正极，另一部分电子则将通过 N 沟道晶体管的绝缘层被输送到栅极。如果栅极变成带正电，N 沟道晶体管导通；如果电子积聚在栅上，则 P 沟道晶体管导通。故输出是不能预测的。为了可靠地工作，栅必须接到 $+V$

或 $-V$ 上。

§ 1-4 MOS 系列

因为 MOS 晶体管的基本类型很多，所以出现了相当多的 MOS 数字逻辑系列。归纳起来，最重要的是基于下面三种电路途径：P 沟道增强型电路，N 沟道增强型电路，以及用 P 沟道与 N 沟道增强型器件构成的互补电路。

首先获得广泛应用的 MOS 集成电路，是采用 P 沟道增强型晶体管，并采用较高的负电压（ -28V ， -40V 等）。为了便利工作，大多需要多个电源，而且还需要大量的外围电路。而存储器和动态存储器，其中有的需要二、三个甚至四个时钟信号。

同时得到发展的第二类 MOS 集成电路，是以互补电路（即 CMOS）为基础，这种类型的电路至今已具备三个主要系列。它们是美国无线电公司的 4000 系列、国家半导体公司的 54C/74C 系列、莫托洛拉公司的 14500 系列（54CXX 器件在 $-55\sim+125^{\circ}\text{C}$ 下额定工作，而 74CXX 器件在 $-40\sim+85^{\circ}\text{C}$ 下额定工作。较窄的温度范围称作商用规格，较宽的温度范围称作军用规格。在采用类似编号的另外一些系列，也有类似的区别）。

所有这些系列的器件，现在可以从多个制造厂家那里买到。三个系列均能在 $+3\sim+15\text{V}$ 的电源下工作（少数情况到 $+18\text{V}$ ）。这样，它们就像 TTL 电路那样，可用 $+5\text{V}$ 电源工作。另外，54C/74C 系列有许多器件（但不是全部）在管脚与管脚距离上与 54/74 TTL 系列器件完全一样，并且使用相同管脚数目的封装外壳。

54C00/74C00 是四 2 输入“与非”门 (CMOS), 类似于 5400/7400 (标准的 TTL)、54L00/75L00 (低功耗TTL) 和 54S00/74S00 (肖特基 TTL)。如果需要的话, 最初为 54/74 系列设计的印刷电路板, 能够用相同序号的 54C/74C 电路构成同样的电路。4000 和 14500 系列的器件也能用来构成同样的或类似的电路, 但是电路的序号不同, 印刷电路板也不同。例如, 4011 型, 也是四 2 输入“与非”门, 但是输入和输出管脚的编号就与 54/74 不同。

54C/74C 系列有一个很大的局限性, 其与 54/74 系列的电路须一致, 因为这是按规定(或至少是根据使命)所要求的。

其它的 CMOS 系列不必满足这种条件, 因而将沿 MOS 电路固有的方向大力发展。结果, 对 TTL 是不可能或不现实的大量电路制造出来了。例如 4000、14500 和其它的 CMOS 系列。54C/74C 系列究竟是按类似的方向发展还是另找出路, 将拭目以待。

采用 N 沟道晶体管的 NMOS 系列起先发展较缓慢, 直到 CMOS 集成电路的工艺熟练掌握后, 才迅速地发展起来。NMOS 有下述优点: 它的工作速度比 PMOS 器件高, 可用低至 +1.5 V, 高达 +15 V 左右的单一电源工作, 以及能提供更高的电路密度。

MOS 集成电路不仅工艺正在发展, 而且在性能、复杂性和使用方便等方面, 都有一些重大的改进。其中, 最重要的改进是离子注入。硅-蓝宝石、D-MOS(双扩散 MOS) 工艺。离子注入对器件特性的控制比热扩散要好得多, 并且早就得到了广泛的应用。硅-蓝宝石工艺 (SOS) 允许制作非常薄的源和漏区, 从而可减小电容和提高速度, 但是该工艺仍处于

早期阶段，现在问题还很多。D-MOS 工艺已经用来制作频率达千兆赫的单个晶体管，但是它能否用在 MOS 集成电路中还须看一看。

第二章 CMOS(互补 MOS)

§ 2-1 CMOS “与非” 门

“与非” (NAND) 门完成“与”逻辑功能并倒相。“与非”功能可用图 2-1 的任何一种方式表示。图 2-1 (a) 的符号 D 代表“与”功能,用圆圈符号来表示“非”(或倒相)。图 (b) 中的符号与图 (a) 中的一样,不过用三角形代替了圆圈。三角形可理解为极性指示器。

在一个标准“与”(AND)门里,如果输入 A 和 B 是真的,输出也是真的。图 (b) 符号的含义是:如果 A 和 B 是真的, Y 就是真的,且是低电平。然而实际上通过一个三角形表示逻辑图,已经从正逻辑(高电压 = 1, 或真; 低电压 = 0, 或不是真)变到负逻辑,这里,低信号是真,而高信号不是真。通过在另一电路输入端的另一三角形,则意味着

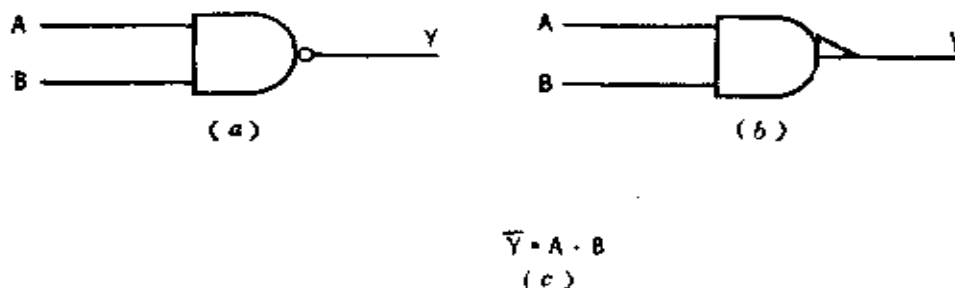


图2-1 CMOS “与非” 门

(a) 表示负或倒相; (b) 表示极性指示; (c) 布尔方程。

低输入是真的。就涉及的逻辑图来说，两种符号实际上表示同一件事情。图 2-1 (c) 的布尔代数方程和图 2-2 的真值表，表达了相同的信息。

图 2-3 中表示 CMOS 的 2 输入端“与非”门。图中上端的

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

A	B	Y
X	0	1
0	X	1
1	1	0

1=逻辑1
 0=逻辑0
 L=低电平
 H=高电平
 X=任意态

图2-2 CMOS “与非” 门的真值表

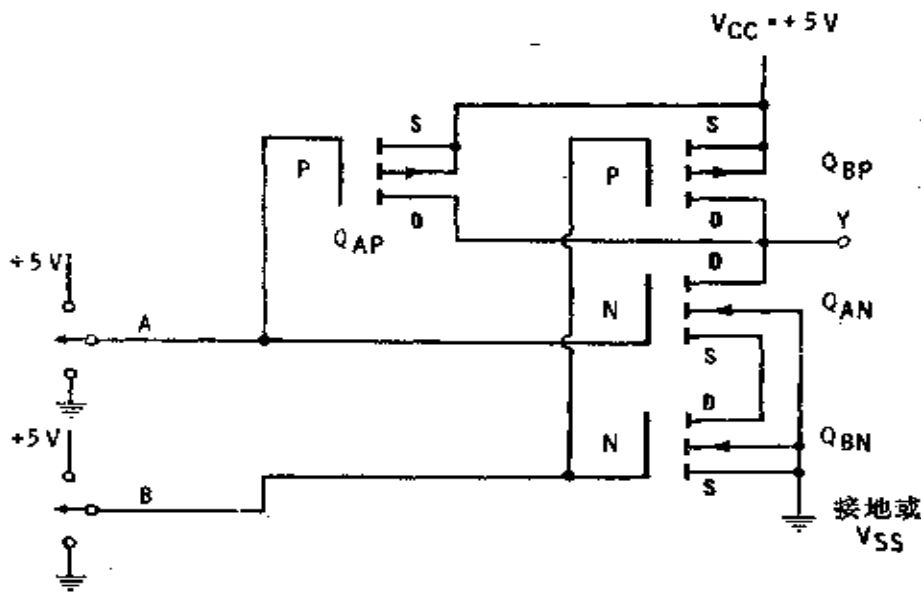


图2-3 2 输入端 CMOS “与非” 门

两个 P 沟道晶体管的源同 V_{cc} 相连接(有些制造商称为 V_{DD})，它们的漏同输出相连接。图中下端的两个 N 沟道晶体管相串联，上边一个的漏同输出相连接，下边一个的源接地或接衬底偏置电源 V_{ss} (供给各个器件或集成电路的电压通常用两个重复字母表示)。

让输入 A 和 B 都接地。这时，下边的 N 沟道晶体管的栅和源电压相同故被截止，而上边的 N 沟道晶体管之栅极处于地电位，相对于其源电位来说低得多，也是截止的。

另一方面，两个 P 沟道晶体管在栅和源之间有适当的电位使其导通，因此输出 Y 为高电平。如果不引出负载电流，则输出 Y 和 V_{cc} 只差一毫伏，因为电流从 V_{cc} 流到 Y 的唯一的阻抗是二个并联导通的 P 沟道晶体管的纯欧姆电阻。晶体管两端电压降与负载电流成正比，如果负载电流是 0，压降也是 0。

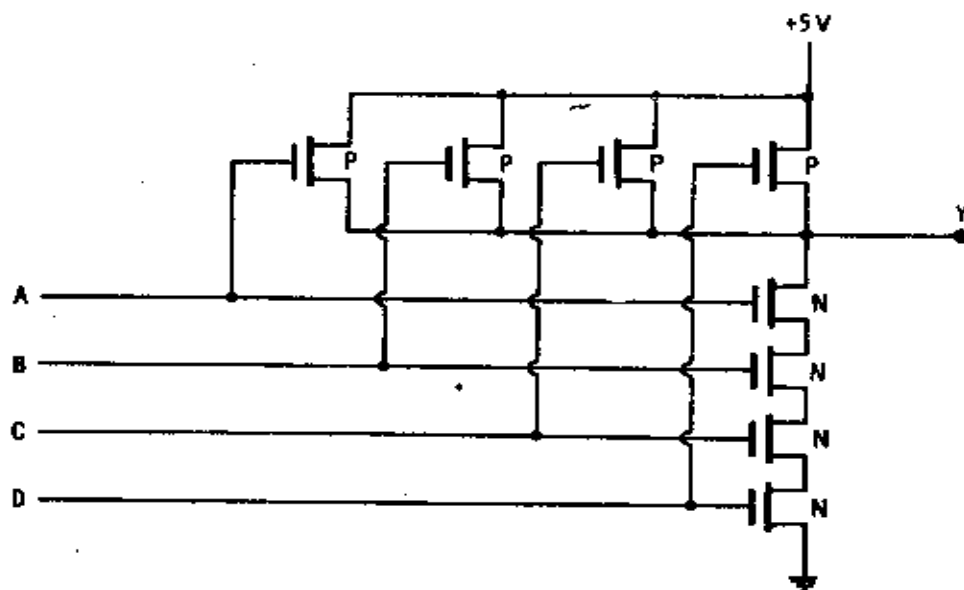
现在把输入 A 置于 + 5 V ($=V_{cc}$) 而输入 B 保持为 0 V。晶体管 Q_{AN} 因有适当的栅电压而导通，不过它的源不接地；晶体管 Q_{AP} 由于工作电压不当而截止。由于 Q_{BP} 因输入 B 为 0 V 而仍旧导通，输出 Y 停留在高电平。改变输入以致 A 低 B 高，此时， Q_{AP} 和 Q_{BN} 导通而 Q_{BP} 和 Q_{AN} 截止，输出 Y 仍保持高电平。

现将输入 A 和 B 均置于 + 5 V。这时，晶体管导通； Q_{AN} 由它的源通过 Q_{BN} 连接到地而导通； Q_{AP} 和 Q_{BP} 因有不当的栅电压而截止。于是输出 Y 趋向低电平。

输出 Y 可作为一个电压源加到一个高阻抗负载上。当它处于高电平时，大约是 4.99 V。当 Y 是低电平时，它提供 0 V 或者对另一个负载(如像 TTL 门)起电流倒相器的作用。

必须注意到 CMOS “与非” 门的以下几个特点。

当 Y 为高电平时， Q_{AP} 和 Q_{BP} 中有一个导通，或两个都导通。若 Q_{AP} 导通，它具有一定的阻抗；而 Q_{BP} 导通时，有跟 Q_{AP} 大致相同的阻抗。当二管都导通时，则它们的并联阻



(a)

A	B	C	D	Y
X	X	X	0	1
X	X	0	X	1
X	0	X	X	1
0	X	X	X	1
1	1	1	1	0

X-任意态

(b)

$$\bar{Y} = A \cdot B \cdot C \cdot D$$

图2-4 4输入端 CMOS “与非” 门

(a) 线路； (b) 真值表和布尔方程。

抗只相当其中任意一个的一半。如果 Y 带着一个高阻抗负载，则对上述变化并没多大影响，而当负载阻抗不高时，对上述变化的影响会相当明显。

其次要注意的是，当 Y 为低电平时，它通过两个串联的晶体管接地。若 Y 起电压源的作用，则不存在什么问题。倘若 Y 起电流源的作用，则负载电流将通过两个晶体管而产生电压降，导致输出电平升高。此外， Q_{DN} 源上的电压也将升高，这就意味着输入 A 应具有足够高的电压，以便克服这一额外的电压。对 2 输入“与非”门来说，这种效应不甚严重。但是当输入端数目增加时，电路就会对负载电流十分敏感。图 2-4 表示一个 4 输入“与非”门。当 Y 为低电平时，负载电流必须流过四个串联的晶体管然后到地；当 Y 为高电平时，输出阻抗仅由 1 个导通的晶体管或 2 个、3 个、4 个并联导通的晶体管构成。

由于这种效应的存在，CMOS“与非”门的输入端一般不会超过 4 个或 5 个。然而 54C/74C30 型却是 8 个输入端

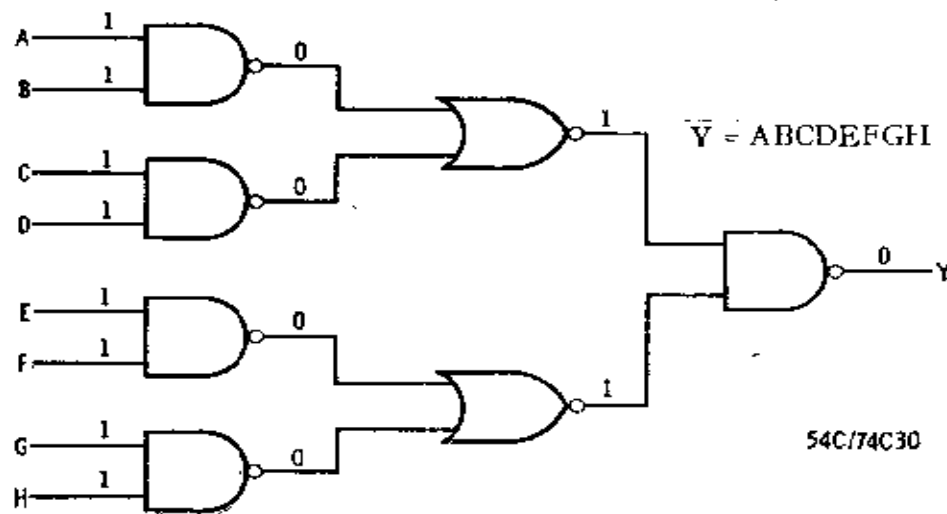


图2-5 8 输入端 CMOS “与非” 门

的二级“与非”门，如图 2-5 所示(图中全部输入标为 1；如果任一输入端为 0，则 Y 变为 1)。在需要很多输入端的时候，则可仿此而作。

§ 2-2 CMOS 中的“或非”门

图 2-6 为 CMOS 的 2 输入“或非”(NOR) 门电路，跟“与非”门电路十分相似。在“或非”门电路中，N 沟道晶体管并联连接，而 P 沟道晶体管则串联连接；在“与非”门电路里，N 沟道晶体管是串联的，而 P 沟道晶体管是并联的。符号及真值表如图 2-7 所示。

当 A 和 B 都为 0 时，P 沟道晶体管 Q_{AP} 及 Q_{BP} 都有适当的栅-源电压使之导通，而两个 N 沟道晶体管 Q_{AN} 及 Q_{BN} 截止。于是输出 Y 将是高电平。如果输入 A 接至 $+V_{CC}$ ，则 Q_{AP}

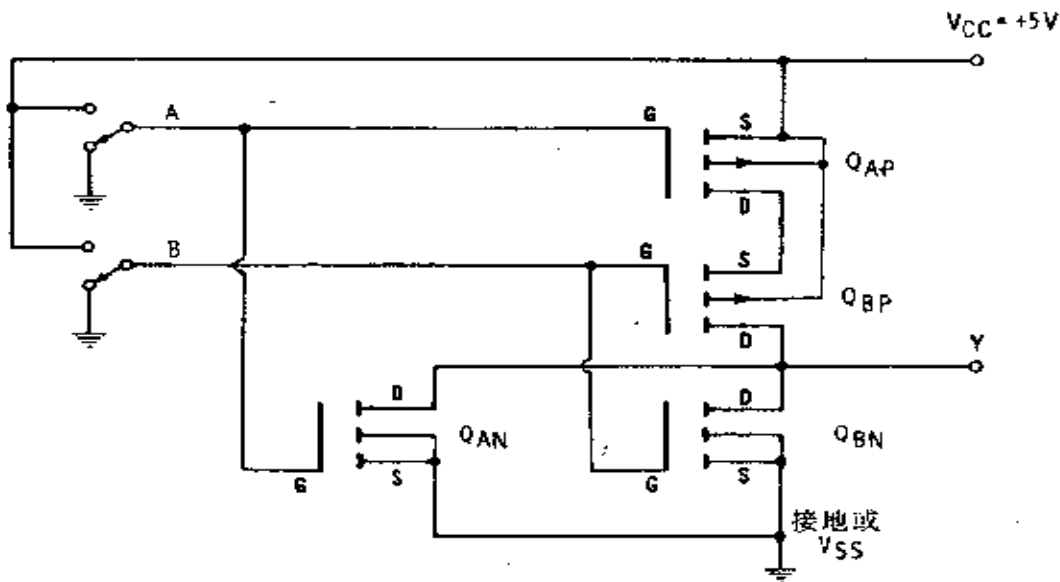


图 2-6 2 输入端 CMOS “或非”门

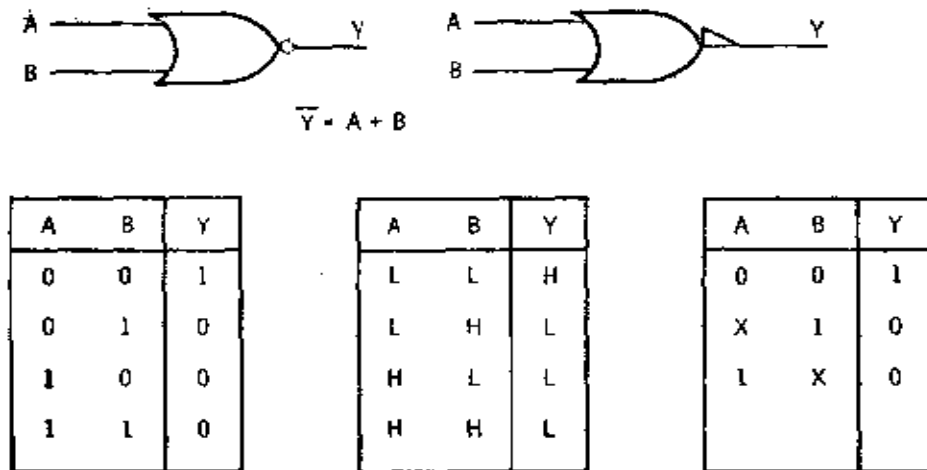


图2-7 图2-6电路的符号、波尔方程及真值表

截止， Q_{AN} 导通。由于 Q_{AP} 的截止，使得 Y 同 V_{CC} 断开，但是因为 Q_{AN} 导通，故 Y 接地。如果 B 替换 A 接至 $+V_{CC}$ ，则 Q_{BP} 截止而 Q_{BN} 导通， Y 还是接地。假如两个输入端都接 $+V_{CC}$ ，则两个 P 沟道晶体管均截止，两个 N 沟道晶体管均导通，则产生同样的结果： Y 将接地。

“或非”门的输出阻抗将跟“与非”门同样的方式变化。当输入端数目增加时，若 Y 为高电平，许多晶体管在 V_{CC} 和 Y 之间连成一串，若 Y 为低电平，许多晶体管则采取并行相连。这样，“或非”门也因为电流的限制而只能多至 4 或 5 个输入端。图 2-8 (a) 表示 4002 型 4 输入“或非”门。电路与 54C 20/74C 20 等效。采用多级门的方法可以得到较多的输入端，如图 2-8 (b) 所示。

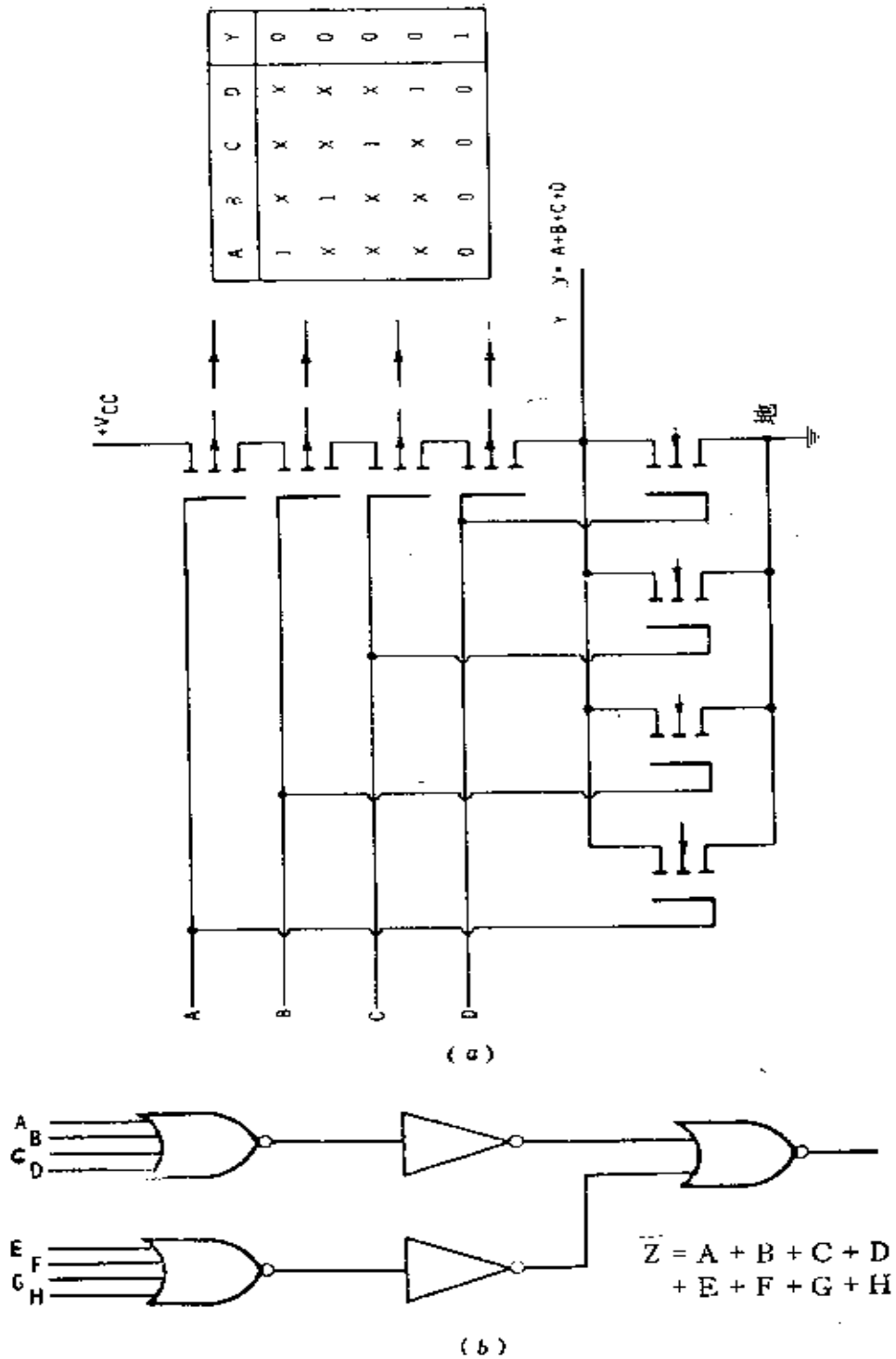


图2-8 4输入端 CMOS“或非”门
 (a) 线路和真值表； (b) 获得较多输入端的方法。

§ 2-3 CMOS的输入和输出电压、电流及阻抗

在基本的倒相器中，当输入为低电平时，输出为高电平；而当输入为高电平时，输出为低电平。

图 2-9 (a) 表示当 $V_{DD} = +5V$ 时的输入-输出曲线。曲线是在假定输出不供给负载电流的情况下获得的（除了测量 V_o 的高阻抗电压表外）。当输入电压朝 $+5V$ 增加时，输出保持 $+5V$ ，直到在 V_{IN} 稍大于 $2V$ 的一点上，输出急速下降。当输入上升到约 $2.6V$ ，并继续上升到 $+5V$ 时，输出下降到接近于 0 。如果输入从 $+5V$ 下降到 0 ，则情形正好相反。器

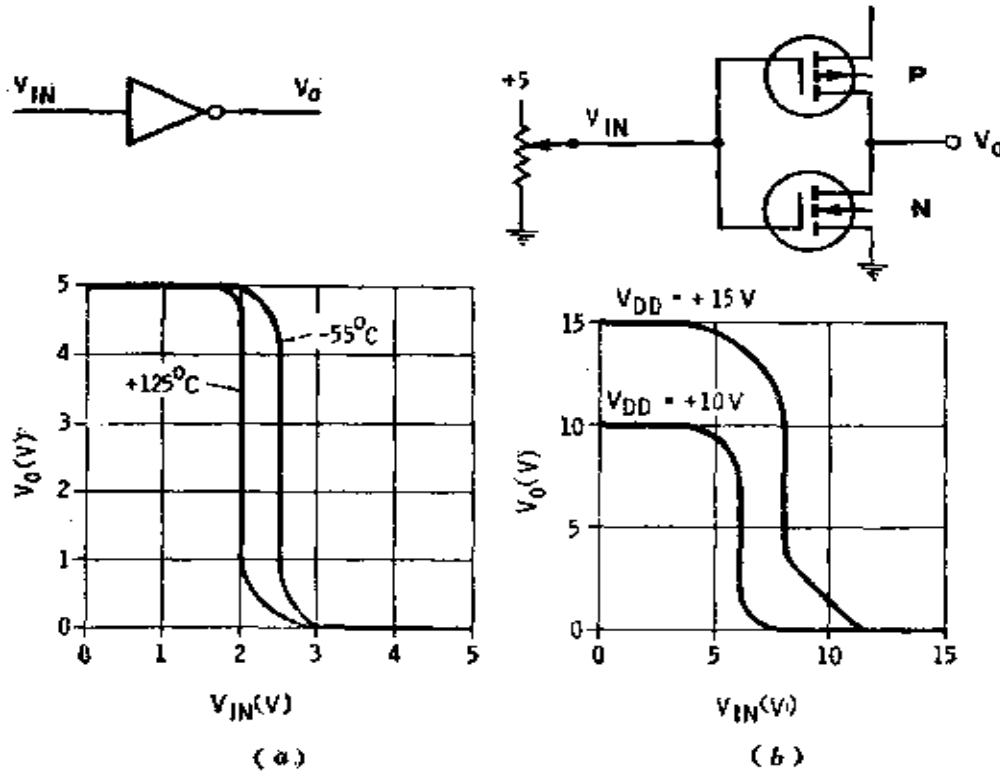


图 2-9 基本的 CMOS 倒相器

(a) $V_{DD} = +5V$ 时; (b) $V_{DD} = +10V$ 和 $+15V$ 时。

件的环境温度改变时，转移曲线稍有移动然而并不明显。尽管实际上能在 -55°C 到 $+125^{\circ}\text{C}$ 范围内有效地工作，但是往往只让这些器件在 -40°C 到 $+85^{\circ}\text{C}$ 范围内工作。

图 2-9 (b) 示出在 $V_{DD} = +10\text{V}$ 和 $V_{DD} = +15\text{V}$ 时的转移曲线。当 $V_{DD} = +10\text{V}$ 时，大转弯电压接近于中间点 $+5\text{V}$ ； V_{IN} 低于 $+5\text{V}$ 时，输出电压很高，而 V_{IN} 约 $+6\text{V}$ 时，输出电压很低。 $V_{DD} = +15\text{V}$ 时，大转弯电压发生在 $+8\text{V}$ 附近，它比中间点 $+7.5\text{V}$ 稍高。 $+10\text{V}$ 和 $+15\text{V}$ 时的温度效应比 $+5\text{V}$ 时小。

让我们看一下图 2-10(a) 所示的一个 CMOS 倒相器驱动另一个倒相器的电路。我们规定流入器件的电流为 CMOS 电路中的正电流，即图 2-10(a) 和 (b) 中箭头所示的方向。

这样，可以用 $+I_o$ 表示流入 G_2 的输出电流 I_o 。当 V_2 为高电平时，则电流实际上从 P 沟道晶体管 G_2 流出并流入 R_L 。这种情况在数据表上写为 $-I_o$ 。于是，与箭头相反的方向记为负号。

令 V_{IN} 小于 2V 。于是 V_1 将呈高电平， G_1 将驱动 G_2 ，因而 V_2 为低电平。那么，在电路中实际上将存在什么样的电流和电压呢？门 G_1 必须驱动 G_2 的输入。 G_2 的输入表示成图 2-10(c)。每一倒相器具有约 5pF 的输入电容，而且它并联在表示泄漏电流的 $10^{12}\Omega$ 的电阻上。一旦电容被充电，不再有电流流过它。若 V_1 为 5V ，则流过 R_N 的电流 $I = 5\text{V}/10^{12}\Omega = 5 \times 10^{-12}\text{A} = 5\text{pA} \bullet = 0.005\text{nA}$ 。换句话说，一旦 G_2 的输入电容充了电，就不再需要输入电流了。此后， G_1 的 P_1

● 原文误为 5fA 。——译者

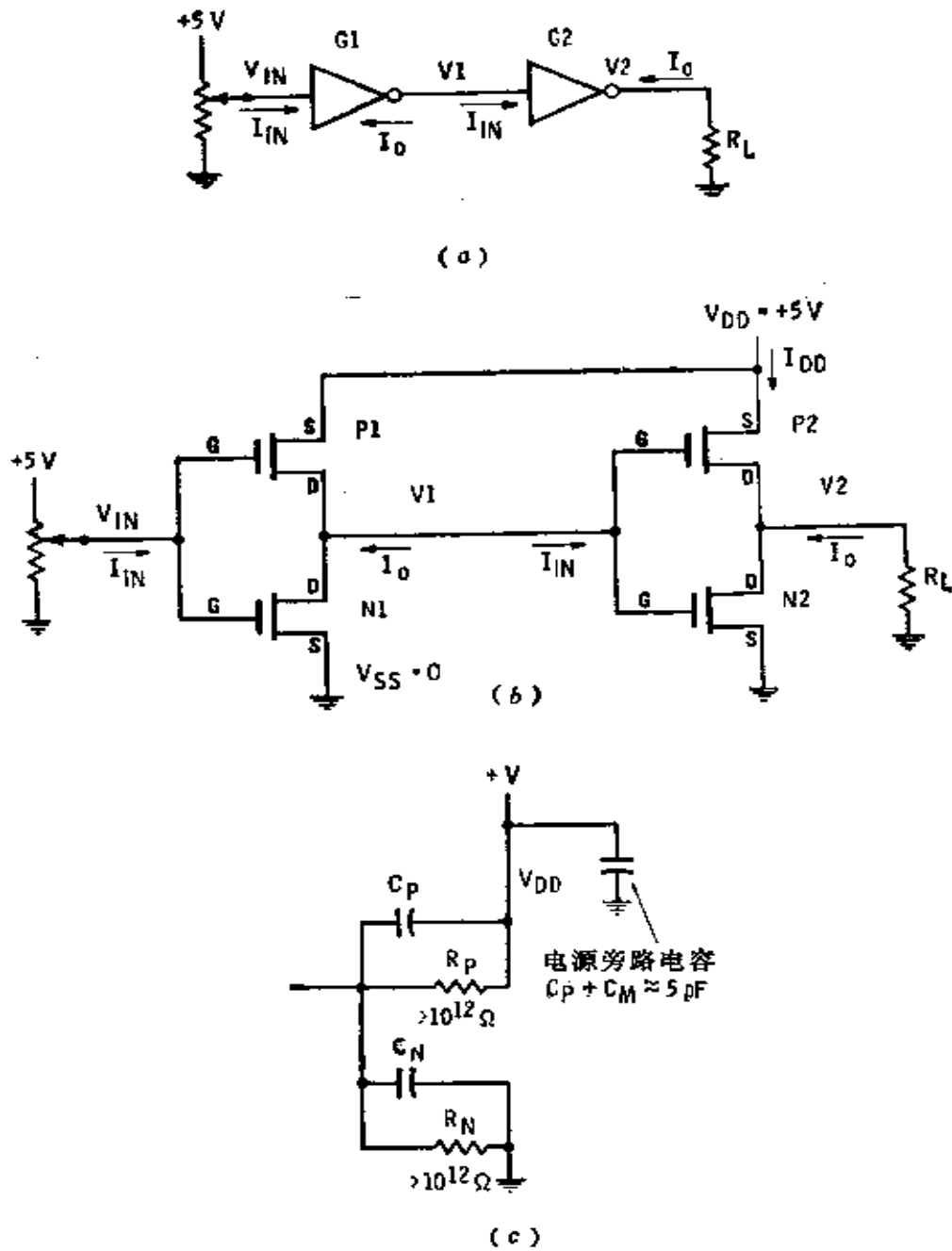


图2-10 逻辑链

(a) 2 倒相器逻辑; (b) 线路; (c) 等效输入电路。

晶体管导通，但不必再供给 G_2 电流了，输出电压 V_1 大致接近 V_{DD} (+5V)。

电压 V_1 使得 G_2 的 N 沟道晶体管导通，于是使 V_2 接地。因为 R_L 是接地的，所以 V_2 为 0。 G_1 的输入电流由 V_{IN} 决定，而 V_{IN} 小于 +2V，于是 G_1 的输入电流甚至会比 G_2 的输入电流小。

在电路中，仅有的另一种电流是泄漏电流，它从 V_{DD} 开始，经过截止的 N_1 和截止的 P_2 流入 V_{SS} 。名副其实的这种静态电源电流（通常可记作 $-I_{DD}$ 或 $-I_{SS}$ ），低至 $0.05\mu\text{A}$ 左右，高至 $15\mu\text{A}$ 左右，这与每个器件特性有关。这样，静态功耗最低为： $5\text{V} \times 0.05 \times 10^{-6}\text{A} = 25 \times 10^{-8} = 0.25\mu\text{W}$ ，最大是 $5\text{V} \times 15 \times 10^{-6}\text{A} = 75\mu\text{W}$ 。一般说来，CMOS 电路的功耗范围为 $75/0.25 = 300$ 至 1，有时可能更大一些。

现在让 V_{IN} 变到 +2.6V 以上。晶体管 P_1 截止， N_1 导通。 N_1 导通时， P_2 和 N_2 的门即放电， V_2 变为高电平。 V_2 变为高电平时，输出电流流过 P_2 及 R_L 。根据 I_o 的箭头方向，当 V_2 为高电平时，输出电流在 CMOS 数据表上用 $-I_o$ 表示。

这一输出电流决定于 R_L 的大小和 P_2 的导通电阻。典型的 2 输入“与非”和“或非”门的输出能力如图 2-11[●] 所示。在输出高电平和 R_L 接地的情况下，当 R_L 很大时，流过的电流很小，结果，输出电压很高，接近于 V_{DD} 。当 R_L 较小时，输出电流沿着 ($V_{DD} = +5\text{V}$) 图 2-12 所示的下面一条曲线增加 (从 0 至 -3mA)。当 $R_L = 0$ 时，输出电压为 0，而输出电流达到最大值。甚至 $R_L = 0$ 时，典型的 CMOS

● 原文误为图 2-8。——译者

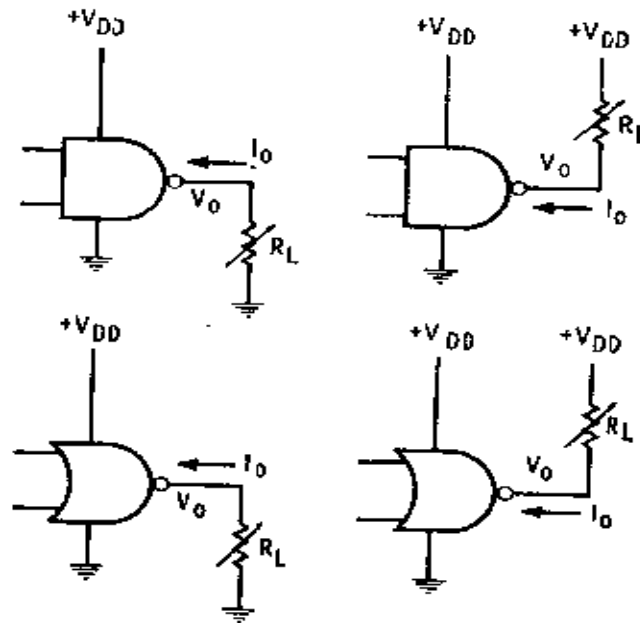


图2-11 2输入端“与非”和“或非”门负载

门的输出电流也不超过 4mA (对于 $V_{DD} = +5\text{V}$)。为使逻辑系统正常的工作,通常不允许输出电压降到 3.6V 以下。将电流限制在曲线的粗线部分即可达到这一目的(参见图 2-12)。为了达到 3.6V 的输出, R_L 至少应该是 $1.8\text{k}\Omega$, 这时输出电流约为 2mA 。如果 CMOS 门被另一个 CMOS 门驱动,则有效 R_L 变为 $10^{12}\Omega$, 这时可获得最高的输出电压。

当输出为低电平而且 R_L 接地时,没有负载电流, $V_O = 0$ 。但是,如果 R_L 接到 $+V_{DD}$ 上,则低电平输出将允许电流从 V_{DD} 流出,并通过 R_L 及一个或几个 N 沟道晶体管然后到地。

图 2-12 上面一条曲线表示输出电压随负载电流变化的情况。如果驱动电流小于 3mA , 则输出电压低于 1.5V 。只有当 R_L 大于 500Ω 时才出现这种情况。

输出特性作为 V_{DD} 的函数而变化。当 $V_{DD} = +10\text{V}$ 和

入及输出电流和电压到底是多少？ G_1 及 G_2 能带动多少个输入端？

若 G_1 的P晶体管完全导通，则 V_1 达到最大值。若 G_2 的N晶体管完全导通，则 V_2 达到最小值。 V_1 及 V_2 的最后数值决定于门放出或吸收多少电流。

首先看 G_1 。它供给 G_3 、 G_4 、 G_5 ……共 X 个输入。每个输入可用一个 5pF 电容以及同它并联的 $10^{12}\Omega$ 接地电阻来描述。忽略电容的时候正是处于直流稳态条件。这样的 G_1 （4000系列）2输入“与非”门电路，数据表上记载了如下的数字：

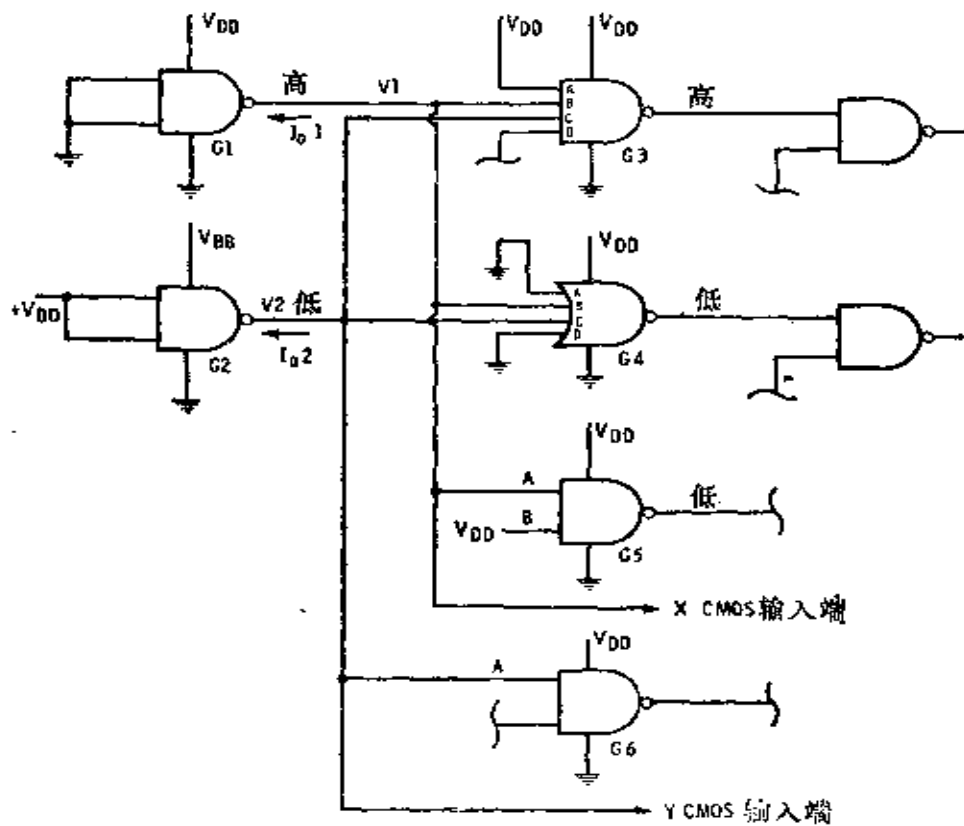


图2-17 CMOS 扇出

入及输出电流和电压到底是多少？ G_1 及 G_2 能带动多少个输入端？

若 G_1 的P晶体管完全导通，则 V_1 达到最大值。若 G_2 的N晶体管完全导通，则 V_2 达到最小值。 V_1 及 V_2 的最后数值决定于门放出或吸收多少电流。

首先看 G_1 。它供给 G_3 、 G_4 、 G_5 ……共 X 个输入。每个输入可用一个 5pF 电容以及同它并联的 $10^{12}\Omega$ 接地电阻来描述。忽略电容的时候正是处于直流稳态条件。这样的 G_1 （4000系列）2输入“与非”门电路，数据表上记载了如下的数字：

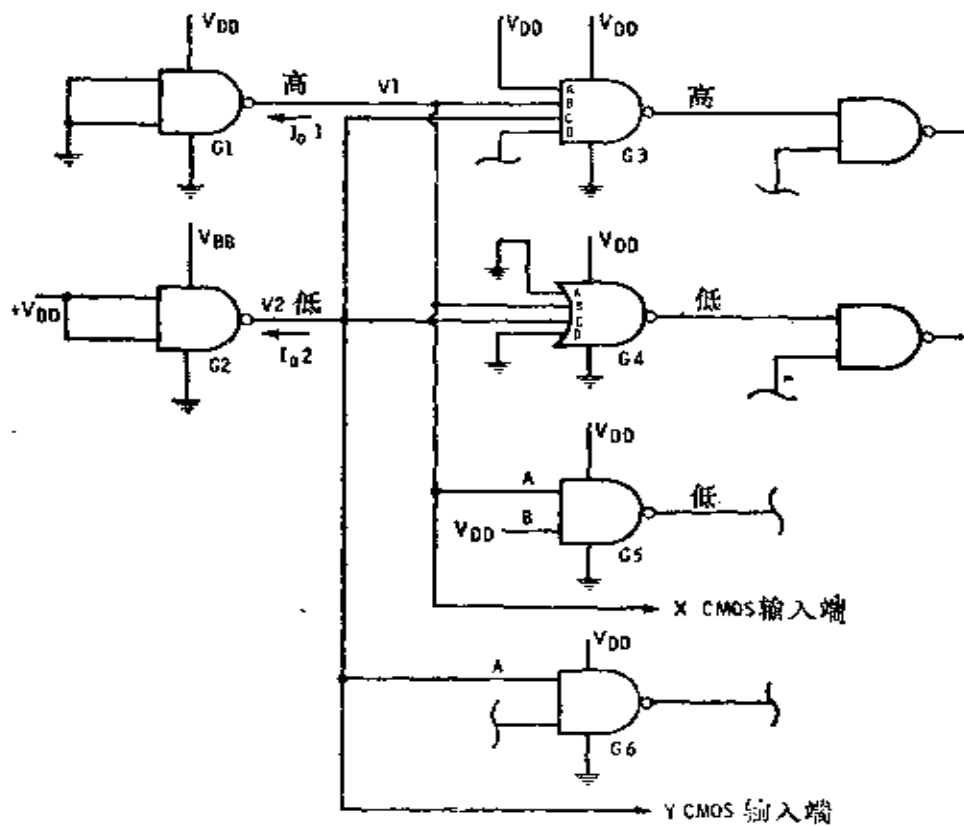


图2-17 CMOS 扇出

入及输出电流和电压到底是多少？ G_1 及 G_2 能带动多少个输入端？

若 G_1 的P晶体管完全导通，则 V_1 达到最大值。若 G_2 的N晶体管完全导通，则 V_2 达到最小值。 V_1 及 V_2 的最后数值决定于门放出或吸收多少电流。

首先看 G_1 。它供给 G_3 、 G_4 、 G_5 ……共 X 个输入。每个输入可用一个 5pF 电容以及同它并联的 $10^{12}\Omega$ 接地电阻来描述。忽略电容的时候正是处于直流稳态条件。这样的 G_1 （4000系列）2输入“与非”门电路，数据表上记载了如下的数字：

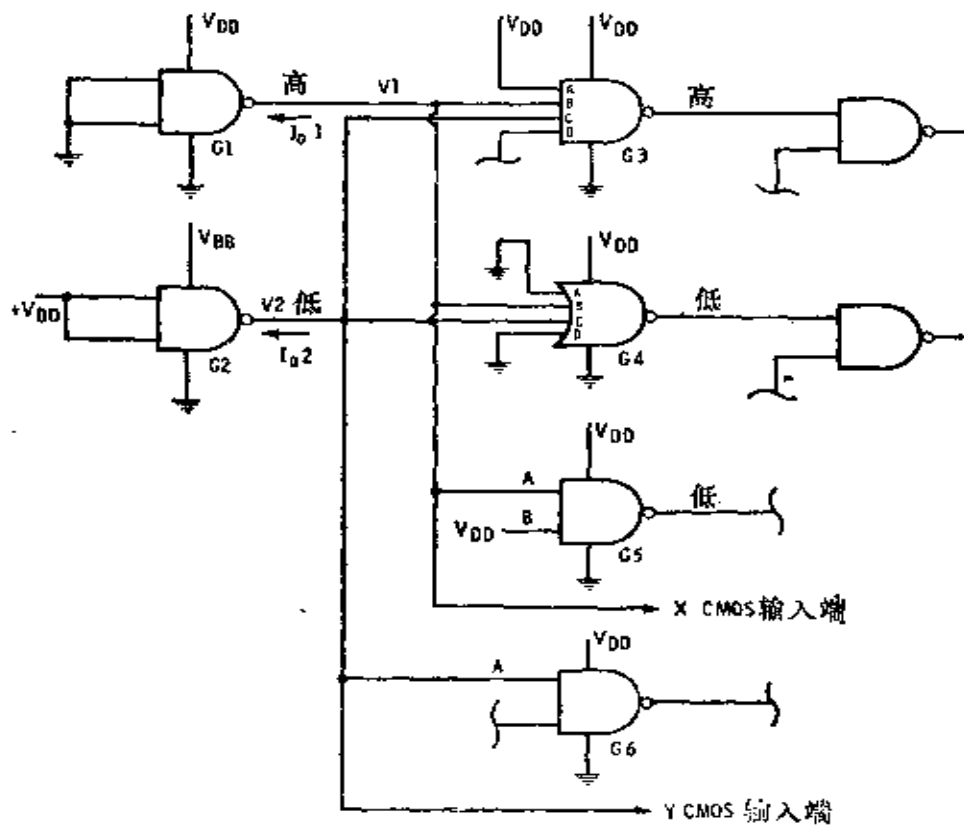


图2-17 CMOS 扇出

入及输出电流和电压到底是多少？ G_1 及 G_2 能带动多少个输入端？

若 G_1 的P晶体管完全导通，则 V_1 达到最大值。若 G_2 的N晶体管完全导通，则 V_2 达到最小值。 V_1 及 V_2 的最后数值决定于门放出或吸收多少电流。

首先看 G_1 。它供给 G_3 、 G_4 、 G_5 ……共 X 个输入。每个输入可用一个 5pF 电容以及同它并联的 $10^{12}\Omega$ 接地电阻来描述。忽略电容的时候正是处于直流稳态条件。这样的 G_1 （4000系列）2输入“与非”门电路，数据表上记载了如下的数字：

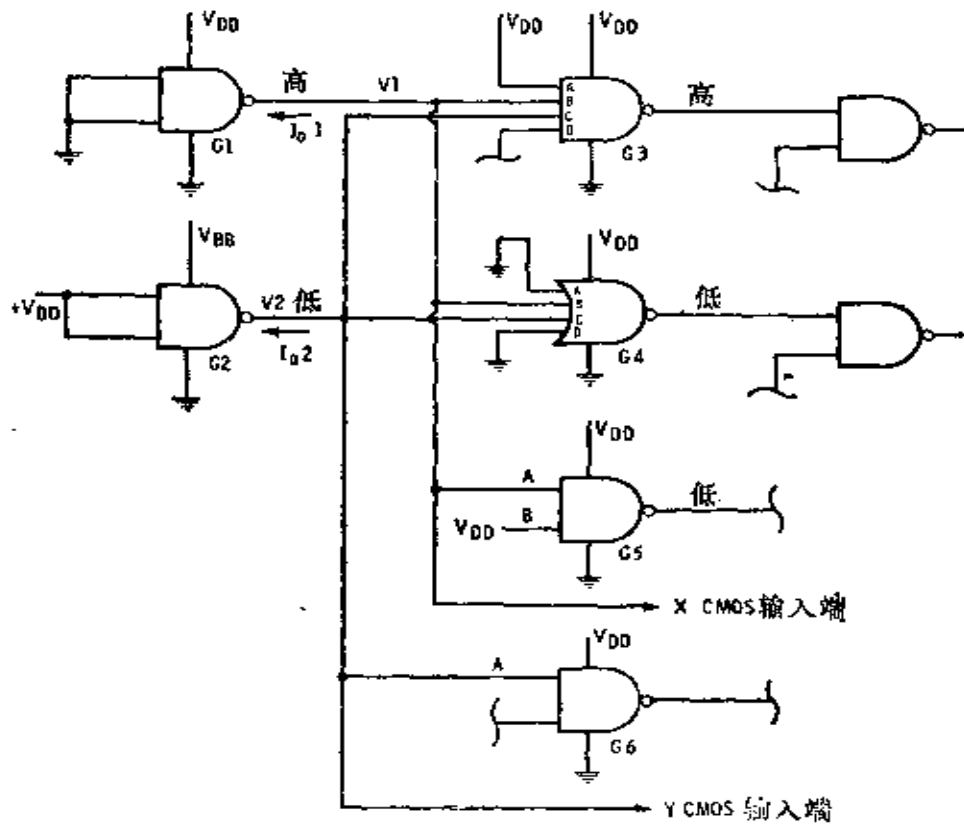


图2-17 CMOS 扇出

G_1 输出电流为 0, V_1 将是 4.99 V ($V_{DD} = +5$ V), 这时大部分器件的工作温度是 25°C, 而在最坏的工作温度 +125°C 下工作时, V_1 至少是 4.95 V。当 $V_1 = 4.95$ V 时, 流入 G_3 的输入端 B 中的电流为 $4.95/10^{12} = 4.95$ pA。这就意味着较大的负载电流也不会 P_1 晶体管上引起较大的电压降, 因此 V_1 仍将接近于 +4.95 V。 G_4 有类似的情况。那末, G_1 到底驱动多少门才能使 V_1 的电压降到不能允许的程度呢?

首先, 讨论一下 V_1 的电平低到什么程度才算是不合格的? 数据表上记载, 对高电平输入, 在最坏温度条件下 ($V_{DD} = +5$ V), 允许的最小值为 +3.6 V。因此, 可以增加 CMOS 输入端数, 直到 V_1 下降到 3.6 V 为止。参照图 2-12 可以看出, 当输出电流约为 2mA 时, 一个门的输出电压可降到 3.6 V。当 $V_1 = 3.6$ V 时, 每一个输入端吸收的电流将为 $3.6/10^{12} = 3.6$ (pA)。于是, G_1 能带动的输入端数目, 即在 V_1 下降到 3.6 V 以下时, 为 $2 \times 10^{-3} = N \times 3.6 \times 10^{-12}$, 则扇出 $N = 555 \times 10^6$ 。

G_2 的情况类似, 这时 V_2 是低电平。在这种情况下, 假定电流从 V_{DD} 流出, 流过 G_3 的输入部分并进入 G_2 导通的 N 晶体管然后接地。必须知道, G_3 的一个输入端为低电平时允许的最大电压是多少。从数据表上可以发现, 当 V_2 上升到 +1.4 V (最坏的温度条件) 时, G_3 仍能正常工作。

从图 2-12 可看到, 当 $V_2 = 1.4$ V 时, 大约流过 3mA 的电流。这样, 如 $V_2 = 1.4$ V 及 $V_{DD} = 5$ V, 由 V_{DD} 经过 G_3 的栅到 V_2 的压降为 $5 - 1.4 = 3.6$ (V)。那么, 多大的电流在 $10^{12} \Omega$ 上流过时才能得到 3.6 V 呢? 计算 $3.6/10^{12} = 3.6$ (pA), 所以, G_2 能带动的输入端数目为 $3 \times 10^{-3} = N \times 3.6 \times 10^{-12}$, 则

扇出为 833×10^0 。

根据纯直流条件，从本质上来说扇出是无限的。以另一种方式来考虑，可认为扇出为 10 并允许每一个输出端有 15 pF 的电容，它包括输入端电容和布线电容。被驱动门的电容负载为 $15 \text{ pF} \times 10 = 150 \text{ pF}$ 。通过 CMOS 门 500Ω 的典型电阻对这一电容进行充电， RC 时间常数为 $500 \times 150 \times 10^{-12} = 75000 \times 10^{-12} = 0.075 \mu\text{s} = 75 \text{ ns}$ 。它与 CMOS 门的延迟时间同一数量级，例如，54C00/74C00 的延迟时间是 20 ns (单个 15 pF 负载的输出端，其时间常数为 7.5 ns)，因此扇出数是由交流条件而不是由直流条件决定的。

至于功耗，交直流条件都是主要因素。它与输入电容和开关期间的功耗有关。

首先考虑输入电容。如图 2-18 所示，在输入接地的情况下，

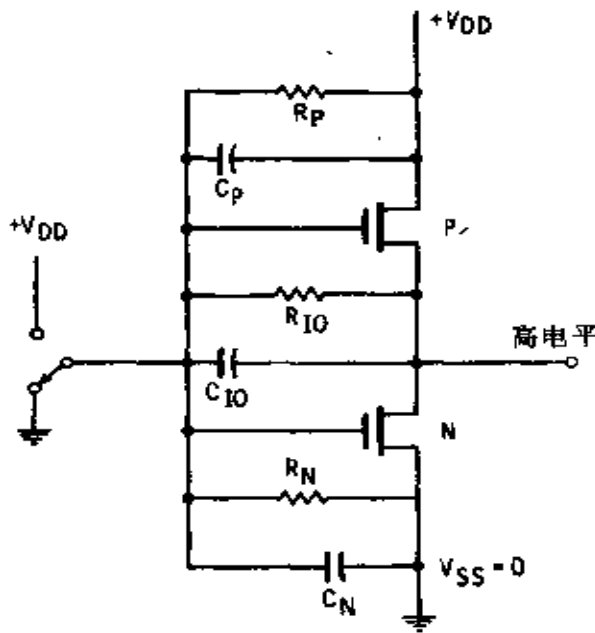


图 2-18 CMOS 倒相器电容和泄漏电阻

情况下， C_P 及 C_{IO} 将充电直到电压为 V_{DD} 。 C_N 两边接地，所以不充电。当输入从 0 V 转换到 $+V_{DD}$ 时，则 C_N 充电， C_P 却放电。与此同时， C_{IO} 将反向充电。此外，每个输入保护二极管的电容也要加到总电容 C_P 以及 C_N 之中。所有这些电容的作用加到一起，可归纳为一个约 5 pF 的等效电容。每当

输入转向 $+V_{DD}$ 时, 输入电容按指数曲线充电, 直至充满为止。当输入转向接地时, 输入电容放电。于是, 每当电路改变状态时, 从电源吸收的电流形成一个尖峰。通常输入的变化越大, 电路的平均功耗就越大。因此, 功耗是由直流功耗加上动态功耗组成:

$$P = P_q + CfV^2$$

式中 P_q ——静态功耗, 其值很小;

C ——必须充电的负载电容;

f ——脉冲工作频率或者每秒的时钟脉冲数;

V ——电源电压。

图 2-19 表示功耗随着工作频率和电源电压变化的情况。

第二类功耗是由输入信号的上升或下降时间引起的。在图 2-20 (a) 中, 当 V_{IN} 接近 0 时, P 晶体管完全导通且晶体管完全截止。当 V_{IN} 缓慢增加, 超过 N 晶体管的阈值电压 (见图 2-20 (b)) 时, N 晶体管开始导通。因为这时 P 晶体管也是导通的, 电流可从 V_{DD} 流出, 经过晶体管到地。电流的形状如图 2-20 (c) 所示, 并在最坏的条件即 $V_{DD} = +15\text{V}$ 时, 在大约 9mA 处达到峰值。

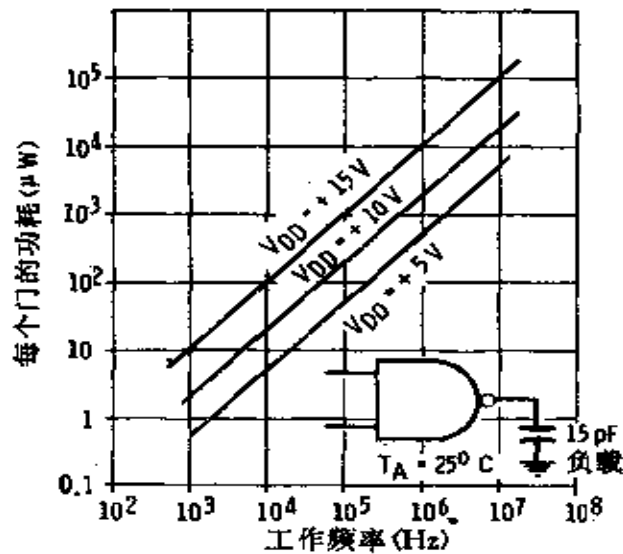
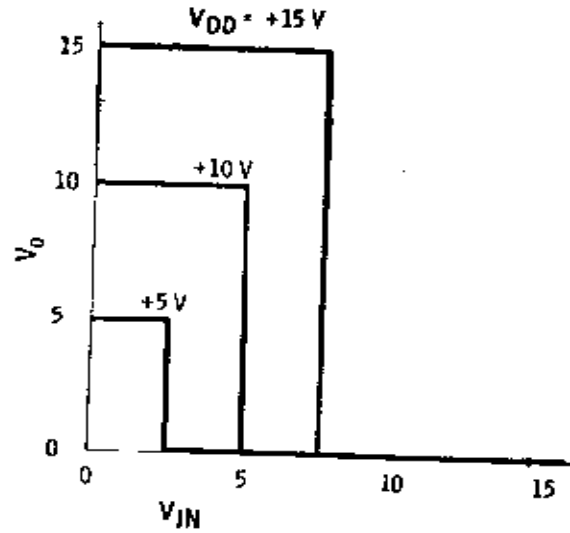


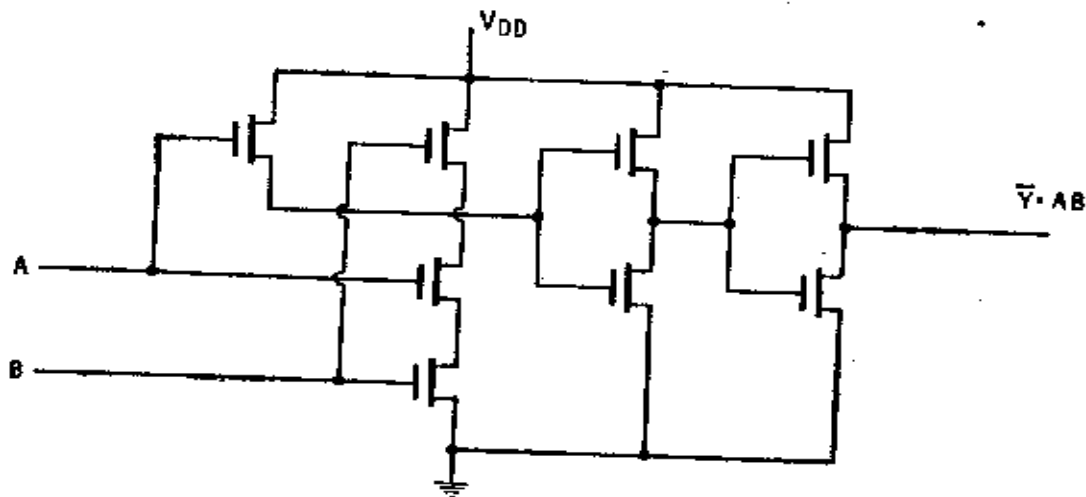
图 2-19 CMOS 门功耗

此时峰值电流是很低的。

V_{IN} 无论从低变高或从高变低(图 2-20(f)), 电流都呈峰形。电流峰的宽度是 V_{IN} 变化快慢的函数。 I_{OS} 大于 0 的时



(a)



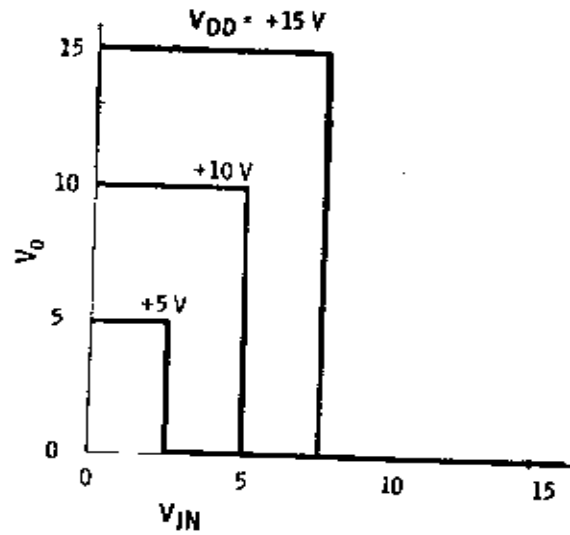
(b)

图2-21 缓冲CMOS系列

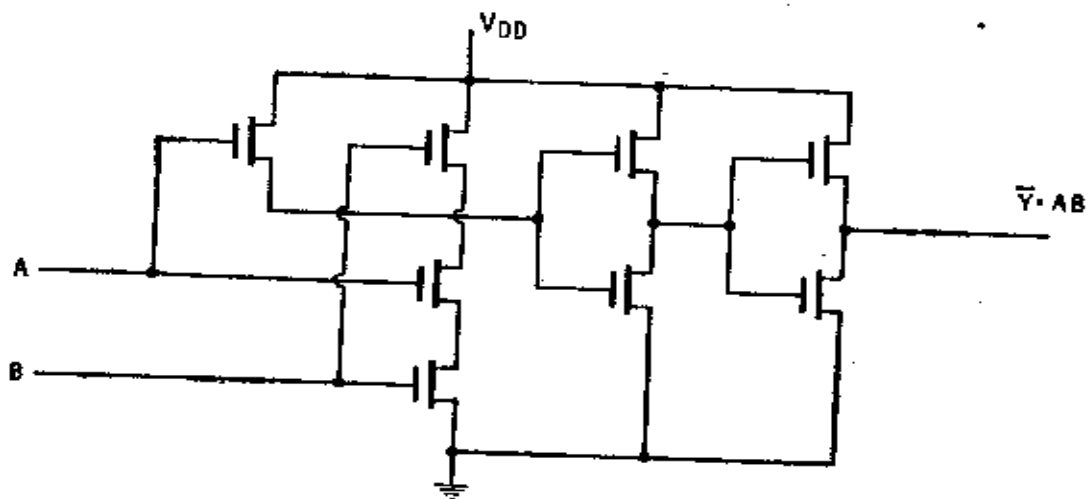
(a) 转移曲线; (b) 2输入缓冲“与非”门。

此时峰值电流是很低的。

V_{IN} 无论从低变高或从高变低(图 2-20(f)), 电流都呈峰形。电流峰的宽度是 V_{IN} 变化快慢的函数。 I_{OS} 大于 0 的时



(a)



(b)

图2-21 缓冲 CMOS 系列

(a) 转移曲线; (b) 2 输入缓冲“与非”门。

间保持越长，电路消耗的功率越大。开关期间的功耗 P_{VI} 可用下式计算：

$$P_{VI} = [(V_{DD} - 2V_T)/2] \times I_{DSmax} (t_{上升} + t_{下降}) \times f$$

实际上， P_{VI} 是在电路无负载和同一个 V_{DD} 电压下，以不同频率工作的方法测量的。大多数数据表上并不列出 P_{VI} 的值。事实上，这类电路在各种不同的输入和 V_{DD} 下工作时，不会超过它的功耗极限，所以 P_{VI} 值并不重要。有时，制造厂家列举出输入的最小上升和下降时间，这一极限值对电路恰当的使用和功耗都是必要的。

近来，由仙童半导体公司研制的 CMOS 系列，其转移特性已方形化，如图 2-21(a) 所示。这一特性的实现是由于采用了小尺寸的输入晶体管和具有低输出阻抗的大尺寸输出晶体管。这一系列的 2 输入“与非”门 (34000) 用图 2-21(b) 表示。正因为一个门采用 8 个晶体管而不是 4 个，使得它比普通的 4000 及 4500 型 CMOS 工作速度要快，而且它跟 4000 集成电路采用相同的外引线 and 型号标号 (该系列的某些电路即标号为 340××× 的电路和 54 C/74C 系列一模一样)。

§ 2-4 器件保护

集成电路中的 MOS 晶体管很容易受瞬变电压作用而损坏。如果器件是 N 沟道的，工作时在漏上加 +15 V，源上为 0 V，那么，栅上的电压通常从 0 V 到 +15 V 之间变化。如果栅上为 0 V，则栅和源等电位，加在它们之间绝缘层上的电场为 0。但在漏栅之间的绝缘层上有 15 V 的电位差。

栅和衬底间的绝缘层厚度约为 1000~1500 Å，因为 1 Å

$=10^{-8}\text{cm}$, 栅-漏之间 1200Å 厚的绝缘层中的电场强度为 $15/(1200 \times 10^{-8}) = 1.25 \times 10^6 \text{V/cm}$ 。作为对比, 大气压下的空气是在大约 $31 \times 10^3 \text{V/cm}$ (对于标准的 1cm 间隙) 下遭到击穿的 (电火花遍及)。

当人们在打蜡地板上散步时, 身上会产生高达 15kV 的静电荷。 15kV 的人体电荷接触到 MOS 晶体管的栅极将会发生什么事情呢? 一刹那, 电荷即刻在人体和栅上均分, 并且按它们各自电容的比例分担电荷。由于人有大约 300pF 的电容而栅电容仅为 5pF , 栅接受不了这么大量的电荷, 却要上升到接近人体的电压。发生这种情况的时候, 由栅到源、漏和衬底的电场强度将达到通常 $1.25 \times 10^6 \text{V/cm}$ 的一千倍。显而易见, 任何一种栅的绝缘层都抵挡不住这么大的电场强度。因此, 在人一接触的几毫微秒时间内, 器件就毁坏了。

为了保护 MOS 器件不遭上述偶遇电场的毁坏, 制造者对所有 MOS 输入端附加了一个保护网络, 使得毁坏性的瞬间电场只发生在栅上而不会扩展到源或漏上去。

输入保护网络的形式如图 2-22 所示。图 2-22 (a) 是 $54\text{C}/74\text{C}$ 输入端 A 的保护网络。若 A 上有一个较 V_{DD} 更大的正电压, 则二极管 D_1 导通并使 A 上的输入信号箝制到 $+V_{DD}$ 上; 如果 A 上有一个较 V_{SS} 更大的负电压, 则二极管 D_2 导通, A 点箝制到 V_{SS} 上。实际上, 二极管必须处于正向才能导通, 致使 A 上的电压约比 V_{DD} 大 $+0.5\text{V}$, 并且约比 V_{SS} 大 -0.5V 。这么小的偏差是完全允许的。

图 2-22 (b) 所示的电阻 R_1 跟栅串联 ($54\text{C}/74\text{C}$ 集成电路中采用的另一种输入电路), 以防止二极管偶然导通前对栅充电引起一个快速上升信号。 R_1 同二极管 D_1 和 D_2 的杂

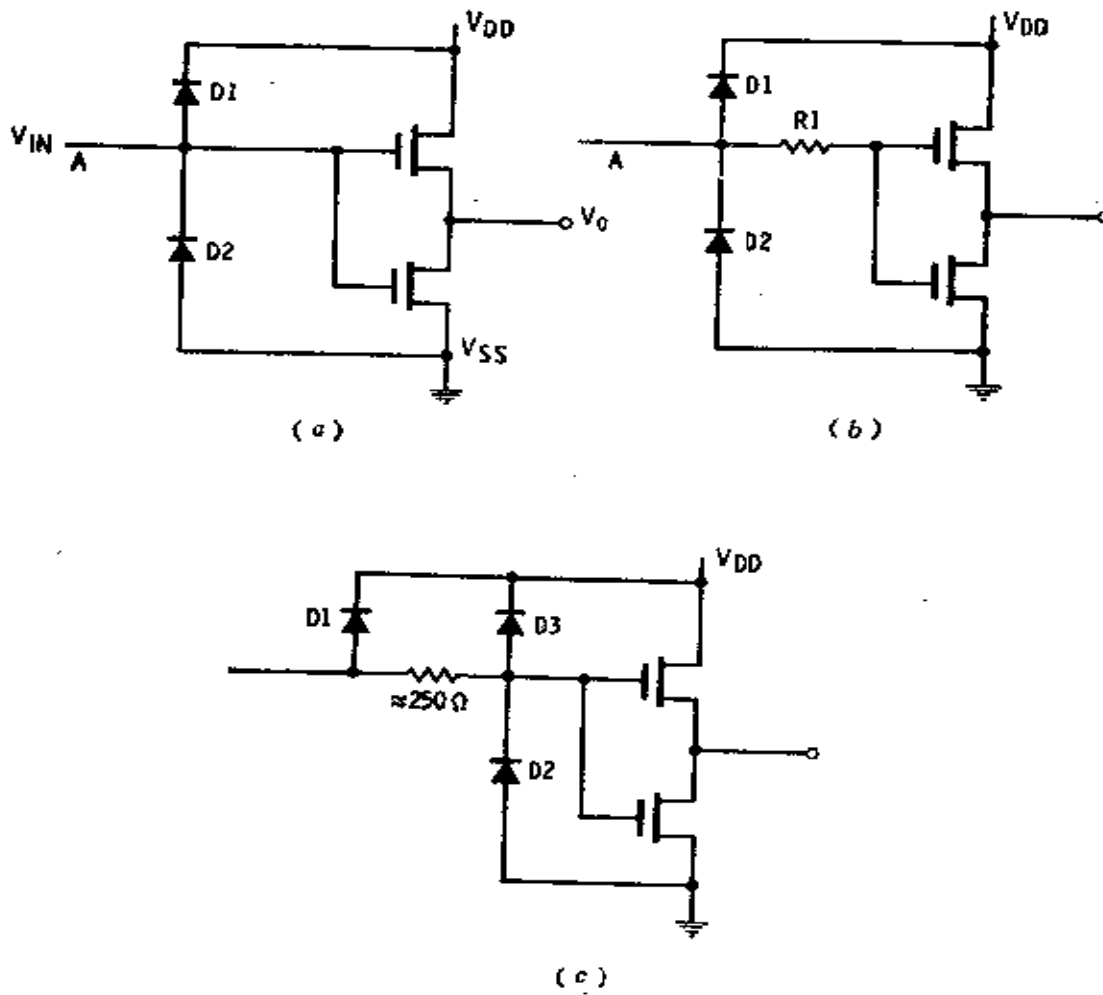


图2-22 CMOS输入保护

- (a) 54C/74C输入端的二极管保护；
 (b) 54C/74C输入端的二极管和电阻保护；
 (c) 4000系列输入端的保护。

散电容一起，对栅起减缓快速上升或快速下降信号的作用。保护电路的时间常数比栅本身的时间常数小得多，因此对逻辑元件总的速度没有什么影响。

4000 系列器件的输入保护如图 2-22(c)所示。多加的一个二极管提供了多一级的保护，其作用是当第一个二极管遭到破坏后作为备用的。所有的 CMOS 及大多数 MOS 系列都有类似的保护电路。少数 MOS 集成电路输入没有保护网络，这些器件有特殊的取用方法。

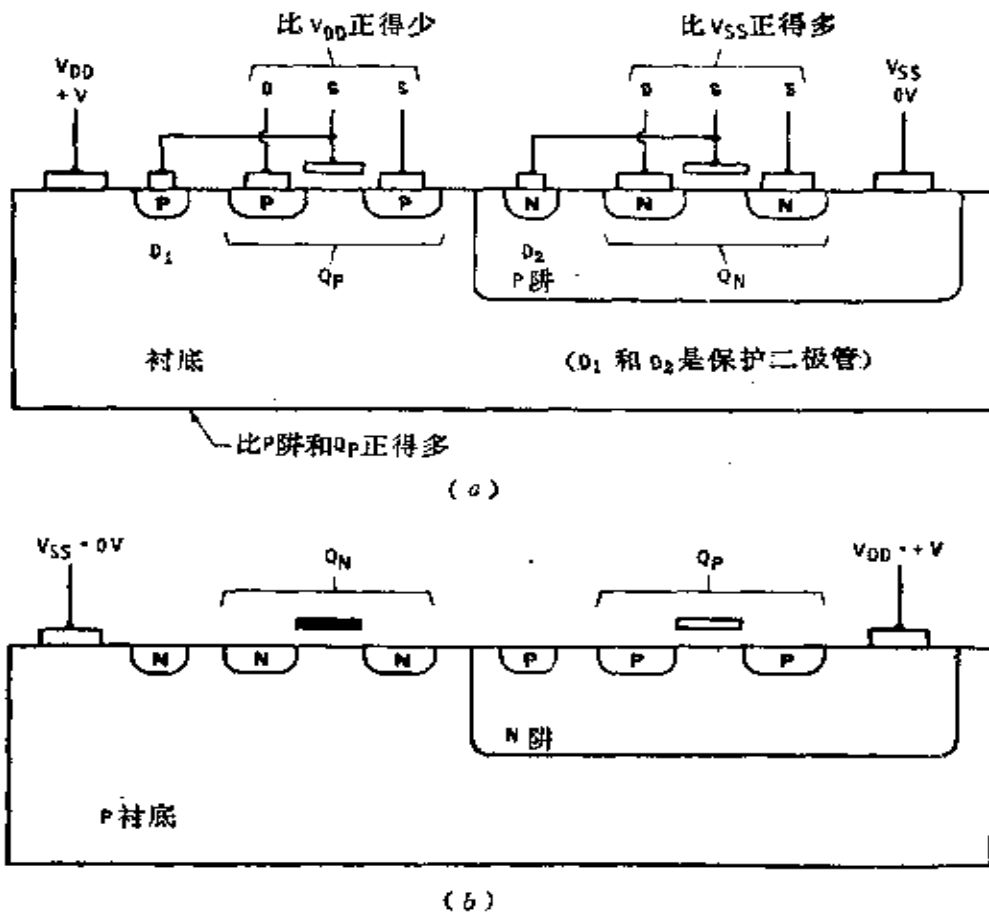


图 2-23 CMOS 结构的横剖面

(a) 在 N 沟道里的 P 阱； (b) 在 P 沟道里的 N 阱。

CMOS 电路的横剖面如图 2-23(a)所示。衬底为 N 型材料，在其上制作有 P 沟晶体管和 P 阱，在 P 阱上又制作 N 沟道晶体管。为了连接栅、源和漏，制备了金属电极。集成电路可看成由许多 PN 结组成。电路上施加的电压，除了图上没有标出的保护二极管外，没有一个 PN 结是加正偏压使之导通的。如果加上产生导通的正偏压，则晶体管作用将会停止，器件一般也将毁坏。

电路中有三组 PN 结：P 阱到 N 型晶体管；P 阱到 N 型衬底以及 P 晶体管到 N 型衬底。为了保持 PN 结的完整性，时时需要保持下列关系：

1. N 型衬底电位必须总是比 P 阱及 P 沟道晶体管为正；
2. N 沟道晶体管上施加的电压必须总是比 P 阱(或 P 衬底)为正。

倘若以 P 型衬底上的 N 阱代替 N 衬底上的 P 阱，于是电路成为如图 2-23(b) 那样，PN 结将有上述同样的关系。

尽管 CMOS 和大多数 MOS 输入有保护网络，但这些电路吸收的瞬变能量有限制，太大的瞬变信号会破坏保护网络，乃至破坏电路工作。为防止这种现象发生，应注意以下几点：

1. 烙铁头应接地，或者使用集成电路插座，在器件尚未插入前，先把插座的接线都连好；
2. 测试设备应接地；
3. 自动装卸设备应导电并接地；
4. 工作台应是金属的或导电塑料的制品，并且应该接地；
5. 取用器件的人应接地；
6. 如果可能的话，鞋、衣服及工作服都应该是导电的；

第三章 CMOS 电路的应用

在一个 N 沟道 MOS 晶体管里流动的电流，仅仅通过 N 型材料，而不通过任何 PN 结。只要栅-源电压高到足以使器件导通，这 N 型沟道 MOS 晶体管就是纯电阻性的，或以欧姆表示，并遵循欧姆定律。同样的道理适用于 P 型沟道 MOS 晶体管。

§ 3-1 CMOS 传输门

传输门利用 MOS 晶体管的纯电阻性质，形成一个双向开关。开关在两个方向上导通，由连接一个 N 型沟道和一个 P 型沟道晶体管来形成，如图 3-1(a) 所示。在 Q_N 的栅接 $-V_{SS}$ 的情况下， V_{IN} 无论接 $+V_{DD}$ 、 $-V_{SS}$ 或者它们之间的任何电位都可以，因为 Q_N 的源比栅总是有较高的正电位，所以 Q_N 决不会导通。与此同时， Q_P 的栅是 $+V_{DD}$ ，且决不会比它的源更负。因此， Q_N 和 Q_P 二者均处在高阻抗状态，所以，输出电压 V_O 仍接近 0。

现在变更栅偏压成图 3-1(b) 所示的那样，只要 V_{IN} 低于 V_{DD} ， Q_N 导通。当 V_{IN} 接近于 $+V_{DD}$ 时， Q_N 开始截止，它的阻抗上升。然而，在同一时间 Q_P 完全导通，是低阻抗；因此， V_O 上升到 V_{IN} 附近。当 V_{IN} 接近 $-V_{SS}$ (图 3-1(c))， Q_P 开始截止，可是 Q_N 完全导通，而 V_O 趋近 V_{IN} 或 $-V_{SS}$ 。当 V_{IN} 在 $+V_{DD}$ 和 $-V_{SS}$ 之间时（不接近任何一个）， Q_N 和 Q_P 二

第三章 CMOS 电路的应用

在一个 N 沟道 MOS 晶体管里流动的电流，仅仅通过 N 型材料，而不通过任何 PN 结。只要栅-源电压高到足以使器件导通，这 N 型沟道 MOS 晶体管就是纯电阻性的，或以欧姆表示，并遵循欧姆定律。同样的道理适用于 P 型沟道 MOS 晶体管。

§ 3-1 CMOS 传输门

传输门利用 MOS 晶体管的纯电阻性质，形成一个双向开关。开关在两个方向上导通，由连接一个 N 型沟道和一个 P 型沟道晶体管来形成，如图 3-1(a) 所示。在 Q_N 的栅接 $-V_{SS}$ 的情况下， V_{IN} 无论接 $+V_{DD}$ 、 $-V_{SS}$ 或者它们之间的任何电位都可以，因为 Q_N 的源比栅总是有较高的正电位，所以 Q_N 决不会导通。与此同时， Q_P 的栅是 $+V_{DD}$ ，且决不会比它的源更负。因此， Q_N 和 Q_P 二者均处在高阻抗状态，所以，输出电压 V_O 仍接近 0。

现在变更栅偏压成图 3-1(b) 所示的那样，只要 V_{IN} 低于 V_{DD} ， Q_N 导通。当 V_{IN} 接近于 $+V_{DD}$ 时， Q_N 开始截止，它的阻抗上升。然而，在同一时间 Q_P 完全导通，是低阻抗；因此， V_O 上升到 V_{IN} 附近。当 V_{IN} 接近 $-V_{SS}$ (图 3-1(c))， Q_P 开始截止，可是 Q_N 完全导通，而 V_O 趋近 V_{IN} 或 $-V_{SS}$ 。当 V_{IN} 在 $+V_{DD}$ 和 $-V_{SS}$ 之间时（不接近任何一个）， Q_N 和 Q_P 二

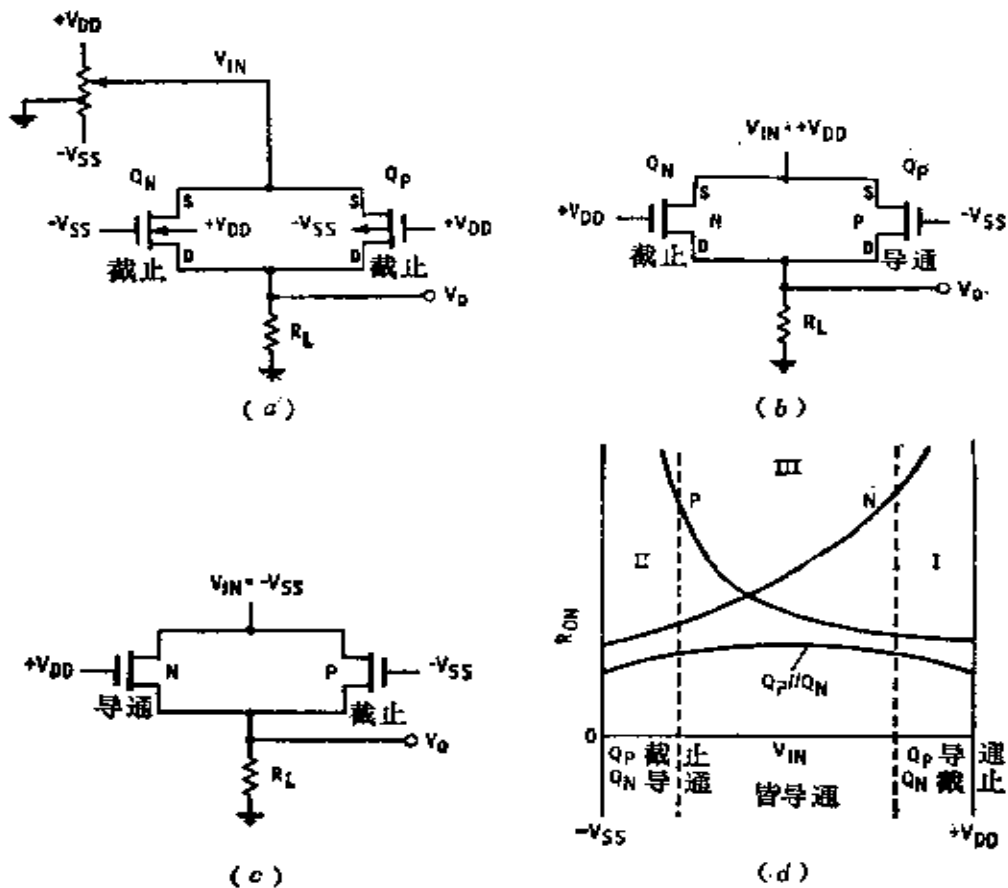


图3-1 CMOS 传输门运用

(a)门截止；(b)门导通；(c)门导通；(d)门阻抗。

者均导通。这电路工作的三个状态表示在图 3-1 (d) 里。图中，I 区域指的是在 V_{IN} 接近 $+V_{DD}$ 时的工作，II 区域指的是 V_{IN} 接近 $-V_{SS}$ 时的工作，III 区域指的是 V_{IN} 在 $+V_{DD}$ 和 $-V_{SS}$ 之间的工作。传输门阻抗是这两个晶体管的并联电阻，随着 V_{IN} 在 $-V_{SS}$ 和 $+V_{DD}$ 之间变化而变化。

因为传输门正常工作既要有一个正的信号，又要有一个负的信号。为此，控制信号加到一个倒相器上(如图3-2(a))

所示), 给出 A 和 \bar{A} , 这里 $A = +V_{DD}$, $\bar{A} = -V_{SS}$ 。传输门能够处理的信号, 数值局限在 $-V_{SS}$ 和 $+V_{DD}$ 之间, 因为较大的传输信号将引起一个或更多的 PN 结变成正向偏置, 如图 3-2(b) 所示。对于振幅峰值是 $+5\text{V}$ 和 -5V 的交流信号, V_{DD} 为 $+5\text{V}$ 或更高, V_{SS} 为 -5V 或更低。

在 CMOS 逻辑电路中, 传输门作为开关使用, 通常它是用图 3-3(a) 的其中一种方式来表示, 并具有信号端 S 和控制端 A 和 \bar{A} 。传输门设计成为先断后合的电路运用。这允许两个或更多的信号输送给同一个负载, 如图 3-3(b) 所示。

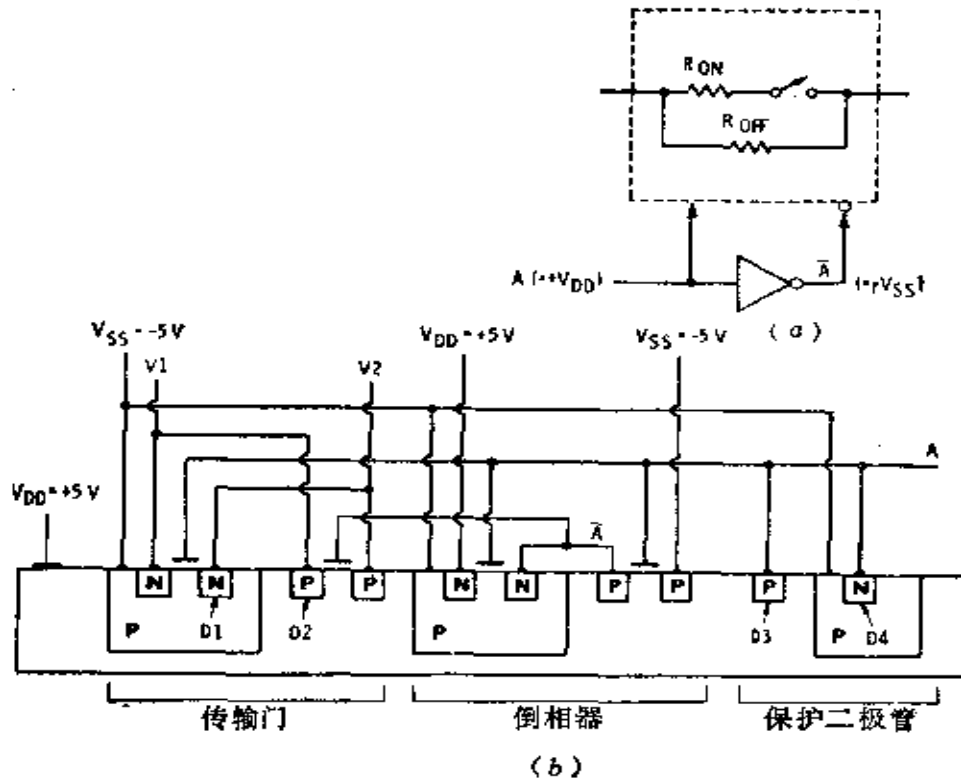


图3-2 传输门电路

(a)传输门的等效电路; (b)传输门剖面。

若 V_2 低于 V_{SS} , D_1 传导; 若 V_1 高于 V_{DD} , D_2 传导;

若 A 高于 V_{DD} , D_3 传导; 若 A 低于 V_{SS} , D_4 传导。

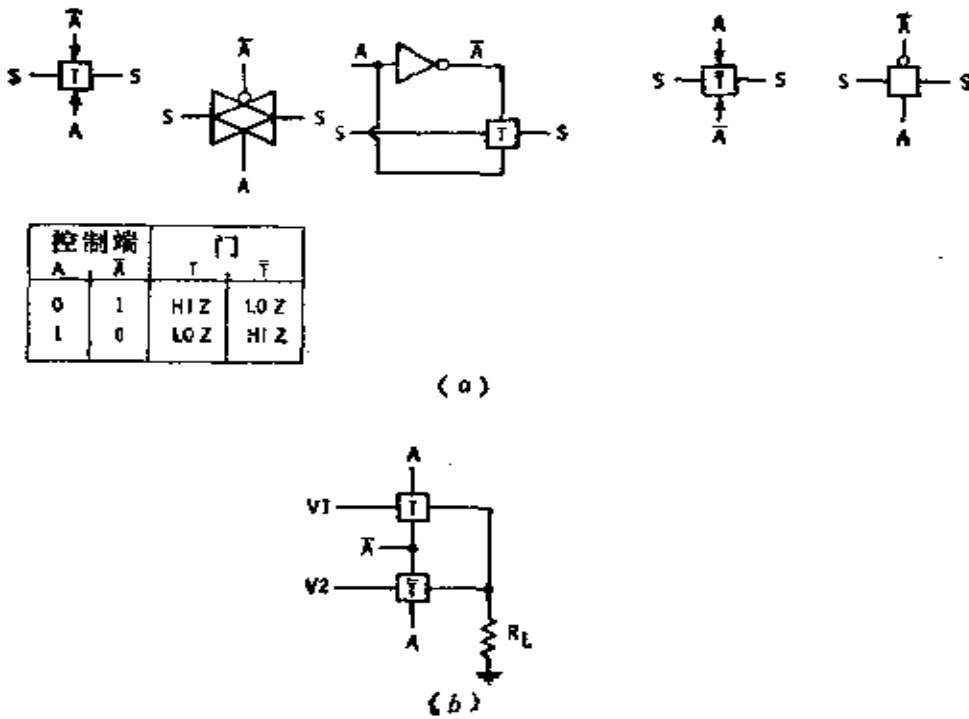
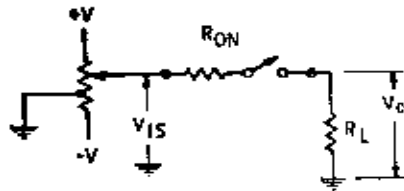
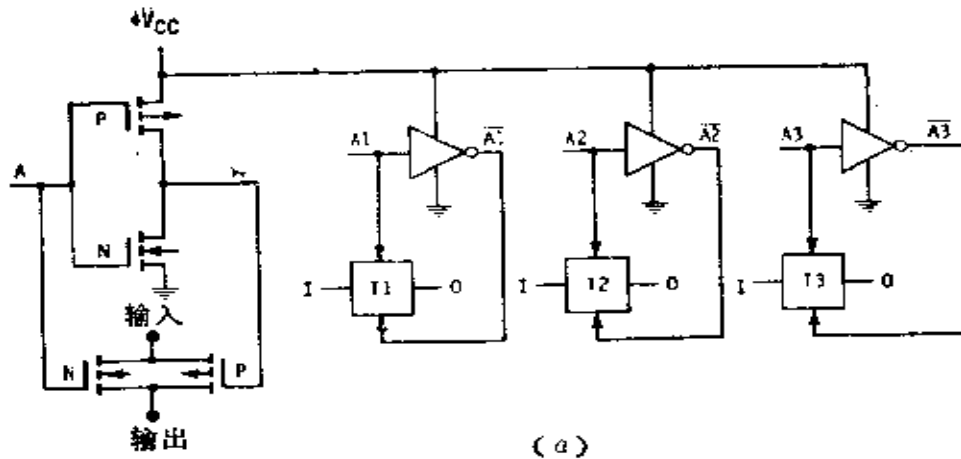


图3-3 传输门符号和使用
(a)符号和逻辑；(b)先断后合的电路。

这里不会有用同一个控制信号而使连接在一起的两个门同时导通的。先断后合是通过晶体管和有关的电容的设计获得的，以使截止比导通快。

传输门也应用到模拟电路中，这时，它用作模拟信号的电子开关，例如音频信道。MM4616/5616 A型和 4016 型是四路双向开关，它能在模拟信号小于 15V 的整个振幅情况下使用。图 3-4 表示了这个集成电路的线路，而图 3-5 表示导通电阻(R_{ON})的变化是输入信号、负载电阻(R_L)、 V_{DD} 和 V_{SS} 的函数。只要 R_L [图 3-4(b)]比 R_{ON} 大得多， R_{ON} 的变化将不会引起信号较大的失真。所给出的 R_{ON} 是典型值，适用于



$$V_0 = V_{1S} \times \frac{R_L}{R_L + R_{ON}} \quad (b)$$

图3-4 四双向开关组合

(a)线路; (b)等效电路(一个开关)。

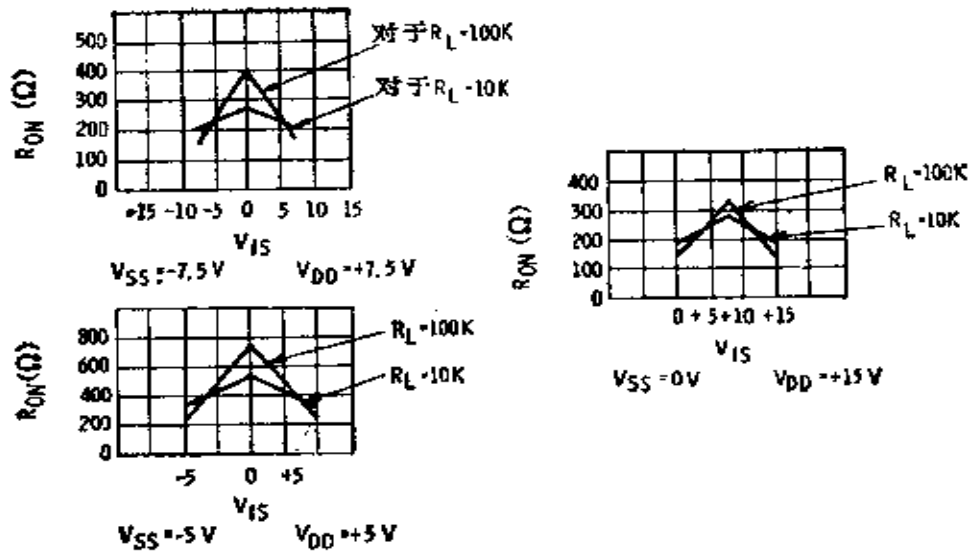


图3-5 曲线表示对于图3-4中导通电阻变化的函数

25°C。在25°C下，对于个别的器件，导通电阻可为典型值的两倍，而在125°C下可达到三倍。

一个类似的四双向开关是4416型，这里，相反的信号控制两个传输门，达到如同两个常开和两个常闭开关同样的效果。这四双向开关能连接作为双刀双掷开关。

§ 3-2 三态 CMOS 输出

在许多数据传输应用中，经常需要将来自若干不同点的信号供给一个公共的导线，如图3-6(a)所示，在这种系统里，能够由一端说而另一端听。标准CMOS器件的有源推挽电路却不允许这样工作。

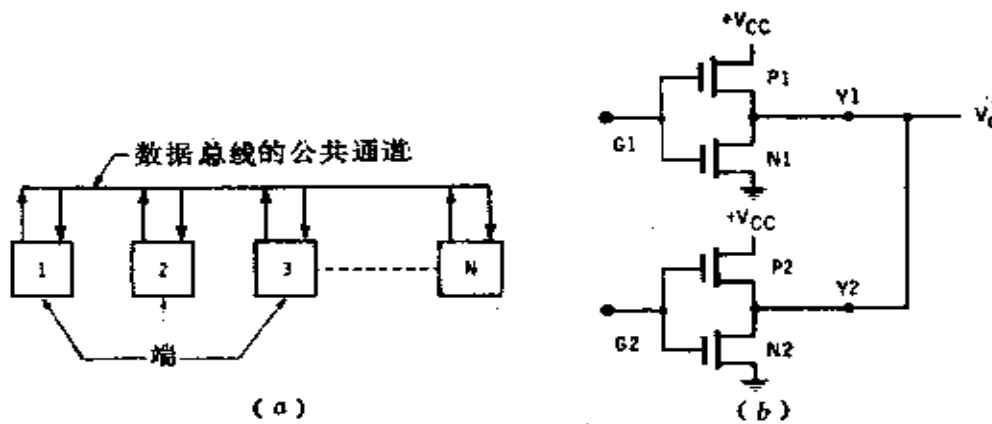


图3-6 三态输出

(a)公共的数据总线结构；(b)CMOS输出不能连在一起。

如图3-6(b)所示，如果 Y_1 是高电平， Y_2 是低电平，那么从 V_{CC} （同 V_{DD} 一样）通过 P_1 和 N_2 到地，存在一个直接的通路。因为晶体管 P_1 和 N_2 的阻抗比较高且二者几乎相等，这条通路不会破坏，但 V_O 将是在 V_{CC} 之间的某一值，和 V_{SS} 既不是1电平也不是0电平。

为了使两个输出端能连接在一起，就像图 3-6(b) 所示那样，这两个器件输出端作一些变更，使它们既能是高电平，又能是低电平，还能断开。这样，电路就给出了三态输出。当 G_1 断开时， P_1 和 N_1 二者将断开，输出端 Y_1 对于地和 V_{CC} 来说都是高阻抗——它将是浮置的。当 G_1 断开时，如果 G_2 接通， V_o 将跟随 Y_2 变化，输出 Y_1 也将随 Y_2 变化，但是在 G_1 输出端晶体管里没有电流流动。请注意，如果 G_1 和 G_2 在同一时间接通，三态电路将被破坏。

三态工作能够用几种方法获得，如图 3-7 所示。在图 3-7(a) 中，一个传输门与输出端串联。当传输门是高 Z (阻抗) 时，实际上 Y 和输出电路断开；当传输门是低 Z 时， Y 随着倒相器变化。

在图 3-7(b) 中，当禁止信号是高电平时，为了封闭输出，附加的 P 和 N 晶体管有效地切断 V_{DD} 和 V_{CC} 。在图 3-7(c) 中，为了切断 V_{DD} ，一个高电平的封闭信号截止 P_x ；不论输入如何，这“或非”门的输出将是低电平， N_1 将截止；这时， Y 是高 Z 。在图 3-7(d) 中，一个低电平的封闭信号截止 N_x ，并且通过“与非”门截止 P_1 ，也使 Y 是高 Z 。

不尽在简单门电路中使用了三态输出，如图 3-7(e) 所示，并且在较复杂的电路中也使用了三态输出。

当三态器件的输出被封闭时，它有一个伴生电容，它类似于一个典型的 CMOS 输入电容。这电容的范围为 10~15 pF。因此，在图 3-6 中的任何器件的驱动，总线必须对所有与其连接的全部输入和输出电容以及全部衔接线的电容充电。这电容降低了工作速度。除了由电容引起的延迟以外，还必须考虑禁止电路需要的导通和截止时间。

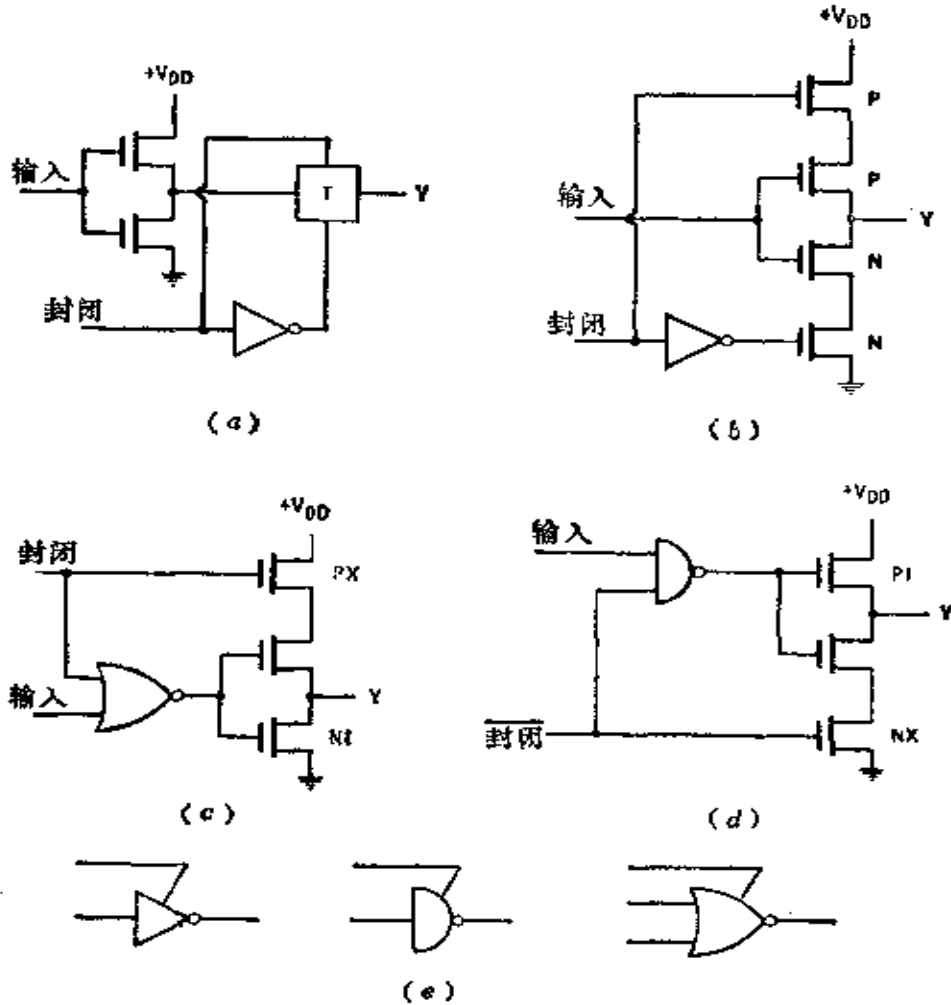


图3-7 三态控制

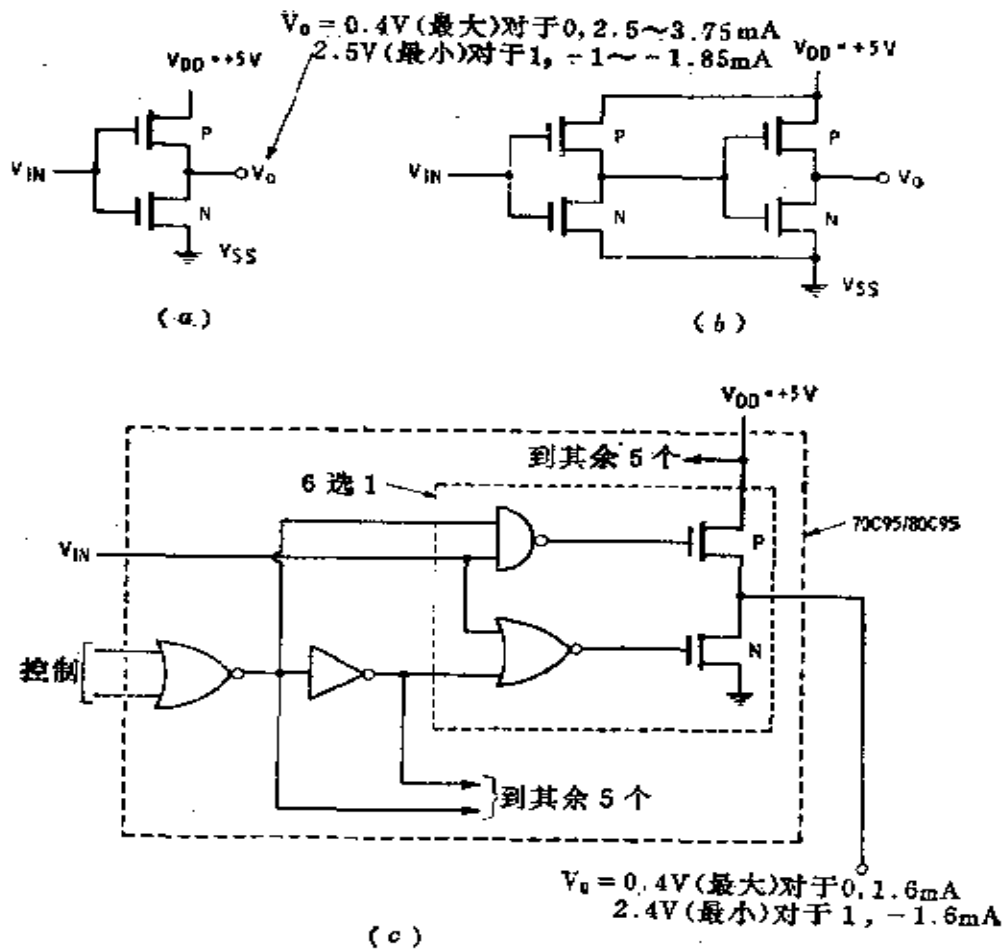
(a)采用传输门；(b)采用附加晶体管；(c)附加晶体管 Q_P ；
(d)附加晶体管 Q_N ；(e)符号。

三态电路的使用，增加了所有的驱动器同时处于高 Z 状态的可能性。如果碰巧，连接到总线的所有电路的输入会是浮置的。输入将跟随任何的杂散电场变化，这将导致集成电路毁坏。为了避免这种情况发生，可以在总线上接上“上拉”和“下拉”电阻。另一个办法是，可以用逻辑电路检测所有

驱动器断开的状态，并且在这种情况发生时，传输门能接上“上拉”和“下拉”电阻。

§ 3-3 CMOS 缓冲输出

因为大多数CMOS器件有比较高的输出阻抗，所以，限制了供给或吸收电流的能力，于是出现具有低阻抗的专用输出电路。4049型〔图3-8(a)〕是一个六倒相缓冲器。4050型



(c)

图3-8 CMOS 缓冲器

(a) 4049 型; (b) 4050 型; (c) 70C99/80C95 型。

平，因为它将给出 $Q = \bar{Q} = 1$ ，这在逻辑上是禁止的。

当时钟达到高电平时，D触发器像图 3-12 表示的那样。此时门 G_1 控制 \bar{Q} 并决定 G_3 和 G_4 ，而 G_2 控制 Q ， D 输入被门 T 切断，如果复位和置位的任何一个为低电平，将复位或置位 D 触发器。

D 触发器的工作概括在图 3-13(a)、(b) 和 (c) 的真值表里。

4013 型 D 触发器(图3-14)的工作类似于 54C74/74C74。

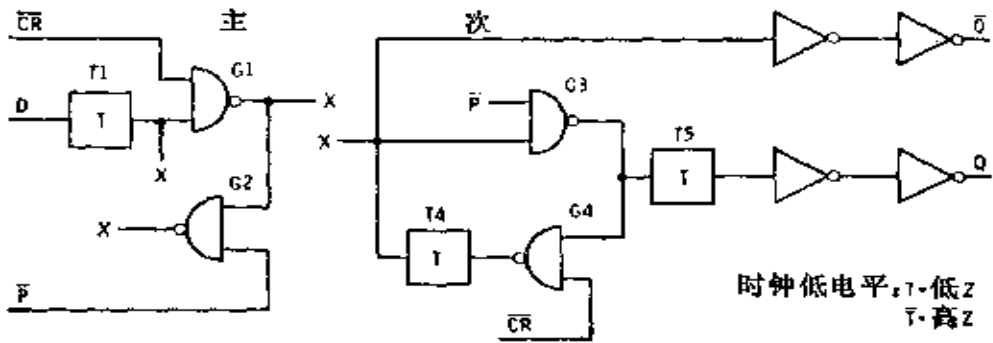


图3-11 当时钟处于低电平时图3-9的线路

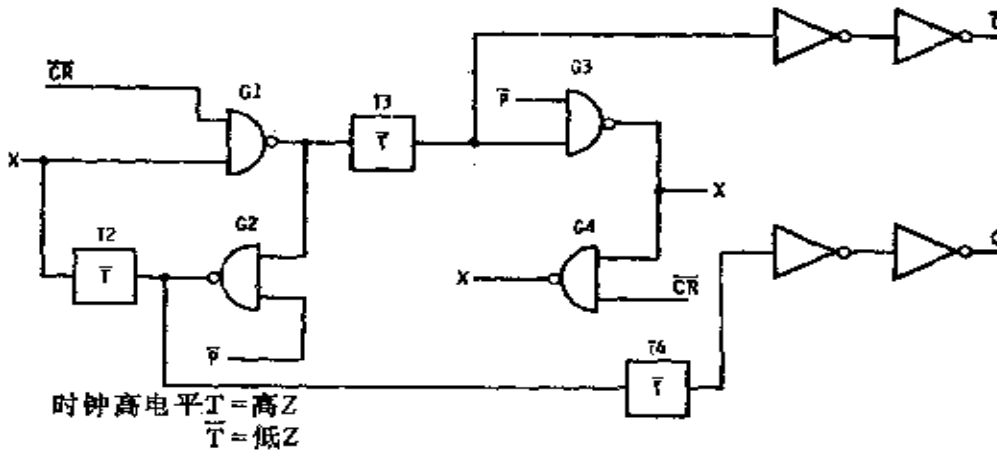


图3-12 当时钟处于高电平时图3-9的线路

平，因为它将给出 $Q = \bar{Q} = 1$ ，这在逻辑上是禁止的。

当时钟达到高电平时，D触发器像图 3-12 表示的那样。此时门 G_1 控制 \bar{Q} 并决定 G_3 和 G_4 ，而 G_2 控制 Q ， D 输入被门 T 切断，如果复位和置位的任何一个为低电平，将复位或置位 D 触发器。

D 触发器的工作概括在图 3-13(a)、(b) 和 (c) 的真值表里。

4013 型 D 触发器(图3-14)的工作类似于 54C74/74C74。

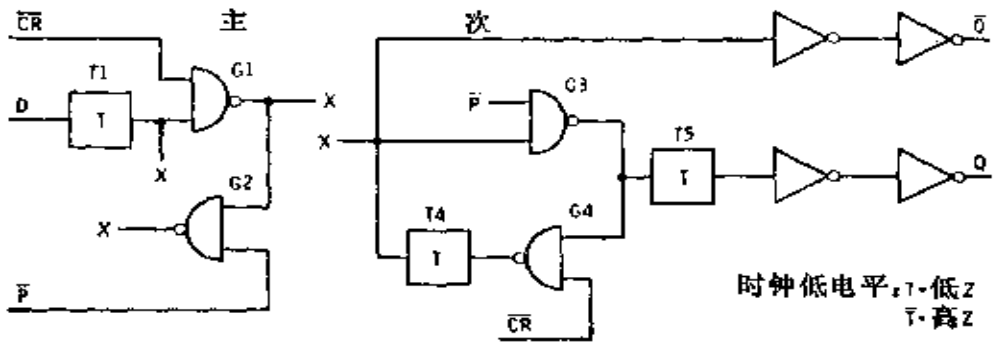


图3-11 当时钟处于低电平时图3-9的线路

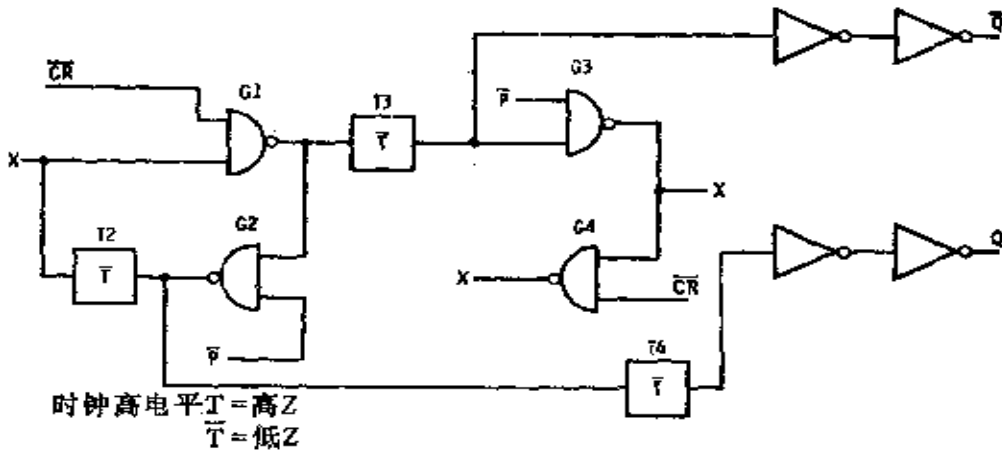


图3-12 当时钟处于高电平时图3-9的线路

但是以“或非”门代替“与非”门，而且晶体管较少。在正常工作下，4013型需要置位和复位输入是低电平，以代替54C74/74C74的置位和复位输入的高电平。

CK	P	C	Q	\bar{Q}
X	0	0	1	1
X	0	1	1	0
X	1	0	0	1
1 见 b	1	1	0	0

P	C	CK	U	Q
1	1	0	X	Q
1	1	1	X	Q
1	1	1	0	0
1	1	1	X	Q

D	Q_{n+1}
0	0
1	1

(a) (b) (c)

图3-13 用于图3-9的真值表

(a) 复位和置位；(b) 时钟控制；(c) 触发器运用。

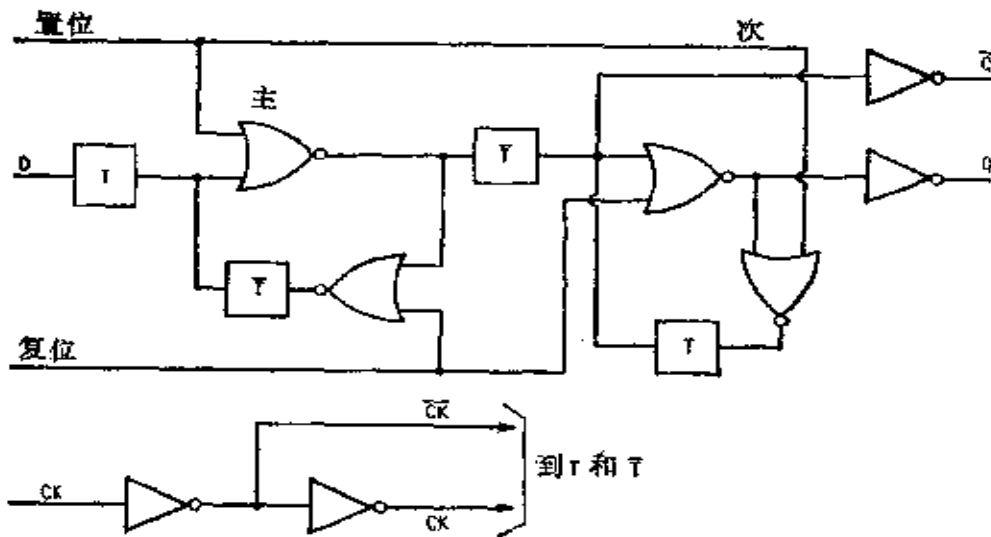


图3-14 4013型D触发器

三态触发器 图3-15表示54C173/74C173型集成电路里四个触发器之一。两个输出禁止信号的任何一个处于逻辑1，这四个输出可为高Z状态。这电路也有禁止输入。当任一个禁止输入是逻辑0时， G_1 是逻辑1， G_2 随A输入端自由变化；根据时钟的改变输入A置位触发器。当一个禁止输入是1时， G_1 是0；不论输入A如何， G_2 也是0。然而门

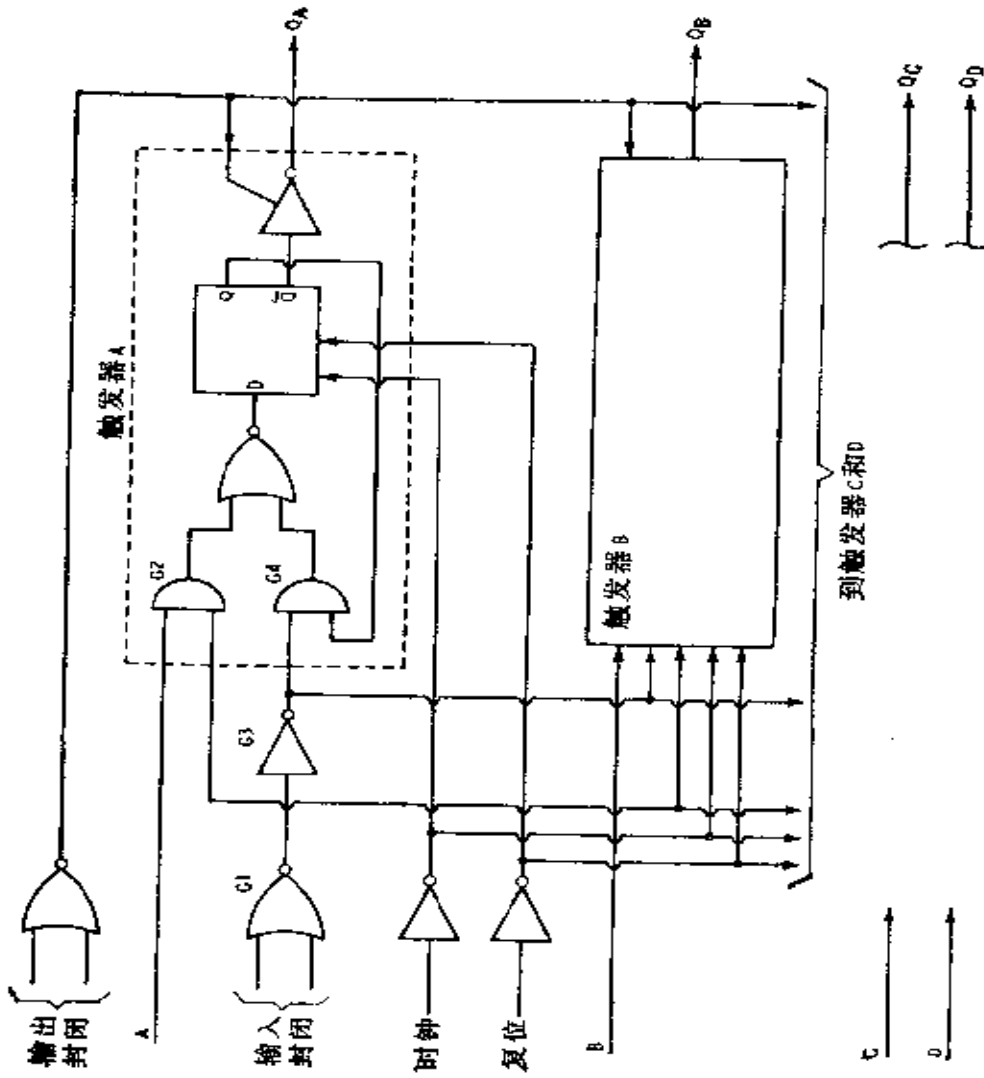
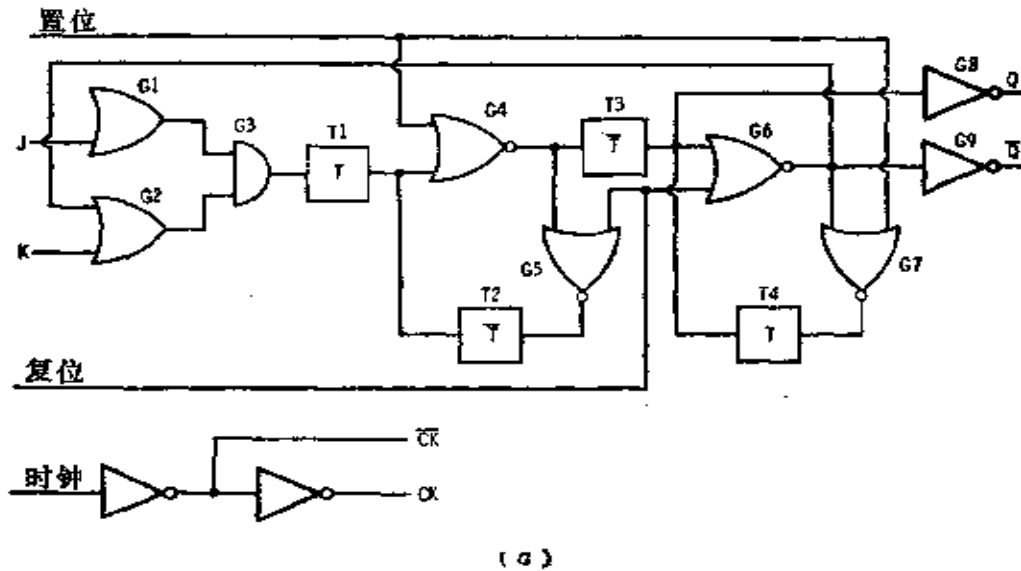


图3-15 具有三态输出的四路D触发器

G_3 是 1 且 G_4 随 Q 自由变化。因此，不论 A 是 1 或 0，电路维持 Q 状态。此后时钟的改变也就不能影响 D 触发器的状态。

JK 触发器 图 3-16(a) 表示一个 4027 型 JK 触发器的逻辑电路图。传输门是用图 3-16(b) 表示的时钟控制。当时钟是低电平时，电路如图 3-17 所示。门 G_6 和 G_7 闭锁在一种状态或另外的一种状态，并给出 Q 和 \bar{Q} 。CR 和 P 的正常状态是低电平，如果任何一个达到高电平（不能同时是高电平）， G_6 和 G_7 随着变化并驱动 G_8 和 G_9 。而当 CR 和 P 是低电平时， G_4 随 G_3 变化。

当时钟是高电平时，电路如图 3-18 所示。门 G_4 和 G_5 锁



(a)

时钟	T	T
L	低 Z	高 Z
H	高 Z	低 Z

(b)

图 3-16 4027 型 JK 触发器逻辑电路图

(a) 电路图；(b) 传输门。

定和控制 Q ，并且也驱动 G_6 去控制 \bar{Q} 。 CR 和 P 如果是高电平，则由它决定 Q 和 \bar{Q} 。

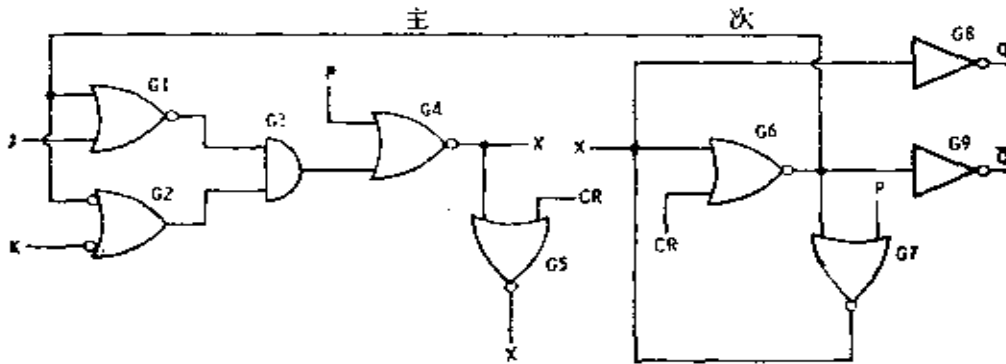


图3-17 当时钟处于低电平时的 JK 触发器

在 CR 和 P 是低电平时，让 $J = K = 0$ 。当时钟是低电平时， G_2 将是高电平， G_3 将随 G_1 自由变化；而 G_1 又随 G_0 变化。因此，如果 G_0 是高电平， G_1 将是高电平， G_3 也将是高电平，而 G_4 将是低电平。当时钟达到高电平时， G_4 的低电平不能改变 G_0 的状态，触发器的状态不变。如果 G_0 在时钟之前是低电平， G_1 将是低电平， G_3 也将是低电平，而 G_4 将是高电平。当时钟再次是高电平时，触发器状态不变。于是，图 3-18(b) 真值表的第一行由此确认了。

当时钟是低电平时，让 $J = 0$ ， $K = 1$ 。由此 G_1 和 G_2 均随 G_0 变化。如果 G_0 是高电平， G_1 是高电平， G_2 是低电平， G_3 是低电平而 G_4 是高电平。当时钟达到高电平时， G_4 使 G_0 达低电平而给出 $Q = 0$ ， $\bar{Q} = 1$ 。如果 G_0 在时钟之前是低电平， G_1 是低电平， G_2 是高电平， G_3 是低电平而 G_4 是高电平，也给出 $Q = 0$ ， $\bar{Q} = 1$ 。这是真值表的第二行。

在时钟是低电平时，对于 $J = 1$ ， $K = 0$ ，不管 G_0 怎样， G_3 是高电平， G_4 也是高电平。因此， G_3 是高电平， G_4 是

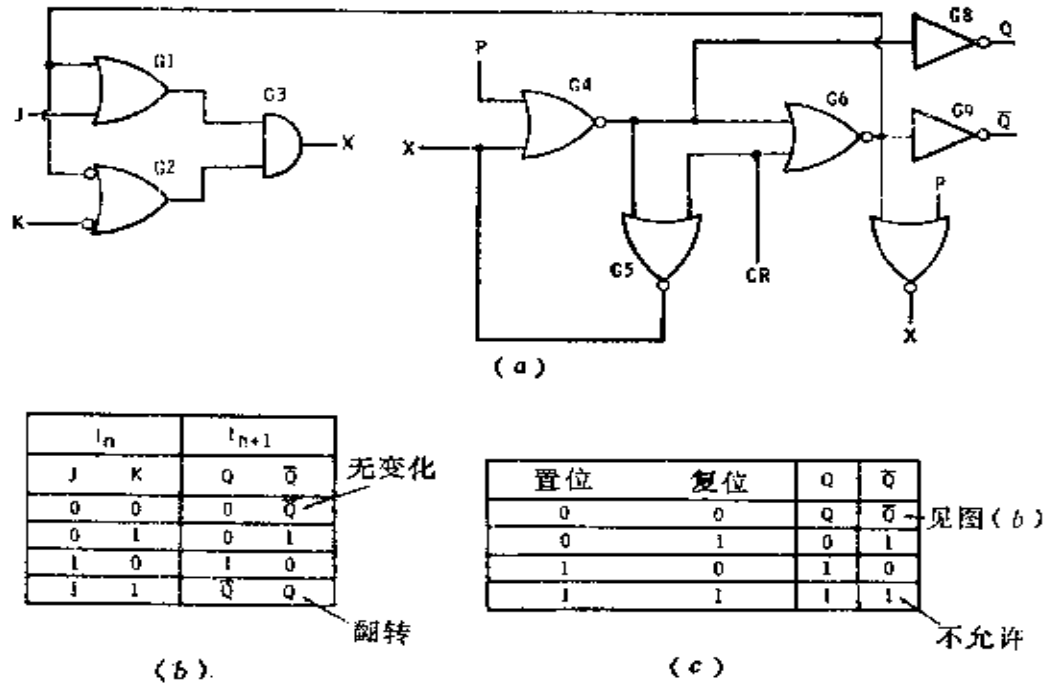


图3-18 当时钟是高电平时的 JK 触发器
(a) 电路图; (b) 真值表; (c) 置位和复位。

低电平。当时钟达到高电平时， G_6 被驱动达高电平，给出 $Q=0$ ， $\bar{Q}=1$ 。这是真值表的第三行。

当时钟是低电平时，对于 $J=K=1$ ， G_1 是高电平， G_2 跟随 G_6 变化。如果 G_6 是低电平， G_2 将是高电平， G_3 将是高电平而 G_4 将是低电平。当时钟达到高电平时， G_6 被驱动达高电平。如果 G_6 在时钟之前是高电平， G_2 将是低电平， G_3 将是低电平而 G_4 将是高电平。在时钟信号到来时， G_6 被驱动达低电平。于是，在每一次时钟信号到来时，触发器改变状态或翻转。置位和复位的工作表示在图 3-18(c) 里。

图 3-19 为 54C/74C 系列中的一个 JK 触发器电路(54C/74C76 型)。这电路与 4027 型类似，但稍微有一些差别。最

主要的差别是触发器改变状态在时钟信号的后沿而不是在时钟信号的前沿。这工作与 TTL 相当。另外，置位和复位是用低电平而不是以高电平完成的。

§ 3-5 CMOS 移位寄存器

尽管流行的移位寄存器种类很多，但是实质上所有的移位寄存器都由一个长链的存储电路组成。CMOS 移位寄存器已达到四位和四位以上的容量(用 PMOS 工艺制作的静态和动态移位寄存器容量更大，将在后面讨论)。

一个八位移位寄存器将存储八位的信息或数据。移位寄存器数据的输入允许串行、并行或二者兼有。而数据的输出也可以是串行、并行或二者兼有。在寄存器内部可以允许数据左移位、右移位或左、右移位兼有。

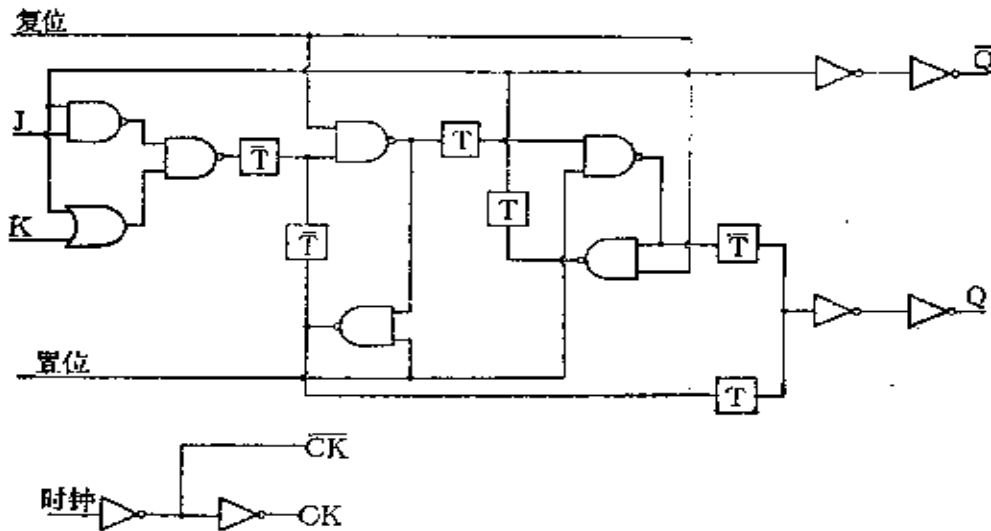


图3-19 54C 76/74C 76型 JK 触发器

图 3-20 表示 4021 型八位移位寄存器的方框图，它可以在串行输入端串行输入数据而在 A 到 H 输入端并行输入数

据。在第六、七和八位上获得串行输出，允许电路作为一个六、七和八位寄存器使用。三位并行输出情况下，它也能作为八位寄存器使用。当 P/\bar{S} 输入是高电平时，寄存器进入并行输入方式，而 P/\bar{S} 输入是低电平时，寄存器进入串行输入方式。

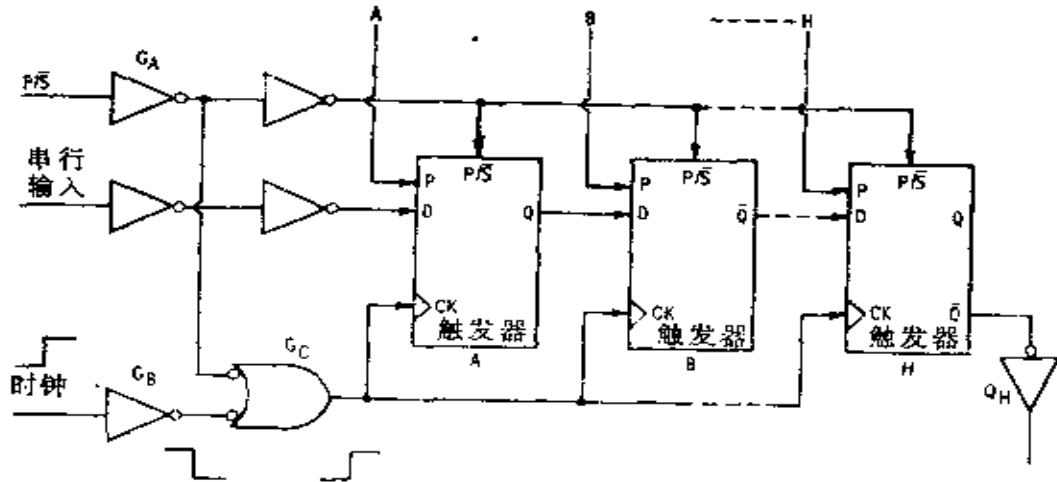


图3-20 4021型CMOS移位寄存器方框图

每一个位存储在一个D触发器里，使用的电路如图3-21所示。当时钟是低电平时， T_5 是高Z， T_6 是低Z，闭锁的 G_3 和 G_4 维持一个状态或另一个状态。同时， T_2 是低Z，而输入D控制 G_1 的状态。当时钟是高电平时， G_3 由 G_1 控制。因为时钟是高电平，所以 T_2 是高Z，因此从P通过 T_1 或从 G_2 通过 T_4 和 T_3 输入到 G_1 。如果输入 P/\bar{S} 是高电平，于是 T_1 是低Z， T_3 是高Z；输入P控制 G_1 ，而 G_1 又控制 G_3 。这样，并行输入数据便输入寄存器。

如果 P/\bar{S} 是低电平， T_1 是高Z和 T_3 是低Z；当时钟是高电平时， T_4 也是低Z，因此 G_1 和 G_3 锁入由输入D预先

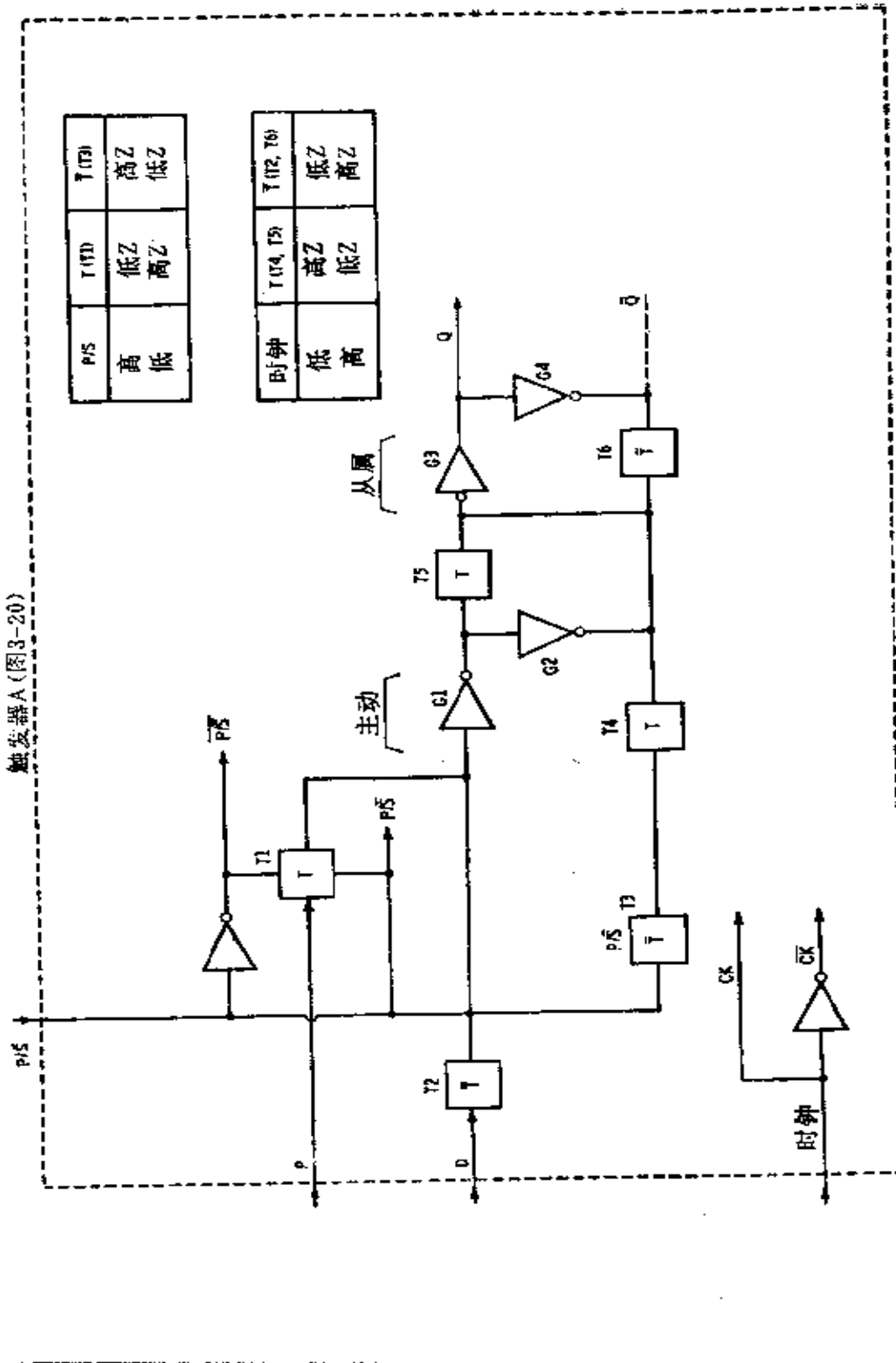


图3-21 在图3-20里的触发器“A”

确定的状态。

分析图 3-20 的总方框图可以看出, 当 P/\bar{S} 是高电平时, G_A 是低电平, 这样 G_C 输出维持高电平。因此, 不管系统时钟的实际状态如何, 每个触发器的时钟输入都是高电平。由此并行数据输入寄存器。当 P/\bar{S} 是低电平时, G_A 是高电平而 G_C 随着 G_B 自由变化, G_B 则跟随时钟变化。于是, 当系统时钟从低电平变到高电平时, 串行输入数据便进入触发器 A 。同时, 在触发器 A 里的数据传输到触发器 B , 而且整个寄存器依此类推。

左移位、右移位寄存器 54C/74C95 是 TTL54/7495 的 CMOS 改型, 而且二者可以用同一个真值表; 但是工作速度、功耗等等是不同的。

当状态控制输入 MC 是低电平 (0) 时 (图 3-22), 数据从串行输入端进入, 并且在时钟 1 输入到达下降边时被右移位。所有其他输入被封闭。但是输出可以采用并行或串行。当 MC 是高电平 (1) 时, 并行输入和时

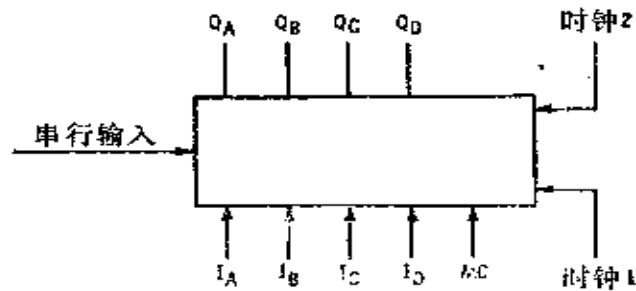


图 3-22 CMOS 左移位, 右移位寄存器

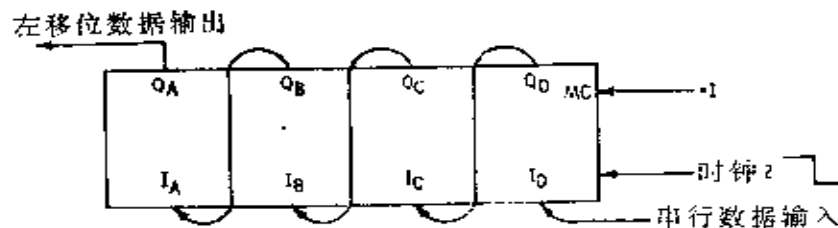


图 3-23 在一个 CMOS 寄存器上的左移位连接

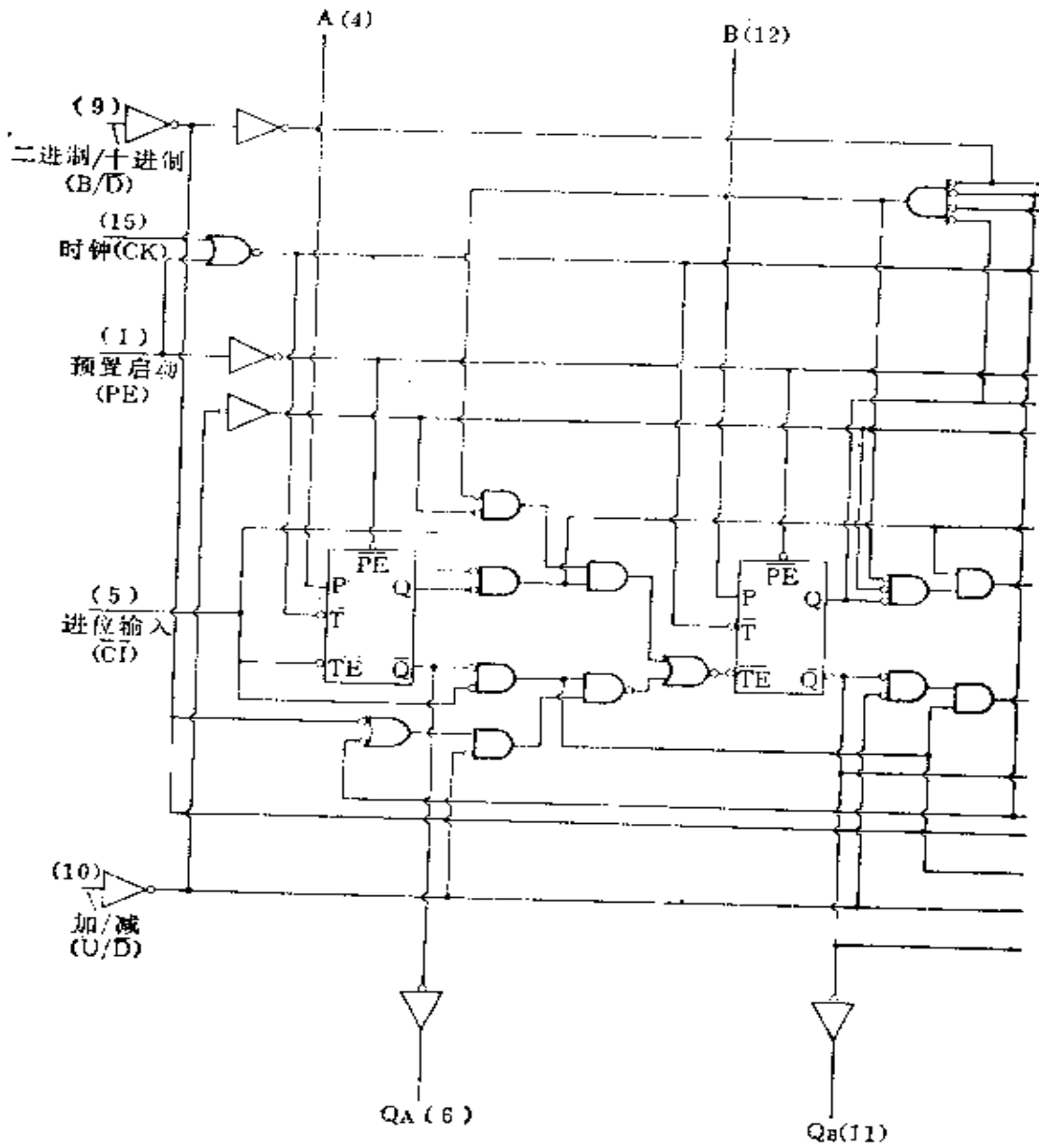
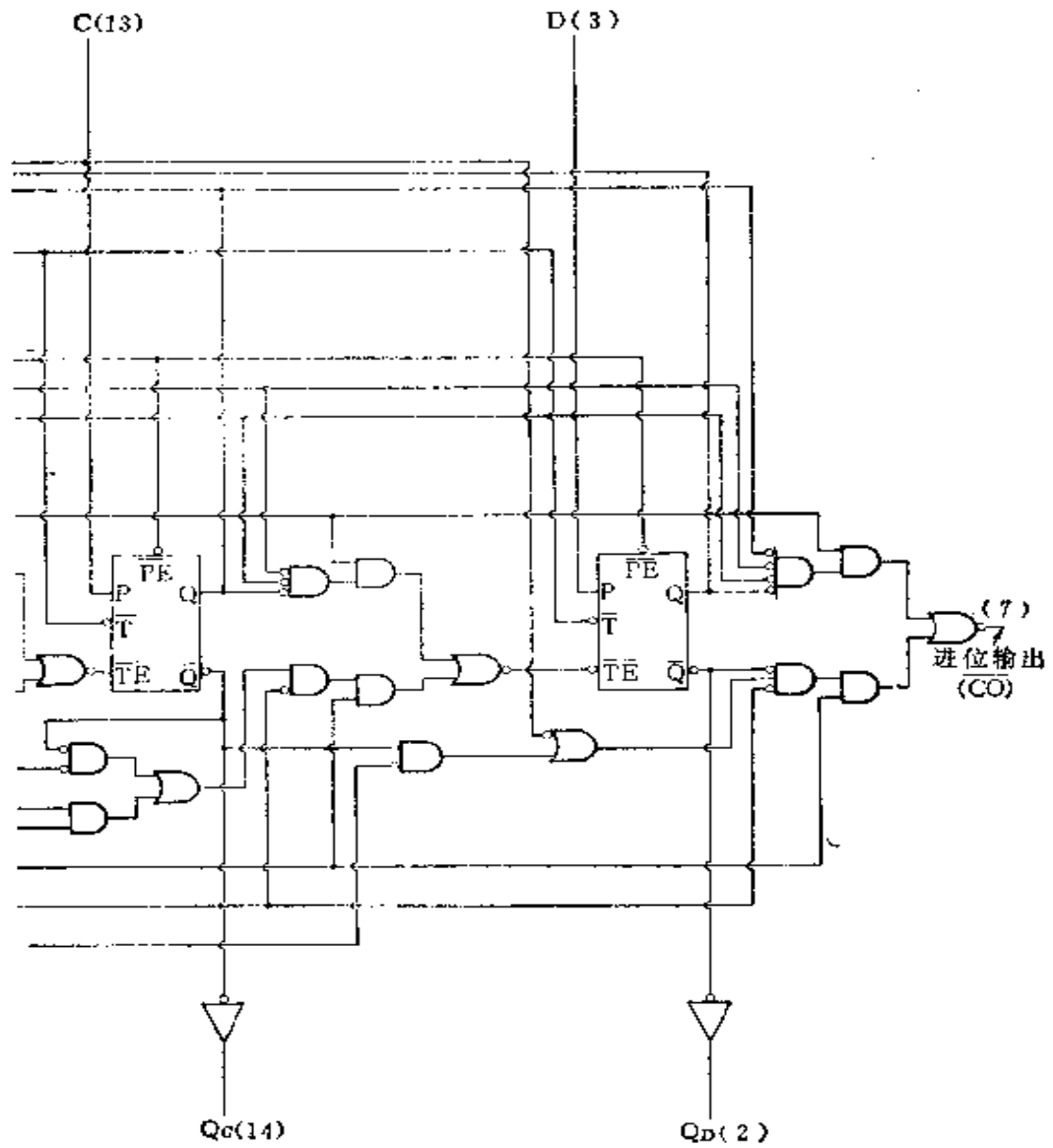


图3-24 一个 CMOS 递增/递减。



二进制/十进制，预置位计数器的逻辑图

钟 2 加上，而串行输入和时钟 1 封闭。在时钟 2 的下降边到达时，允许并行输入和并行输出。

对于左移位工作，并行输出反接到输入端，如图 3-23 所示，并且在 Q_A 获得串行输出。

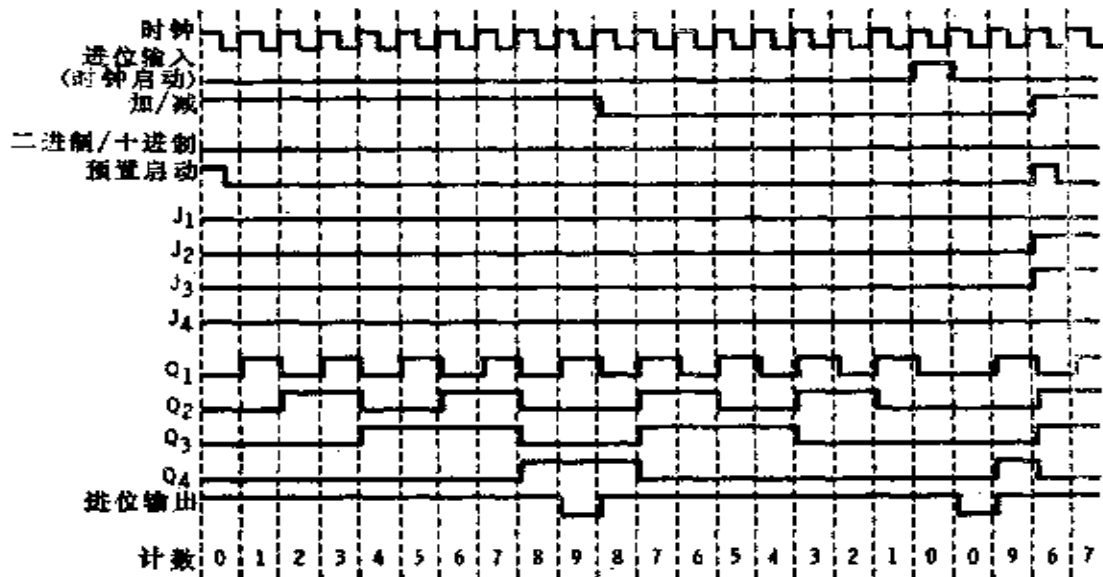
其他移位寄存器的工作与上述类似，但是可以包含允许清除寄存器到全 0 的电路或有 JK 型输入端。在这里 JK 输入端的状态能决定进入寄存器是 1 还是 0，即数据能够以倒相形式进入。

§ 3-6 CMOS 计数器

在 $V_{DD} = +10\text{V}$ 时，CMOS 计数器最高工作速度只能达到 5MHz 左右，而 $V_{DD} = +5\text{V}$ 时速度较低，但是能承担更复杂的功能。

图 3-24 所示的 4029 型计数器，将能在二进制或十进制下进行递增或递减计数，并能预置位到任何希望的数。时序图表示在图 3-25 中。这种电路较为复杂，可用图 3-26 的方框图表示。控制方块决定了电路中的四个触发器怎样工作。在图 3-27 的运算方式表里概述了控制方块的作用，当 B/\bar{D} 输入是高电平时，电路以二进制计数；当 B/\bar{D} 输入是低电平时，电路以十进制计数。当 U/\bar{D} 输入是高电平时，触发器递增计数；当 U/\bar{D} 是低电平时，触发器作递减计数。当 PE 是高电平时，触发器将各自置位于四个输入端 A 、 B 、 C 和 D 的电平；当 PE 是低电平时，电路允许由其他输入端确定的方式计数。输入端 $\bar{C}I$ 是从前一级来的低位的进位输入端。如果 $\bar{C}I$ 是低电平时，触发器将在时钟的下降边来到时计数；如果 $\bar{C}I$ 是高电平，计数

十进制



二进制

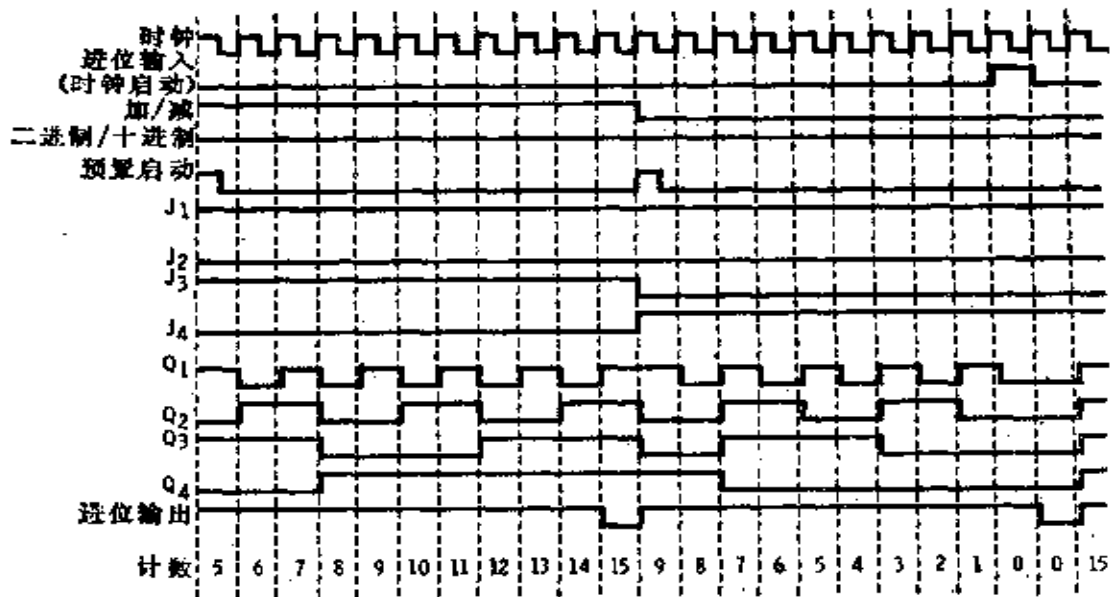


图3-25 图 3-24 计数器之定时图

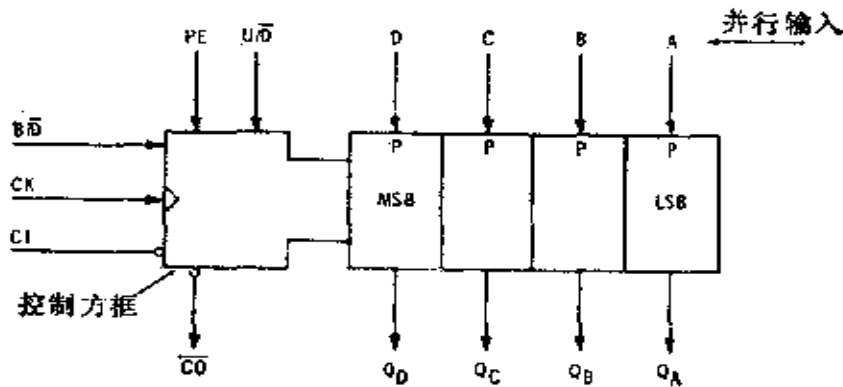


图3-26 图 3-24 计数器之方框图

被禁止。

当计数器连接到十进制计数时，如图 3-28 所示。当 C_1 计数满额时，产生的进位输出 CO 是低电平；于是每一次 C_1 计数满额时，允许一个数进入 C_2 。当计数器 C_2 计数满额时，同样允许一个数进入 C_3 ，于是计数完整。在图 3-28(a) 中，时钟并行加到所有的电路上，由此提供了最高的工作速度。行波时钟也能够使用，如图 3-28(b) 所示，它允许时钟有较长的上升和下降时间。

计数器中的每一个触发器的工作如图 3-29 所示。当 \overline{PE} 是低电平时，触发器随输入 P 变动，于是该级置位到并行输入端 (A , B , C 或 D) 的电平上。从图 3-24 注意到，当 \overline{PE} 是低电平时，如果 P 控制输出，它能驱动 \overline{T} 输入是低电平，这是触发器所需要的。当 \overline{PE} 是高电平时，触发器在 \overline{T} 向负向转换时，对输入端 \overline{TE} 有响应；如果 \overline{TE} 是高电平则输出

控制输入		运算方式
B/\overline{D}	H	二进制计数器
	L	十进制计数器
U/\overline{D}	H	计数加
	L	计数减
\overline{PE}	H	并行负载
	L	启动计数器
\overline{CI}	H	封闭计数器
	L	启动计数器

图3-27 运算方式表

Q不变，但是如果 \overline{TE} 是低电平的话，则Q变化。当输入端 \overline{T} 是高电平时，触发器稳定，对任何输入不予响应。

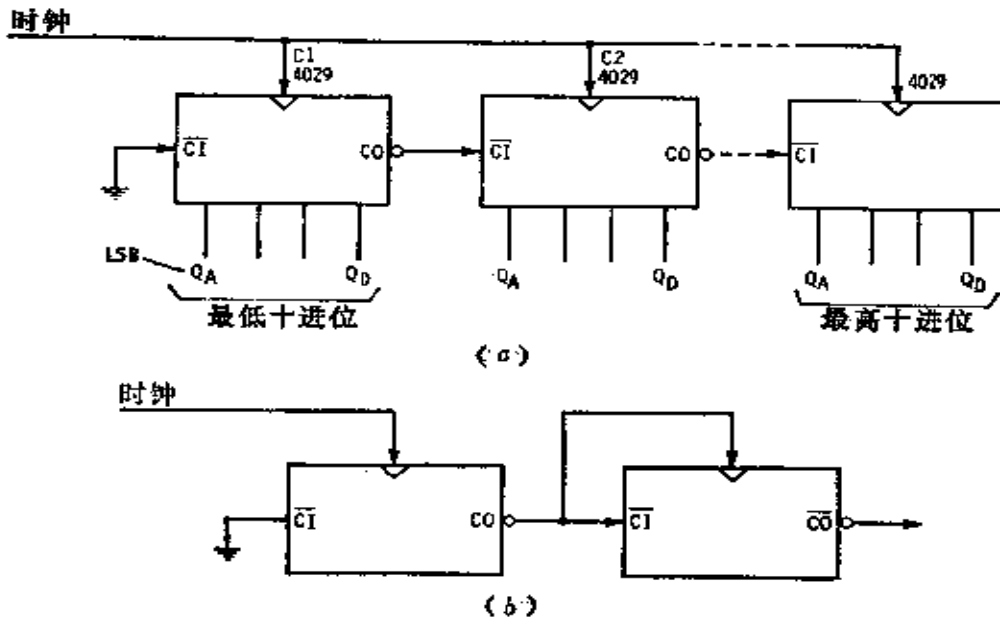


图3-28 用于十进制计数和行波计数的连接
(a) 十进制计数；(b) 行波计数。

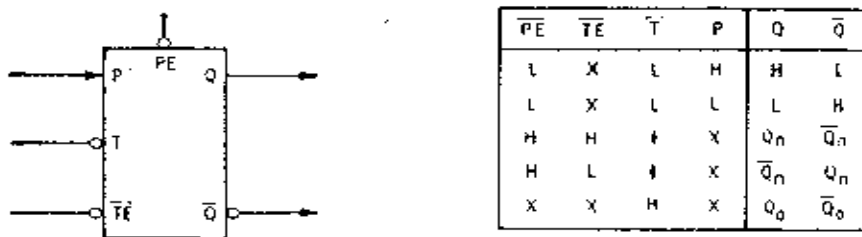


图3-29 计数器级和真值表

触发器的外部门起导引信号的作用，使计数器能按控制信号的规定进行操作。

约翰逊计数器 比前面所述稍微简单的一种计数器如图 3-30(a)所示。在这里一个 4017 型五级约翰逊计数器提供了依次趋向高电平十个输出。当复位是高电平时，所有触发器置位到 $Q = 0$ ，它由十个输出门译码。当 $E = A = 0$ 时，只有 Y_0 能满足条件，因而 Y_0 趋向高电平。

当启动时钟是低电平时，正向时钟变换输送到触发器。根据反馈作用，触发器跟随的顺序表示在图 3-30(b) 的真值表里。在第一个时钟变换时，触发器 A 进入 $Q = 1$ ，而所有其他触发器维持低电平。 $A = 1$ 和 $B = 0$ 的情况满足门 Y_1 ，它趋向高电平。而 Y_0 趋向低电平。随后把时钟信号送入电路，按规定改变触发器状态，而且每一个状态仅仅满足十个输出门中的一个。电路的工作类似于一个步进开关。注意进位输出 CO 在计数 0 时是高电平，并且保持它直至达到计数 5。

其他的计数器 在 54C/74C 系列中，有跟 4029 型同样的二进制计数器和十进制计数器，但是作为一种计数器，不能用那么多的方式工作。如果制造者决心这样做的话，一个通用的计数器能够用 54C/74C 构成。某些 CMOS 计数器也可以有三态输出，75C/85C55 型就是一个三态输出的能预置位的十进制计数器。

§ 3-7 CMOS 译码器

译码器和多路调制器的工作相似。主要区别是：译码器操作一组输入来驱动一个特定的输出或一组高（或低）电平的输出；但是多路调制器操作一组输入来选择一个特定的输

出, 然后再由决定的高(或低)电平驱动数据输入状态。在译码器里, 一组输入信号称为“编码”, 而在多路调制器里称作“地址”。

图 3-31 表示 54C/74C42 型的逻辑图, 它是一个把二-十进制转换到十进制的译码器; 电路工作十分简单。当输入 A 、 B 、 C 和 D 全部是 0 时, 输出端 0 被选择, 并趋向低电平, 但是所有其他的输出端均保持高电平。因为所有的输入是 0 时, G_2 是其两个输入端都为 0 的唯一门, 于是它趋向高电平而输出趋向低电平。对于其他的输入编码, 电路的响应表示在真值表里。

4028 型译码器(图中没有表示出), 除了在输出端有附加的倒相器外, 类似于 54C/74C42 型。结果, 译码输出趋向高电平, 但是其他均保持低电平。

图 3-32 所示的 54C/74C151 型是一个八通道多路调制器。三位数据选择输入信号只允许一个数据输入, 并通过电路传输到输出端。当选通脉冲输入是 0 时, G_1 和 G_2 跟随输入 C 自由变化, 而由逻辑提供被选择的数据。当选通脉冲输入是 1 时, 电路封闭数据输入, 而且 W 输出是低电平, Y 却是高电平。当选通脉冲输入是 0 且输入端 A 、 B 、 C 和 D 全部是 0 时, 这电路允许输入端 D_0 上的数据出现在输出端 W 上, 而 D_0 上的数据出现在 Y 上。随着输入地址的变化, 输出随选中的数据输入变化。

4512 型采用的线路稍有不同, 它是三态输出的八通道数据选择器或多路调制器。当传输门(图 3-33)在小圆圈一端输入是 0 而另一端它控制输入是 1 的情况下, 该门在信号的终端呈现低 Z ; 对于相反的控制输入, 是呈现高 Z 。当所有

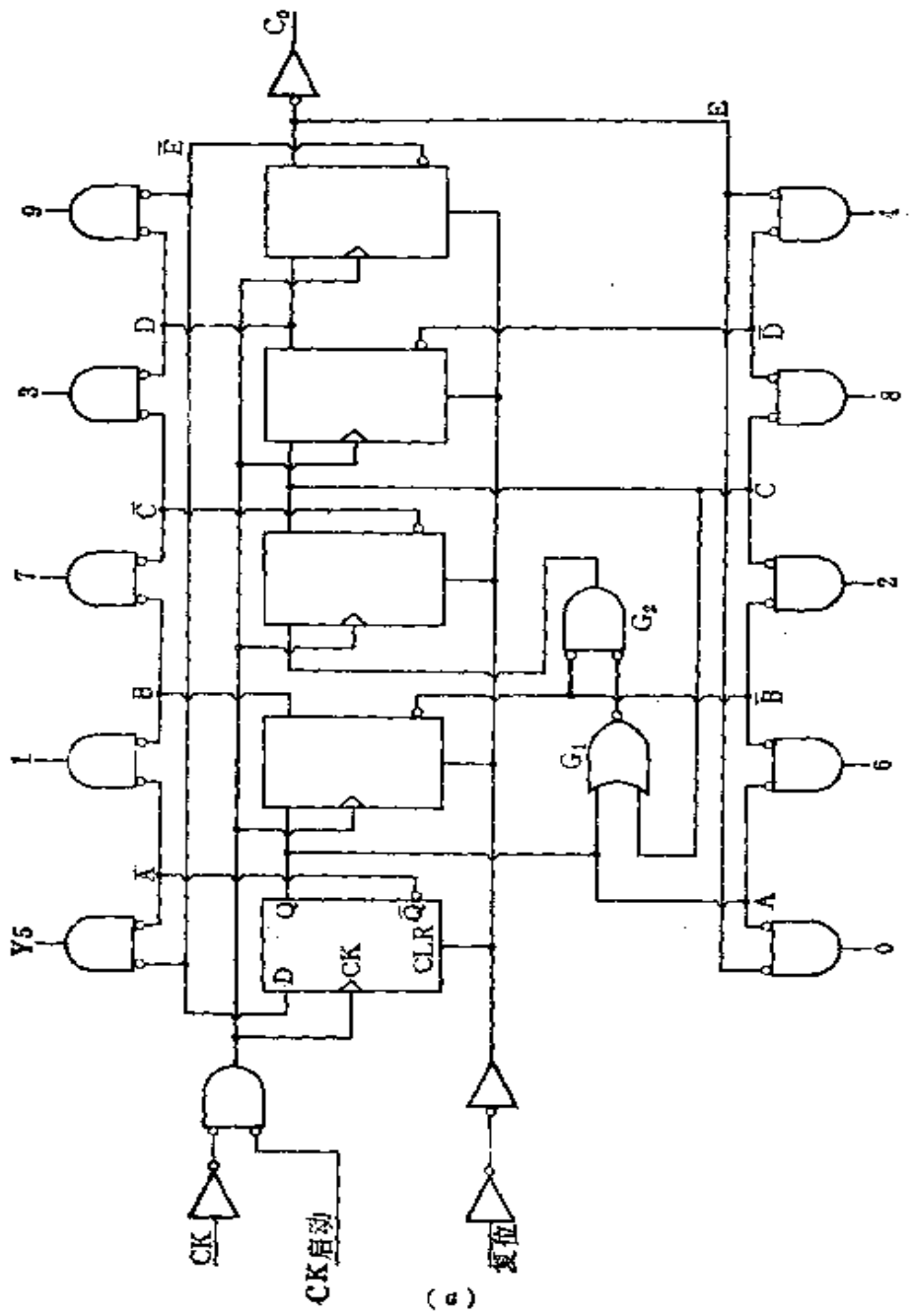


图3-30 4017型
(a)逻辑电路图

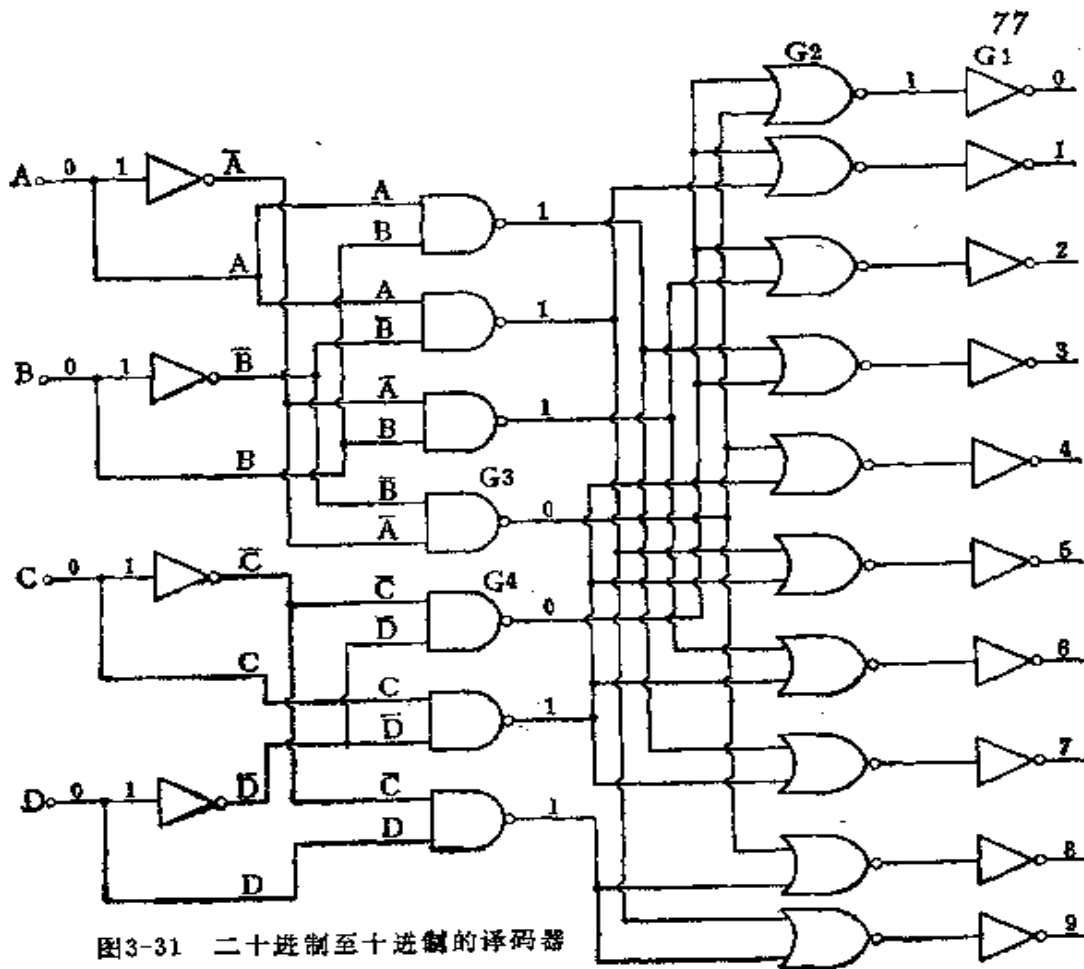


图3-31 二十进制至十进制的译码器

(在复位之后)

CKP	A	Ā	B	B̄	C	C̄	D	D̄	E	Ē	高 Y	CO
0	0	1	0	1	0	1	0	1	0	1	Y0	H
1	1	0	0	1	0	1	0	1	0	1	Y1	H
2	1	0	1	0	0	1	0	1	0	1	Y2	H
3	1	0	1	0	1	0	0	1	0	1	Y3	H
4	1	0	1	0	1	0	1	0	0	1	Y4	H
5	1	0	1	0	1	0	1	0	1	0	Y5	L
6	0	1	1	0	1	0	1	0	1	0	Y6	L
7	0	1	0	1	1	0	1	0	1	0	Y7	L
8	0	1	0	1	0	1	1	0	1	0	Y8	L
9	0	1	0	1	0	1	0	1	1	0	Y9	L

约翰逊计数器

(b) 真值表。

(b)

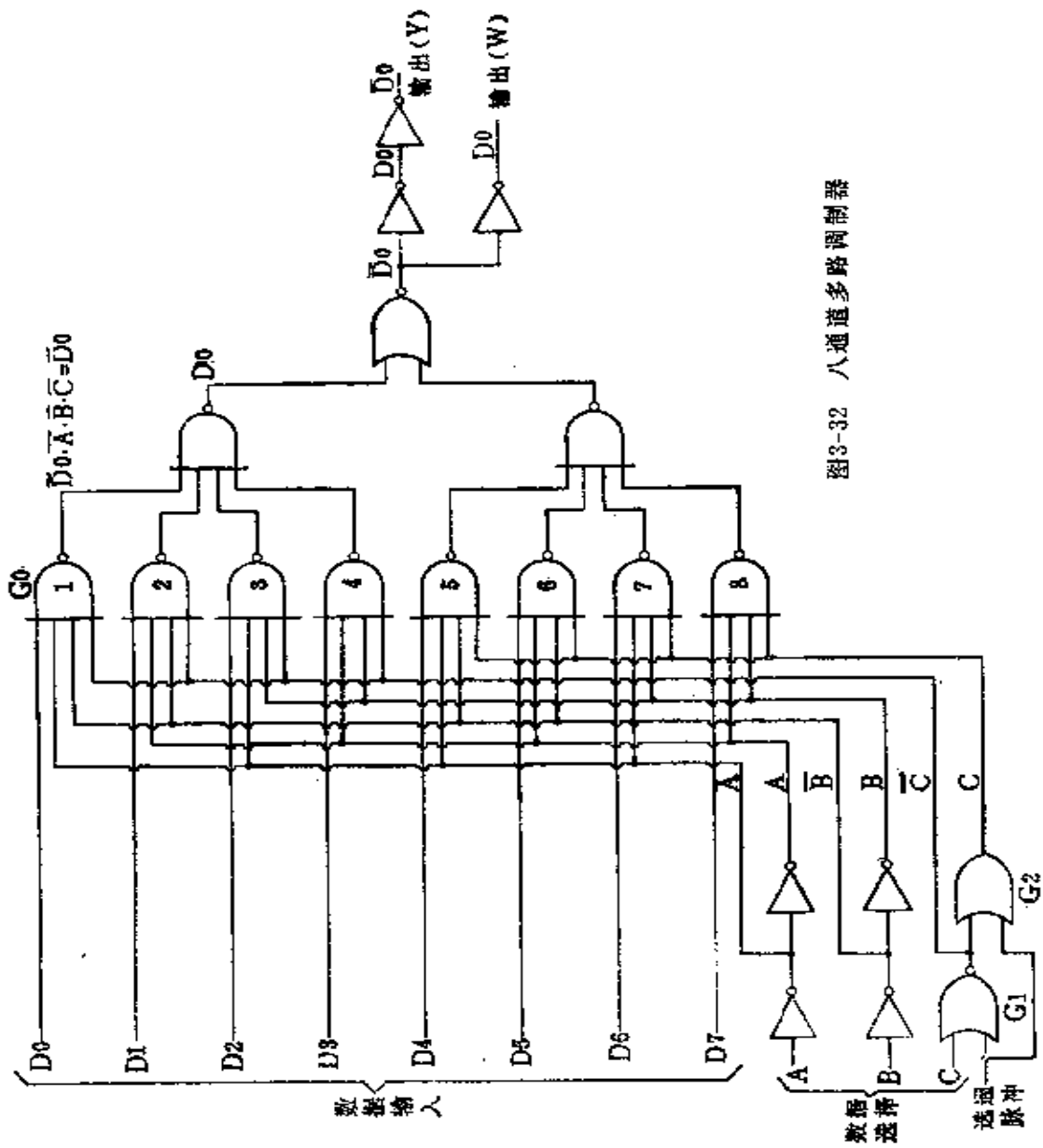


图3-32 八通道多路调制器

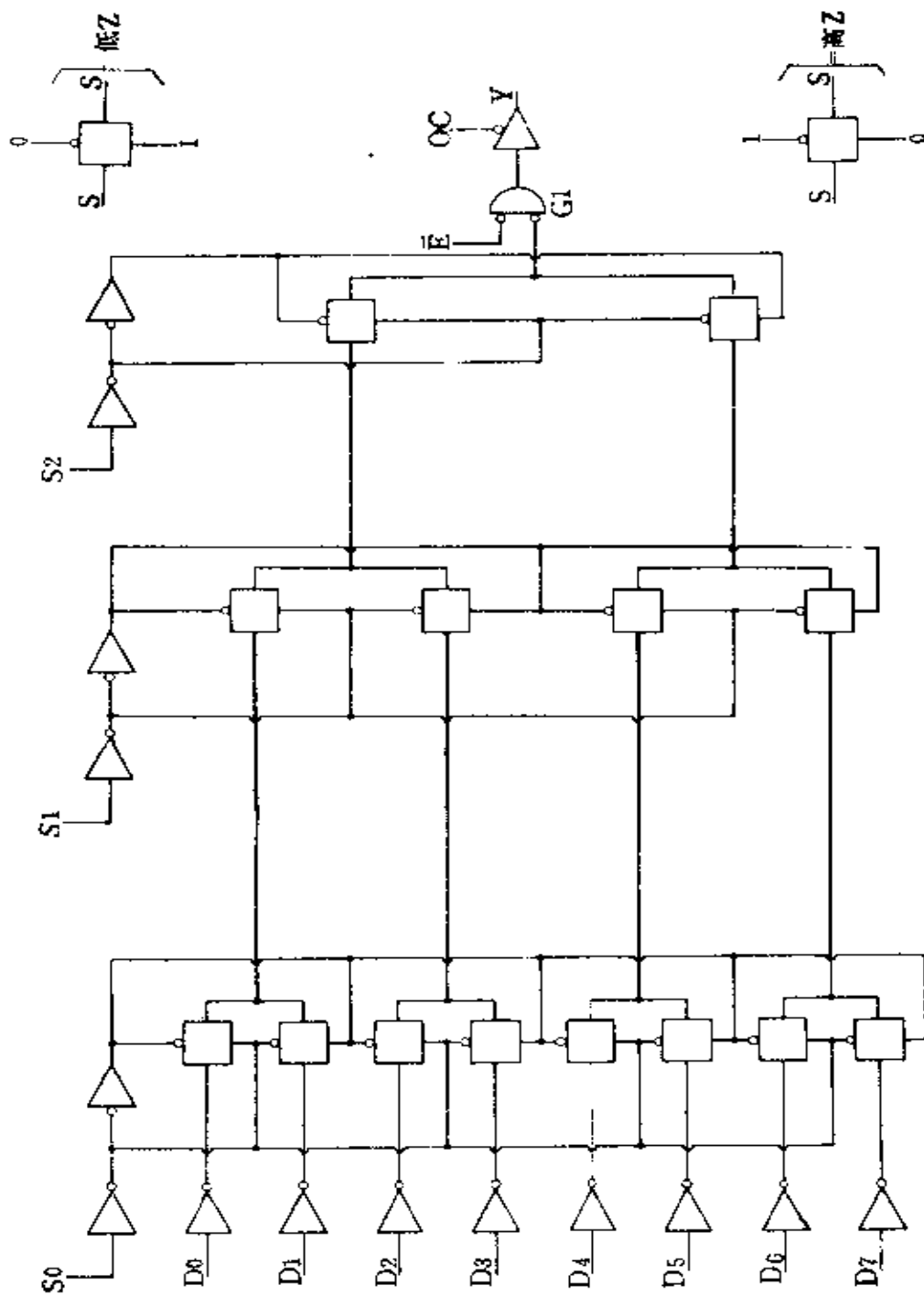


图 3-33 具有传输门的数选器

的地址输入端 S_0 、 S_1 和 S_2 是低电平时,从 D_0 到输出端线路里的三个传输门全处于低 Z 状态,但是所有其他的 D 信号由一个或几个高 Z 门封闭。如果启动 (\bar{E}) 输入是低电平,则 G_1 对选中的 D 输入自由响应。如果输出控制 (OC) 信号是低电平,输出 Y 和被选中的输入达到同样的电平。如果输出控制信号是高电平, Y 趋向高 Z 状态。

一旦数据输入信号通过相应的输入倒相器,在信号到达 G_1 中的另一放大级之前,必须通过三个串联的传输门。在一个集成电路中,通过这些门损失的信号是无关紧要的。应当记住传输门是不延迟信号的。

一个 54C/74C154 型的四线到十六线译码器/多路分离器表示在图 3-34 中。当控制输入端 G_1 和 G_2 均为 0 时,四个 G_X 门跟随相应的输入端 C 或 D 变化。十六个输出将根据输入编码来选择。如果 A 、 B 、 C 和 D 全部是 0,则选中输出端 0,而且是 0 电平,而其他输出端保持高电平。在选中输出端 0 时,让输入 G_2 趋向高电平,则输出端 0 也引向高电平。于是,被选中的输出将跟随 G_2 上的信号变化。依此类推,如果数据加到 G_1 上代替 G_2 ,结果是同样的。因此 G_1 或 G_2 能够用做数据输入端,但是其他的作为启动输入端使用。当启动输入端是低电平时,被选中的输出随数据输入变化。

用双极输出的 CMOS 译码器 CMOS 电路的输出阻抗比较高,所以 CMOS 电路不能很好地驱动需要几百微安以上的负载。因此,作为一种重要负载的显示管,它们大多数需要比 CMOS 输出级有更大的电流。

例如 4026 型,是一个作为十进制计数器、译码器和驱动

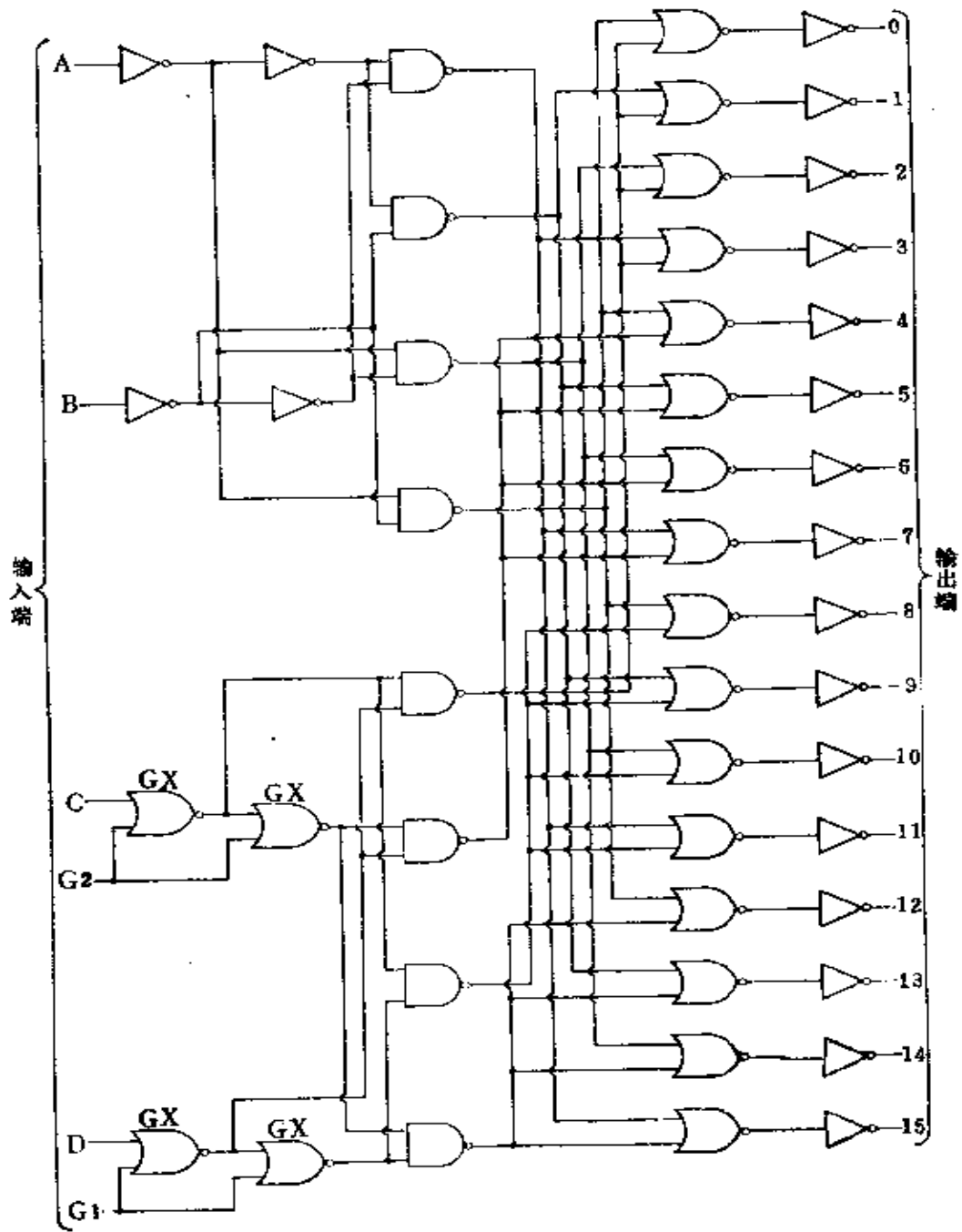


图3-34 四线到十六线译码器/多路分离器

低功耗七段显示的器件。其功能类似于TTL系列的54/74143型（类似TTL集成电路），但是这TTL集成电路对于每段能够有15mA的吸收电流，而CMOS集成电路只能有略高于0.6mA左右的吸收电流。为了提供较大的驱动能力，某些集成电路使复杂的CMOS逻辑与功率驱动的双极输出相结合。因此，4426型有双极达林顿输出，如图3-35(a)中所示，但是在其他方面都跟4026一样（工作特性稍有差别而非常相似的一对是

4033和4433型）。 $V_{DD} = +5V$ 时，每一个输出能驱动20mA电流；对于 V_{DD} 大于+5V， R_x 可以限制输出电流的最大值到60mA，或者限制管壳耗散功率的最大值到300mW。

图3-35(b)所示为另一种不同的双极输出电路，它用于14511型七段译码器/驱动器，可供25mA的电流。

无论什么时

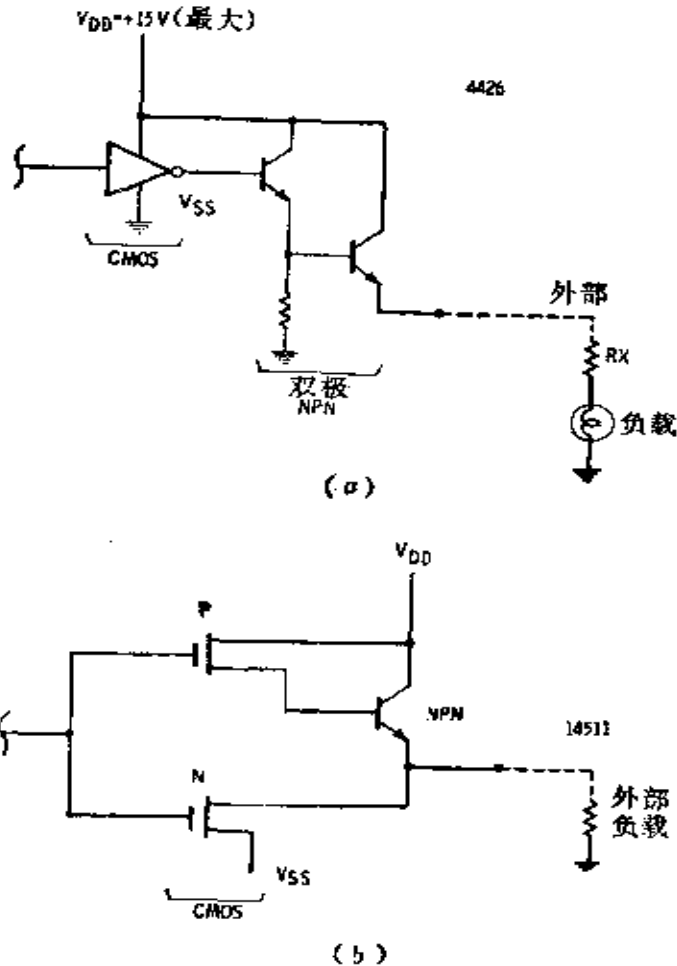


图3-35 用于CMOS逻辑的双极输出
(a)双极达林顿输出；(b)双极晶体管输出。

候，只要双极型和 MOS 型晶体管相结合而得到的最佳工作特性是有价值的，就可以把它们制作在同一集成电路里，但在制作的时候需要作一些特殊的工艺处理。两种工艺都用 PN 结作为起始点，因而是相容的。

§ 3-8 仿制 TTL 电路的 CMOS 电路

CMOS 54C/74C 系列集成电路和 TTL 54/74 系列集成电路之间等效，这是容易明白的。因为两个系列中的部件数量是相同的，而且这些相同数量的所有器件具有相同的管脚并执行等效的功能。显然，不能拨出一个 54/7400 插头插入一个 54C/74C00 插头，因为虽然电压电平是相容的，但是电流电平不同。

一个 54/7400 电路能驱动 10 个 TTL 输入，但是一个 54C/74C00 甚至不能驱动一个正规的 TTL 输入，至多能驱动两个低功率 TTL 负载。因此，如果把 54/74 TTL 里所有的器件用 54C/74C 器件取代——假定它们能够成立——随后电路的逻辑部分将正确的运行，但是必须修改输入和输出跟外界的连接。当然，CMOS 系列的工作速度也比 TTL 系列慢得多。

等效的情况也存在于 CMOS 4000 和 14500 系列跟其他逻辑电路之间。54C/74C 中的器件能作用在信号(正或负)的同一作用边上，如同 54/74 中同样的器件。在 4000 和 14500 中等价的器件不一定能作用在同一作用边上。

所有 CMOS 系列中的电路，适用于执行各种 TTL 系列中器件的大多数相同功能。可以期待大多数或全部的功能不仅可以在 TTL 电路里得到，也将在 54C/74C、4000 和 14500

系列器件和可能的其他 CMOS 系列里取得。这些功能包括大批各式各样的门电路、倒相器、缓冲器、触发器、数据选择器、移位寄存器、运算电路、比较器、多路调制器、优先编译器和译码器、门锁器、多谐振荡器、随机存取存储器 (RAM)、只读存储器 (ROM)、可编程序只读存储器 (PROM)、可寻址存储器 (CAM) 等等。尽管上述 CMOS 型和 TTL 型电路内部的逻辑可能不同，可是在许多情况下它们的真值表是一样的。

CMOS 集成电路可以在一块芯片上制作比 TTL 更复杂的电路，然而操作近似相同。CMOS 集成电路还具有一些特征，如三态输出。CMOS 集成电路越来越向数据存储器一类器件发展，如移位寄存器和各种存储器。例如 SCL 5533 型是一个由固体科学公司生产的 64 位 CAM。其工作类似 93402 型 16 位 TTL CAM。

第四章 PMOS 工艺

§ 4-1 PMOS 集成电路的特性

广泛实用的第一种 MOS 型 IC (集成电路),是采用 P 沟道增强型管子构成的。运用 PMOS 工艺制造的 IC 具有许多共同的特点,同时也有不少差别。现有许多不同 PMOS IC 的系列:有些采用高阈值管,另一些则采用低阈值管;有些采用金属栅而另一些采用硅栅;有些采用离子注入而另一些则不采用。PMOS IC 最主要的特性可归纳如下几点:

1. PMOS IC 工作在 -30V 左右的负电压下。PMOS 管的工作主要考虑电位差而不是电平的绝对值;假定一个电平是 100V 而另一个是 70V , 仍可满足其正常工作的要求。但是,当 PMOS IC 跟 TTL 等双极型电路一起工作时,问题就出现了:因为 TTL 的工作电压是 $+5\text{V}$ 和 0V , 而 PMOS 电路则要求 $+5\text{V}$ 和 -25V 。许多较新的 PMOS IC 使用 $+5\text{V}$ 和 -12V 电源,零伏点有时接有时不接。不过,即使电源能够公用,PMOS 和 TTL 的逻辑电平仍然是不相容的。

2. 绝大多数(但不是全部)PMOS IC 需要一种以上的电源。通常是采用 V_{SS} 作参考电平(典型值为 0V),并需要两个独立的电源 V_{DD} 和 V_{GG} 。而 V_{DD} 和 V_{GG} 往往不能取自简单的电阻分压器,因为它们一般都要求能独立调整 $\pm 5\%$ 。

3. PMOS IC 的工作速度比双极型器件慢。尽管某些新器件的存取时间为 100ns 左右,但大多数 PMOS IC 存储器

的存取时间为 500ns 左右。典型的双极型 TTL RAM，如 54/7484 型（十六位）的存取时间约为 20ns。标准 TTL 的 JK 触发器的翻转频率为 40MHz，而典型的 PMOS JK 触发器则只能保证 250kHz，速度差为 160:1。

4. PMOS 管能做得很小，因此在一块芯片上可放置许多管子。同时这些管子很容易在芯片上互连。但芯片与外部的连接则要占许多地方。因此，芯片的引出线应尽可能少，而芯片上的管子数应尽可能多。在高集成度时，调整行与列的排列方式以简化版图设计和掩模对准问题，有助于提高成品率。最符合这些要求的电路是移位寄存器和存储器。因而大量的 PMOS IC 产品是存储器。

5. 相当大部分 PMOS 移位寄存器和存储器是动态的，这意味着需要定期的时钟信号，有时采用 TTL 逻辑电平的单一时钟信号，但许多电路采用 PMOS 电平的二个相关的时钟信号，也有采用三个时钟信号的，少数则采用四个时钟信号的。动态电路的集成度很高，而且功耗小。但是动态电路需要外围电路，而且使用比较麻烦。

6. PMOS IC（以及其他 MOS IC）的输入电路具有较大的电容，这些电容的充电和放电电流将造成电流尖峰。如不做有效地抑制，就会耦合到邻近的或相连的电路，引起故障。由于电路中的耗电元件很少，由此很容易产生振荡。振荡可能造成个别电路出故障，也会通过传播影响别的电路。

因为尖峰电流主要在时钟瞬变时产生，所以平均电流是工作频率的函数。当在低频工作时，这算一个优点。当 PMOS 电路工作在最高频率附近时，它的平均功耗等效于低功耗 TTL 电路。

PMOS 的信号输入要求的电平有两种型式。一种是逻辑电平输入，如地址、数据输入、芯片选择等等，它们接近于双极型的逻辑电平，有时可直接使用双极型逻辑电平。有时，则采用加“上拉”（或“下拉”）电阻，并且也可以把电阻做在 PMOS IC 内。第二种输入型式是时钟，在某些场合下时钟输入信号可以用 TTL 电平，而在另一些情形下则必须是 PMOS 逻辑电平。

7. 许多 PMOS 电路的输出是电压电平——高或低——就像双极电路那样。为了获得能与 TTL 直接相容（跟用 PMOS 一样）的输出，人们曾付出巨大的努力，然而这个目标只是有时能达到，有时还达不到。PMOS 存储器主要部分的输出根本不是电压电平，而是电流的大小或者 H （或 L ）的脉冲。这些信号一般不能跟其他电路相容，在进一步使用前，必须放大并转换成电压电平。这些输出类似于磁芯存储器的输出。

PMOS IC 的输出阻抗比双极器件高，有些输出只能驱动一个低功耗 TTL 输入端（仅要求 $160\mu\text{A}$ ），有的能驱动一个标准 TTL 输入（ 1.6mA ），少数能驱动二个标准 TTL 输入。

§ 4-2 PMOS 基本电路

由于电阻所占的芯片面积比 MOS 管多，所以，在 P 沟道增强型 IC 中，公共负载元件是一个栅极加固定偏置的 MOS 管，从而使这个管子始终工作在导通区。采用这种型式的基本倒相器电路示于图 4-1(a) 和 (b)。

在图 4-1(a) 里， Q_L 栅连接 V_{DD} ，而在图 4-1(b) 中，

这个栅接到另一个负电源。当图 4-1(a) 中的 V_{IN} 为地电平时, Q_A 截止, V_O 趋近 V_{DD} 。 V_O 愈接近 V_{DD} , Q_{LA} 的栅-源电位差就愈小, 因而使 Q_{LA} 的阻抗增加。如果 V_O 趋于 V_{DD} , 则 Q_{LA} 就将截止。这种工作方式只能满足某些电路。不过, 要想驱动电容负载, Q_{LA} 的阻抗随 V_O 趋近 V_{DD} 而增加, 从而降低充电速率, 至使电路速度减慢。

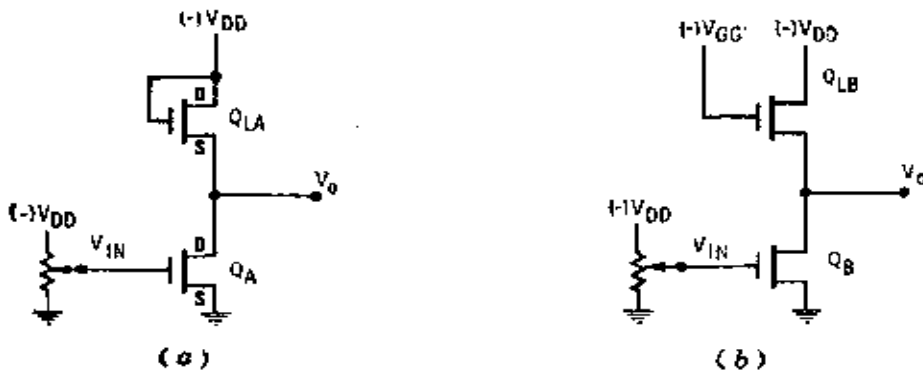


图4-1 PMOS 倒相器的基本电路
(a) 饱和方式; (b) 非饱和方式。

在图 4-1(b) 里, Q_{LB} 的栅电源 V_{GG} 比 V_{DD} 至少还负一个阈值, 因此当 V_O 趋近 V_{DD} 时, Q_{LB} 的阻抗只增加很少一点, 图 (b) 电路的工作速度就比图 (a) 电路快得多。这样, 电路 (a) 在饱和方式下工作, 而电路 (b) 则是在非饱和方式下工作。

虽然有的 IC 规定 V_{GG} 要求比 V_{DD} 负 10V, 但 V_{GG} 通常比 V_{DD} 大约负 5V。

当 Q_B 导通时, 它的阻抗必须比 Q_{LB} 低得多, 以便使 V_O 的振幅接近于 V_{DD} 到地。为了满足这个要求, Q_B 的实际尺寸应做得较大 (Q_A 也类似)。

用 PMOS 做成的简单门并不很多, 因这种工艺最适于

制作复杂电路。不过，仙童半导体公司生产的 3102 型（图 4-2），是一种可用各种途径连接成“或非”、“与非”以及其他电路的三输入 PMOS 门。衬底或本体是电压参考点，或 0V，所有管子的源和漏是 P 型材料，因此源、漏相对于衬底只允许有 0.3V 的正电压，而其余各端的击穿电压可达 -35V。但正常工作时， V_{DD} 为 -10 到 -27V，这其余各端起输入和输出的作用。

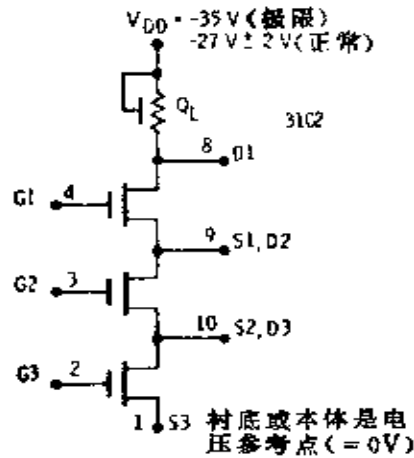


图4-2 PMOS 逻辑门

电路由四管组成， Q_L 固定连接作为其余三个管的负载。 Q_L 的电阻为 140k Ω ；如果 V_{DD} 为 -25V， D_1 端接地，流经 Q_L 的电流约 180 μ A。

当电路按图 4-3(a) 连接时就成为三输入“与非”门。如果三个管都导通，且每支管子的阻抗约 500 Ω ，则管脚八（即 Y）的输出电压约为 $[1500/(140,000 + 1500)] \times 27 = 0.286V$ 。Y 端的实际电压将取决于电路所需吸收电流的大小。如果吸收电流是 1mA，则 Y 端电压为 $0.286 + 1.5 = 1.78V$ 。

当连接成图 4-3(b) 那样，就是一个三输入“或非”门。三管中只要有一个导通，输出 Y 就趋向低电平。

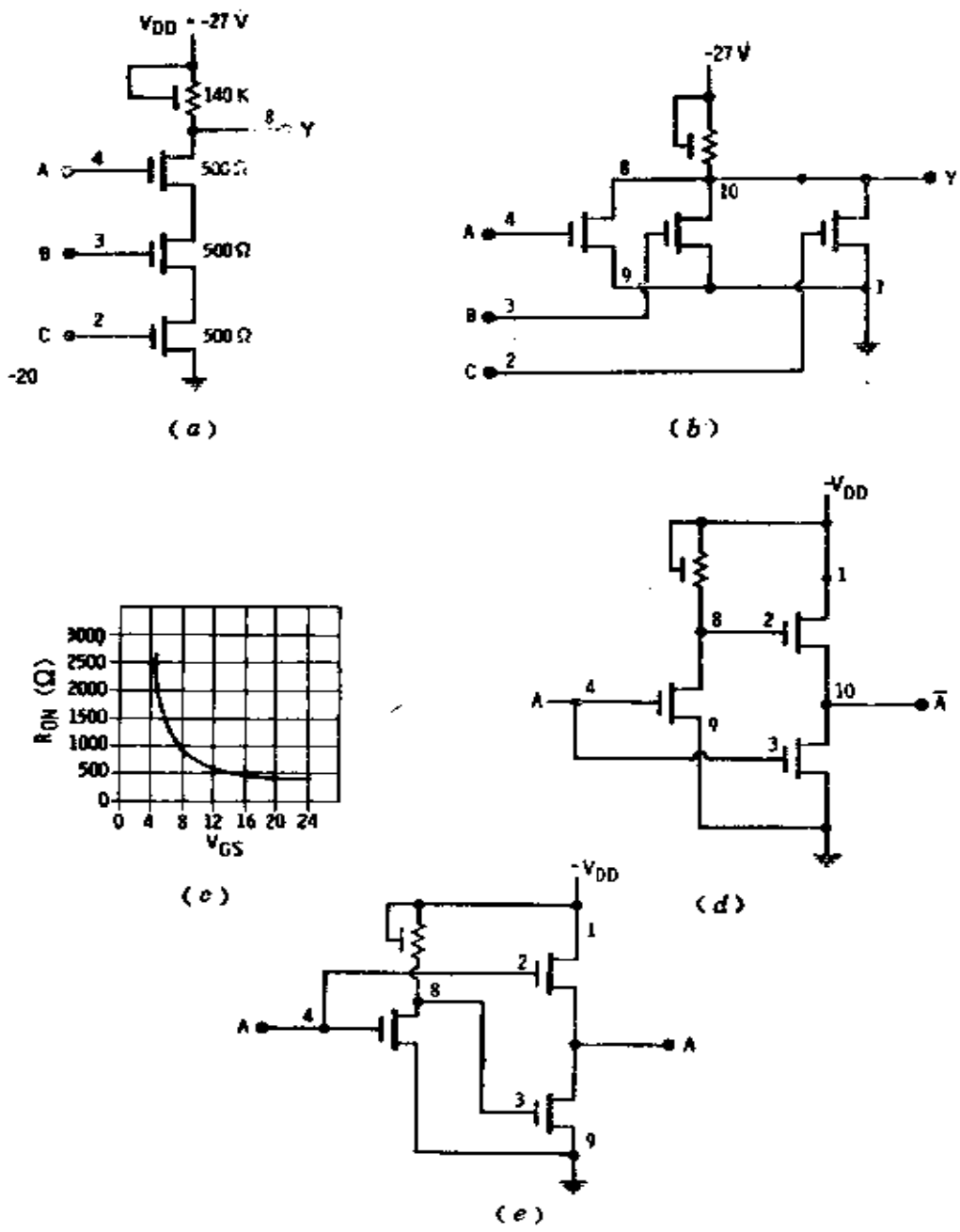


图4-3 三输入端 PMOS 逻辑门

(a)“与非”门；(b)“或非”门；(c)管子导通的电压变化；
 (d)倒相缓冲器；(e)非倒相缓冲器。

图 4-3(c) 给出了管子导通所要求的栅电压大小。当栅对源为 -5V 时, 管子开始导通, 电阻约为 $2\text{k}\Omega$ 。此后, 随着栅源电压差增加, 导通电阻降低到 400Ω 。这些门的逻辑电平是: 高电平从 0 到 -2V , 低电平从 -9 到 -20V ($V_{DD} = -27\text{V}$)。

器件还可作为倒相缓冲器〔图 4-4(d)〕或非倒相缓冲器〔图 4-4(e)〕。由几个这样的器件还可构成其他简单的逻辑电路。

§ 4-3 半导体存储器 and 存储器成本

由于执行存储器功能的 MOS 电路如此之多, 因而有必要考虑存储器的某些总的特性。存储数字数据的成本受到许多因素的影响。这些因素包括可以转换成数字形式并无限保存的信息之总量。此外对于某种信息而言, 为保存信息所必需的位数可能是很高的, 例如用数字方式来记录交响乐队的演奏。

人耳听觉的平均上限是 17kHz 。要使数字记录能精确的再现这种波形, 则音频信号里的每个波形必须至少取样两次 (以防止所谓混淆或频率折叠误差), 也就是说每秒应采样 $34,000$ 次。如果要求高保真地记录, 则每次取样必须尽可能精确。假如每次取样数字化成十位, 则精度将达到一千零二十四分之一, 即大约 0.124% 。因此, 每秒应记录 $34,000$ 个字, 每个字是 10 位。也即每秒 $340,000$ 位或每分钟 $20,400,000$ 位。一小时的交响乐曲将相当于 $1,224,000,000$ 位或 1.224×10^9 位。

只要化费 5 美元可买到一个能放一小时音乐的模拟磁

盘。以美分/位来表示的成本是 $500 \text{ 美分} / 1.244 \times 10^6 \text{ 位} = 4.08 \times 10^{-7} \text{ 美分/位}$ 。这比发表的最佳的半导体存储器的成本约便宜一百万倍。计算机的磁带每个平方英寸可储存大约一百万位，这就是说一小时音乐需要 1224 平方英寸的磁带。即需要宽 1 英寸长 100 英尺的磁带——虽然比较贵，但还可以接受。

数字存储器（不论是半导体的或磁性的或其他）的成本常用美分/位表示。这是个有用的数字，但并不是整个记忆装置的全部。存储器本身和使用存储器的总成本可通过下列表达式来估算：

$$\begin{aligned}
 \text{存储器成本} = & (\text{位数}) \times (\text{每个位的成本}) \\
 & + \text{存储器所必需的外围电路的成本} \\
 & + \text{电源的成本} \\
 & + \text{冷却设备的成本} \\
 & + (\text{每小时运行成本}) \times (\text{运行小时数}) \\
 & + \text{整个存储系统的维修费用} \\
 & + \text{制造系统所需的时间折算的成本} \\
 & + \text{设计系统所需的时间折算的成本} \\
 & + \text{待定因素 (下一年将提供些什么? 为市场} \\
 & \quad \text{准备什么新工艺? 最近又做了些什么? 等等)}
 \end{aligned}$$

计算存储器的成本是为提醒你，看你是否买得起？如果成本是一百万而你只有十万，那就提也不必提。一个存储器的价值无例外地取决于人们如何去使用它。这个价值可以用总成本的每个美元的工作次数表示（当然假定工作从一开始就是有价值的，存储器能够做到这一点）。

$$\text{存储器价值} = (\text{工作次数}) / (\text{总成本})$$

工作次数是存储器读出时的取数时间、写入时的周期时间和工作小时数的函数。

因此，存储器系统设计者就可以采用很多不同的方案来提高存储器的价值。例如使机器工作速度快一些或使停机时间少一些，或购买和运行费用少一些。对取数时间或周期时间稍微作些改进，最终可能大大地提高存储器的价值。

在大型存储器的成本表达式中，起决定作用的是每位的成本。由于位数很大，使其他各项对总成本的影响变得很小（可靠性除外，因为停机时间影响极大）。因此，如果改善外围电路能带来成本/位的降低，同时又不减慢计算机的速度，也不增加停机时间的话，则可以采用相当复杂的外围电路。这样，半导体存储器已变得越来越重要了，因为它比磁心存储器快，况且现在成本/位也下降了。

在小型存储器中，主要要求操作简单，容易掌握。因此希望外围电路少，以及电源设备尽量小些。在这种情况下，成本/位就不太重要了。在为远距离、长时间运行并使用电池供电而设计的存储器中，则主要要求运行功耗低，并且有最高的可靠性。

可以通过许多方法来降低成本/位，并且已发展了不少半导体线路。动态 PMOS 存储器由于成本/位低而获得了发展，但它需要复杂的外围电路。NMOS 存储器改进了读写时间，并可在简单的电源下工作，但开始时制造比较困难。CMOS 存储器价格比较昂贵，但是可以使用简单的外围电路，甚至于根本不用。而各种双极型存储器提供了很高的速度。

§ 4-4 PMOS 动态与静态移位寄存器

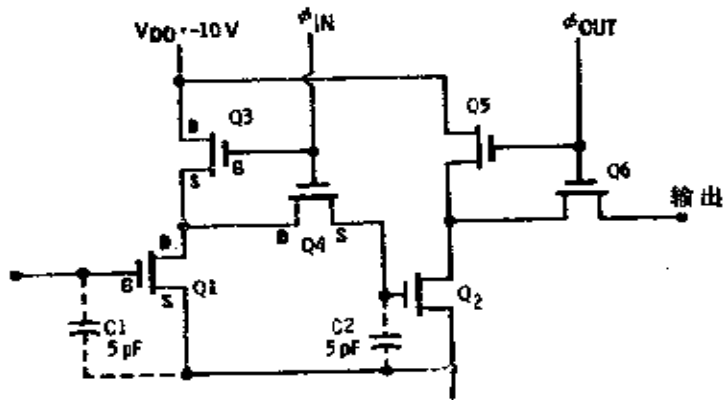
移位寄存器有动态和静态两种型式，动态的省电，但必须定期刷新，否则数据就会丢失。静态寄存器耗电大但外围电路简单。

动态移位寄存器的基本存储电路示于图 4-4(a)。电容 C_1 和 C_2 是单元的存储器件，实际上就是 MOS 管 Q_1 和 Q_2 通常的输入电容。电路中的其他电容不起任何有效的作用，因此没有标出来。

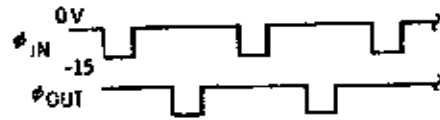
在静态下，时钟信号 ϕ_{IN} 和 ϕ_{OUT} (时钟信号在 MOS 文献中通常用 ϕ 表示) 都是高电平 (0 V)，这使 MOS 管 Q_3 、 Q_4 、 Q_5 和 Q_6 全部处于高阻状态。假如省略这四个管子重画电路，则如图 4-4(c) 所示。如果 C_1 保持适当极性的电荷，则 Q_1 就导通；如果 C_1 无电荷， Q_1 将截止。对于 Q_2 也一样。

如果时钟信号 ϕ_{IN} 朝向 -15V 时，如时钟波形图所示，则当 ϕ_{IN} 达到 -15V 时， Q_5 导通，起负载管作用， Q_4 也导通，起开关作用。把点 X 接到 C_2 ，此时，假定 C_1 充电 (Q_1 栅上是负电压)，则 Q_1 就导通， X 点引到地；结果使 C_2 放电。另一方面假如 C_1 未充电， Q_1 是高阻抗，点 X 接近 V_{DD} ，因而使 C_2 充电。可以看出 Q_3 和 Q_1 形成一个倒相器，而 Q_4 的作用像一个开关 [图 4-4(d)]；倒相器和开关只有在 ϕ_{IN} 为 -15V 的情况下才动作。

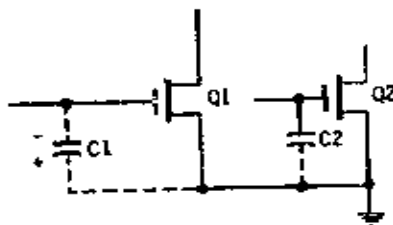
电路的另外一半同这半边完全一样，由 Q_5 和 Q_2 组成倒相器， Q_6 作开关。当 ϕ_{OUT} 朝向 -15V 时，产生一个输出，其极性与 C_2 相反，但同 C_1 (在 ϕ_{IN} 达到 -15V 时) 电荷极性相同。



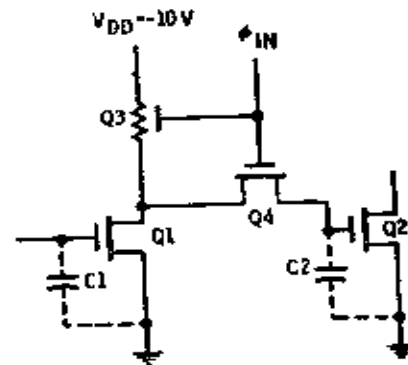
(a)



(b)



(c)



(d)

图4-4 动态移位寄存器

(a) 基本存储单元; (b) 时钟波形;
(c) 省略四个管子后的电路; (d) 动作状态。

每当一个 ϕ_{IN} 信号来到，单元就把输入的数据 1 或 0 存入到 C_2 里。而每来一个 ϕ_{OUT} 信号，这些数据就转移到输出级并作为下一级 C_1 的输入信号。各个独立的单元，可以像链条一样连接起来形成少至几位，多到 1024 位以上的移位寄存器。

采用上述单元的简单移位寄存器如图 4-5 所示。它是西格内蒂斯公司研制的 2506 型双百位动态移位寄存器，它带有输入和输出缓冲倒相器。输出实际上只是倒相级下面那个晶体管，因而称为无屏蔽的漏输出。无屏蔽漏极很易于与其

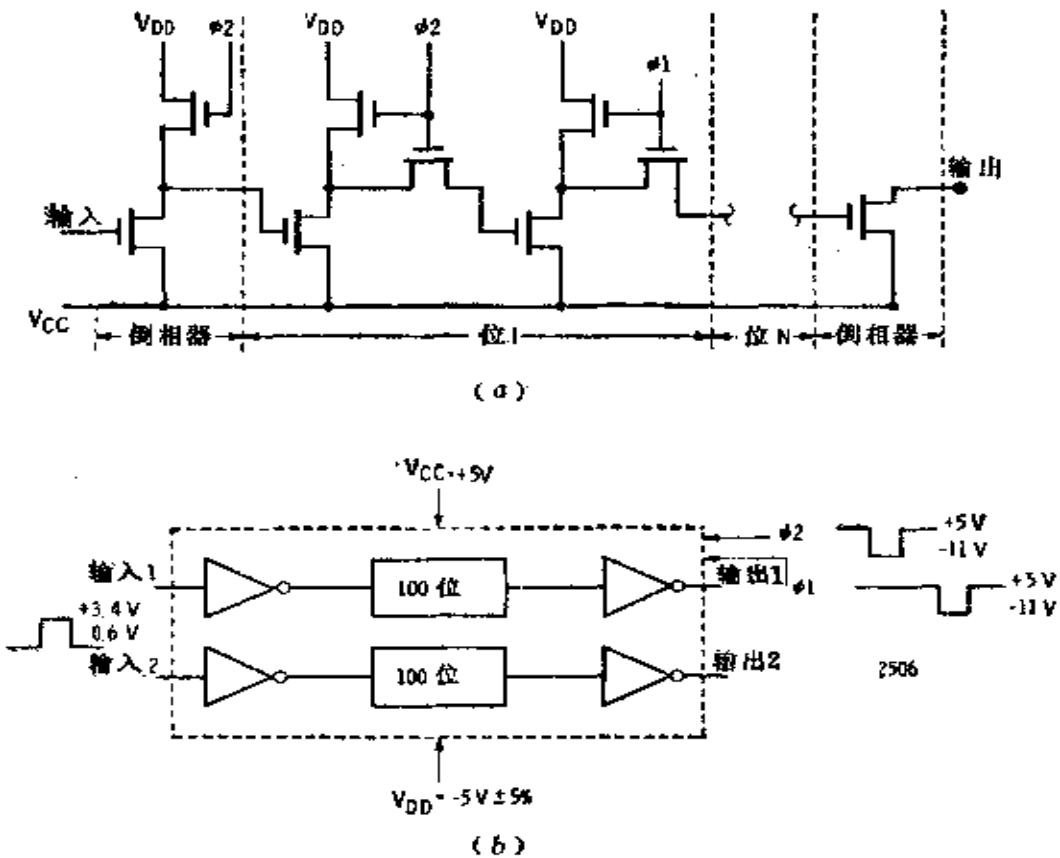


图4-5 PMOS 双百位动态移位寄存器
(a) 电路；(b) 逻辑方框图。

他逻辑系列接口，同时也允许很多移位寄存器的输出以“或连接”（or-tie）方式连在一起。

同 TTL 系统一样， V_{CC} 规定为 +5V。而 V_{DD} 规定为 -5V，两个时钟信号摆幅为 +5~-11V。在这些电压下，逻辑 1 的输入电平 $\geq +3.2V$ ；逻辑 0 的输入电平 $\leq +1.05V$ 。输出为 +5V 和 0V。如果 V_{CC} 调到 0V，则 V_{DD} 应为 -10V，而时钟摆幅应为 0~-16V。在这些范围里，逻辑 1 的输入应为 -1.8V~0V；逻辑 0 的输入低于 -4.4V，但不低于 -10V。

图 4-6 示出的是 2524 型 512 位动态移位寄存器，其芯片上带有附加控制逻辑。在读数控制加到 +5V 时读出数据。当输出时钟 ϕ_1 朝向低电平时， G_1 导通，并使 G_2 跟随存储器中的最后一位数据变化。如果最后一位是 0，则 Y 便是 0，而最后一位是 1 则 Y 也是 1。当读数控制是低电平时， Y 保持低电平。

为了写入数据，写数控制加到 +5V。当 ϕ_2 趋向低电平时， G_3 导通，并使 G_4 跟随数据变化。当 G_3 朝向高电平时驱动 G_6 趋向低电平， G_6 依次驱动 G_7 趋向低电平，使 G_5 导通，随着 G_4 变化。因此新数据可以随每个时钟信号而写入寄存器中。要注意的是：读、写可以同时出现高电平，即允许读、写同时进行。但刚写入的那一位不能在输出端立即读出，必须经过 512 个时钟周期以后才能读出（对双相时钟而言，一个时钟周期等于 ϕ_1 的一个脉冲加 ϕ_2 的一个脉冲）。

当写数控制是 0 时， G_4 阻塞输入数据，同时 G_7 和 G_5 随着寄存器中最后一位数据变化。在这种模式下，储存在寄存器的数据以时钟速率持续地循环。在字长八位的系统中，512 位寄存器可操作 $512/8=64$ 个字。在寄存器内，字与字

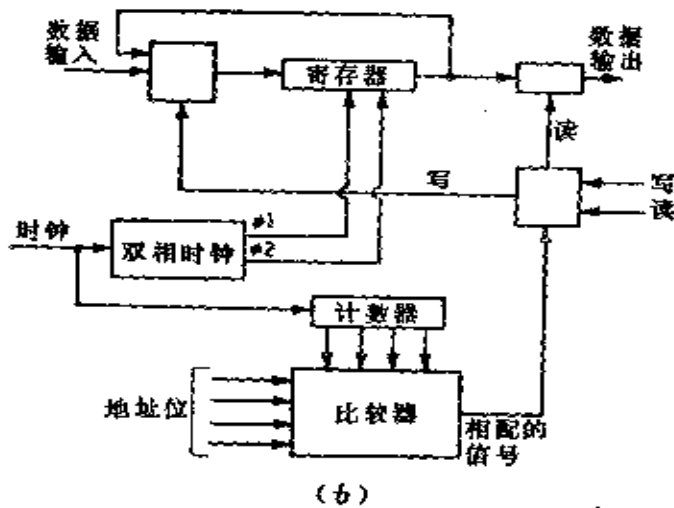
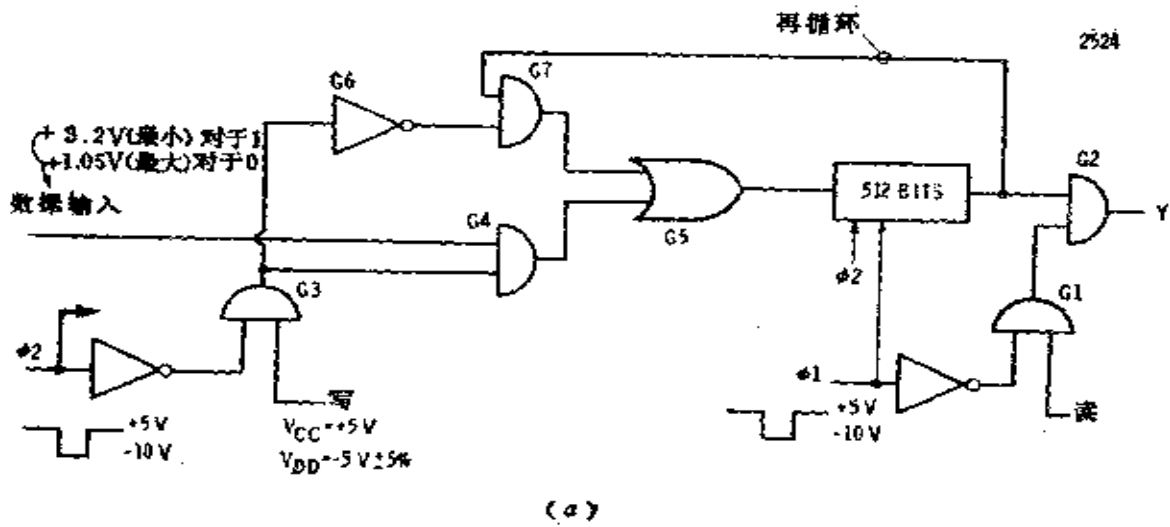


图4-6 转圈循环式 PMOS 动态移位寄存器

(a) 寄存器逻辑; (b) 高速的暂存移位寄存器。

之间变化是不明显的。因此，为了检出给定的字首，需要另外加电路通过特征字检出或通过地址系统保持跟踪〔图 4-6 (b)〕。计数器负责跟踪寄存器各位的所在位置，地址位确定所要的那个字。当比较器检出计数器和地址相符时，它就允许读出所要的那个字或把新字写入到指定位置上。采用这

种方法时，使系统形成为高速度的暂存存储器。

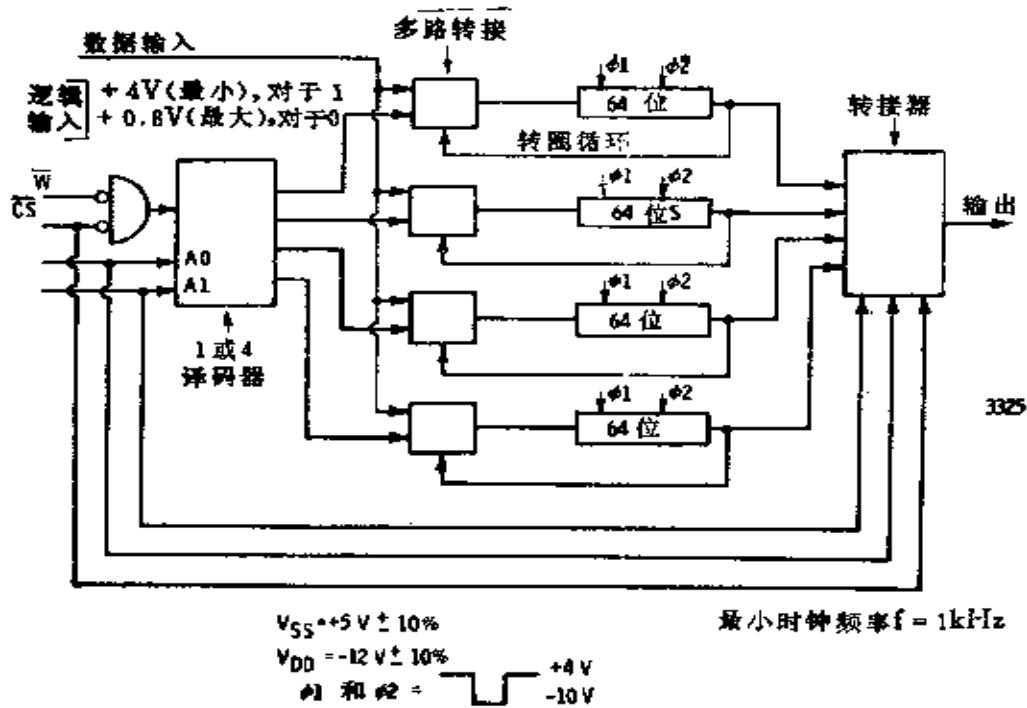
多路转换的移位寄存器 移位寄存器可组合成多种型式来存储数据，并且使得它在指令上适用。仙童半导体公司制造的 3325 型（图 4-7）是由四个 64 位寄存器加输入输出控制逻辑构成的。

当片选信号是高电平时，输入译码器和输出被禁止，输出朝高电平并停留在那里，同时四个寄存器中的数据按双相时钟循环。寄存器中的数据应具有特性字或由外加电路跟踪。当片选信号趋向低电平时，输出多路转换器被关闭，而四个寄存器中的某一个将由地址输入线上的任何信号来选择。从选中的寄存器来的数据，通过输出转换器馈出，同时四个寄存器持续地以循环方式工作。

如果片选信号是低电平时同时使写输入引向低电平，新数据就写入所选的寄存器中。其余三个未选中的寄存器仍保持循环方式工作。

可与双极型相容的输入 多数 PMOS 寄存器要求的输入逻辑摆幅比 DTL 或 TTL 等双极型逻辑高得多。为使这些双极型电路的输出适应 PMOS 的要求，某些 PMOS IC 采用一个特性的输入管作上拉电阻。当 Q_1 栅（图 4-8）接地时，其他各点电压如图所示，该电路就能在双极型门电路的驱动下正常工作。而当电路是由另一个信号电平相近的 PMOS 驱动时， Q_1 栅就应接到 V_{SS} ；这时 Q_1 被截止，它对输入信号而言等于不存在。这个电路的输出信号对 DTL、TTL 或同类型的 PMOS 器件都是合适的。

静态移位寄存器 假如供给动态移位寄存器的时钟信号低于规定的最低速率，存储的数据就将丢失。为了使时钟速



(a)

\overline{CS} (芯片选择)	写输入	数据输入	输出
H	X	X	H
L	H	X	随选择寄存器
L	L	参加选择寄存器	随选择寄存器

注: X = 任意态。

(b)

图4-7 四个64位PMOS多路转换移位寄存器

(a) 方框图; (b) 工作情况。

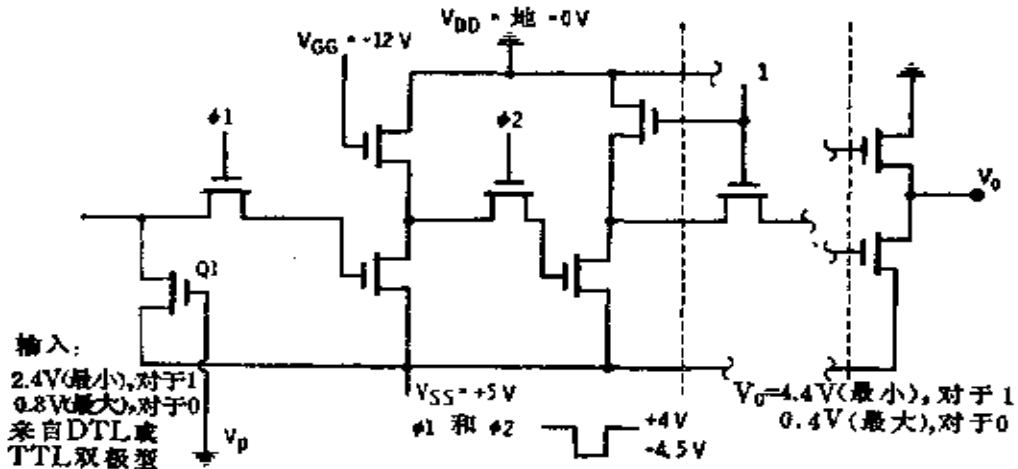


图4-8 可与双极型相容的输入和输出

率能低到零（或直流），发展了静态移位寄存器。只要电源电压维持在额定值内，静态寄存器便能无限制地保存数据。

广泛用于静态移位寄存器的典型单元电路示于图4-9（a）。初看起来这个电路所要的时钟信号不是一个而是三个： ϕ_1 、 ϕ_2 和 ϕ_3 。这是正常工作确实需要的，但并不是静态方式存储数据的情况。晶体管 Q_2 和 Q_6 分别用作 Q_3 和 Q_7 。

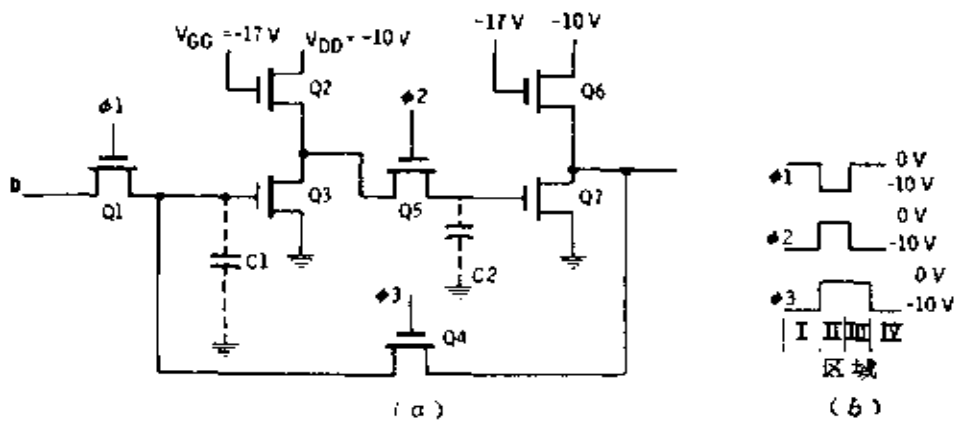


图4-9 静态 PMOS 移位寄存器单元
(a) 单元电路；(b) 时钟波形。

的负载，而 Q_1 、 Q_2 和 Q_4 同时又用作开关。因此电路由两个有好几种连接方式的倒相器构成。

从图 4-9 (b) 所示的三个时钟波形可见，它们彼此是密切相关的。当 ϕ_1 是高电平， ϕ_2 就是低电平，反之亦然。除了 ϕ_3 停在高电平的时间稍长这点之外， ϕ_3 均跟随 ϕ_2 变化。当电路处在区域 I 时， ϕ_1 是高电平， ϕ_2 和 ϕ_3 都是低电平。由于管子是 P 沟道器件，所以当栅上所加的时钟信号趋近低电平时，管子导通。因此 Q_1 是高 Z 而 Q_4 和 Q_5 是低 Z (见图 4-10)。这时电路是两个被封锁上的倒相器，示于图 4-11 (a)。在区域 II 里， ϕ_1 是低电平， ϕ_2 和 ϕ_3 为高电平，电路变成由两个互相隔开的倒相器构成，如图 4-11 (b) 所示。这时输入

区域	ϕ_1	ϕ_2	ϕ_3	Q_1	Q_4	Q_5
I	H	L	L	高 Z	低 Z	低 Z
II	L	H	H	低 Z	高 Z	高 Z
III	H	L	H	高 Z	低 Z	低 Z
IV	H	L	L	高 Z	低 Z	低 Z

图 4-10 图 4-9 寄存器单元的工作模式

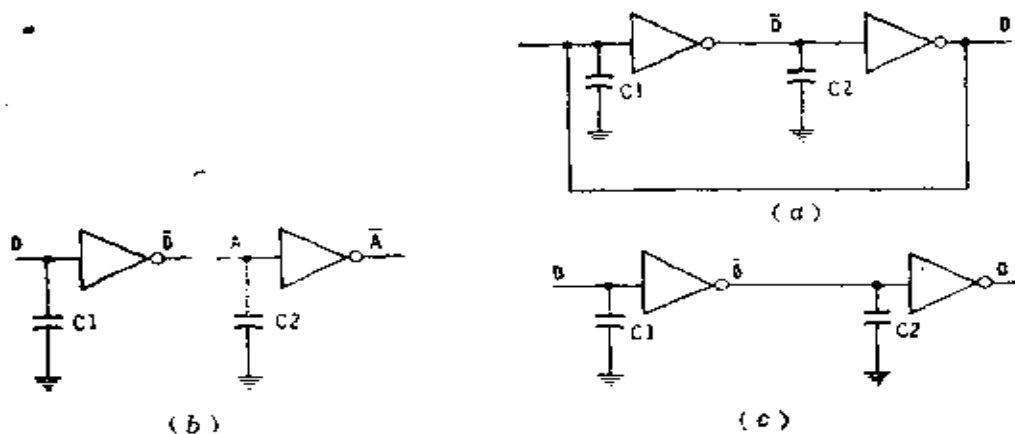


图 4-11 图 4-9 所示寄存器单元的倒相器运用
(a) I 和 IV 区；(b) II 区；(c) III 区。

倒相器随 D 变化给出 \bar{D} ，同时输出倒相器保持在以前的同样状态，这一状态由 C_2 上的电荷决定。

当时钟信号变化到区域Ⅱ时，倒相器接成了图 4-11 (c) 的形式。输出至 D 。当时钟移至区域Ⅳ时，倒相器再次被锁成图 4-11 (a) 形式 (Ⅳ与Ⅰ相同)。

采用上述单元的一个典型 IC 是图 4-12 所示的西格内蒂克斯公司的 2511 型，它是一个双 200 位静态移位寄存器。由于单元所需的三个时钟信号均由芯片上产生，为此只要一个外部时钟信号。输出电路是三态的，电路能提供芯片上的循环，但没有单独的地址电路。当循环输入至高电平时，数据以时钟速率写入两个寄存器中。芯片上包含有一些 MOS 管，

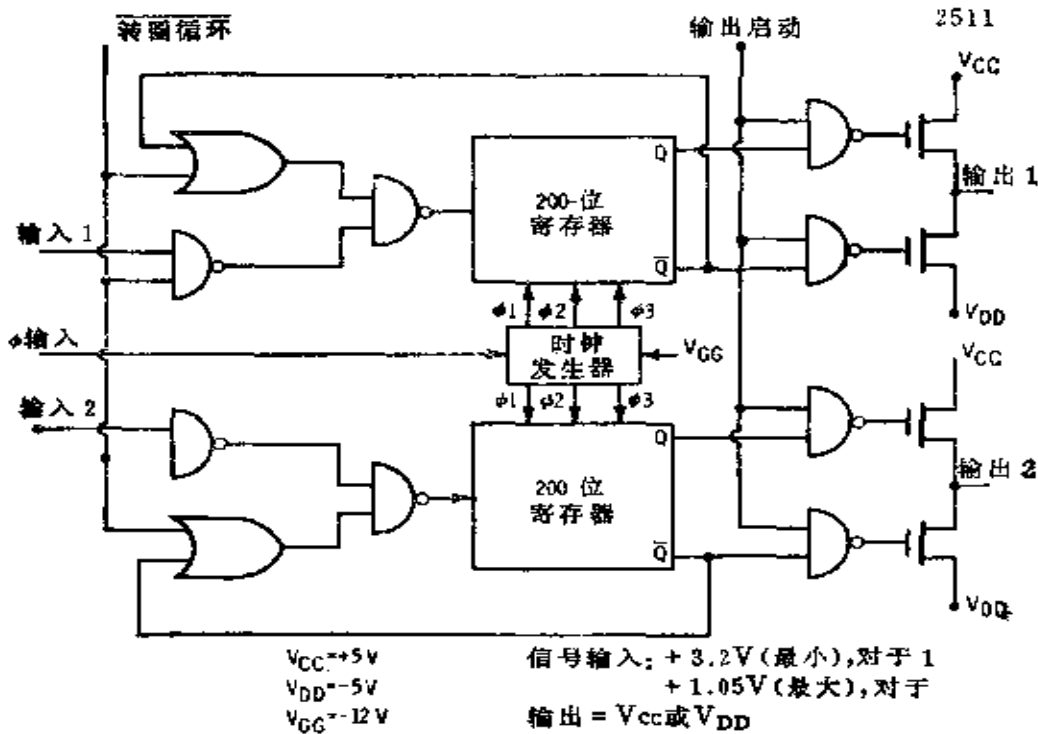


图4-12 PMOS 双百位静态移位寄存器

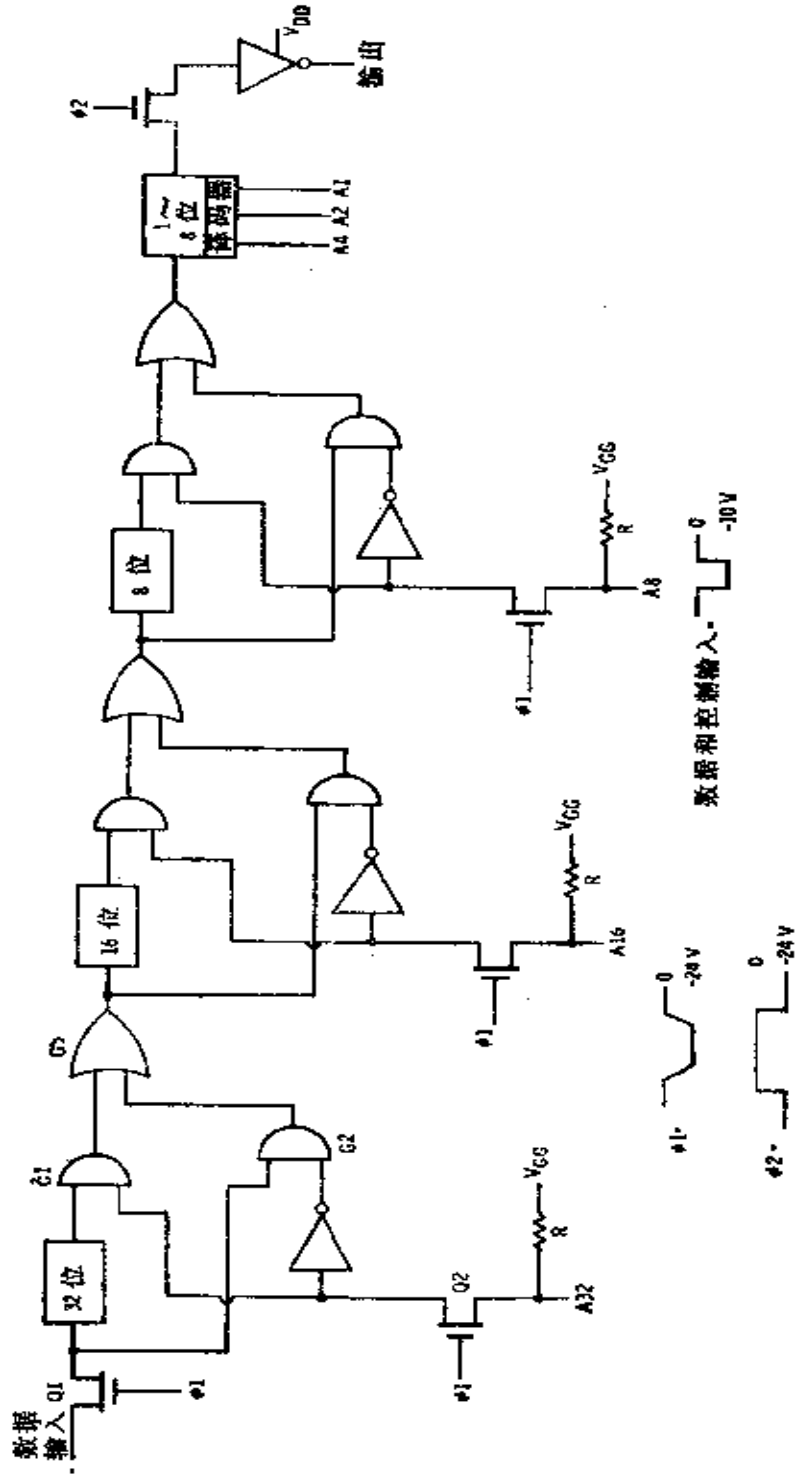


图4-13 PMOS 可变长度动态移位寄存器

这些管子能把输入（包括数据和时钟）上拉到 V_{cc} 电平（+5V），因此可以同 TTL 相容。

与基本电路一样的实用 IC 产品还有 50 位和 100 位寄存器。

可变长度移位寄存器 图 4-13 是一种可变长度移位寄存器，它可用来作可变数字延迟线以产生各种宽度的脉冲，或作为非标准长度的寄存器。当 ϕ_1 使 Q_1 导通时，数据即进入寄存器，或进入 32 位寄存器，或绕过它馈给 16 位的输入门。

假如接通输入端 A_{32} ， Q_2 被 Q_1 导通，因 G_1 有一个输入端为 0，则被封闭；而 G_2 因为有一个输入为 1 而放数据通过。结果，进来的数据就从第一个 32 位寄存器旁绕过而进到 16 位寄存器的输入端。如果 A_{32} 不接通，则 G_2 封闭，而 G_1 放 32 位寄存器的输出通过。

16 位和 8 位寄存器均重复同样的逻辑。最后的 8 位寄存器受 A_4 、 A_2 和 A_1 控制。这三个输入被译码后提供给 1~8 位的附加存储器。当 ϕ_2 趋向低电平时，数据即从寄存器中取出。

通过适当的选择输入，可获得 1~64 位的任意延迟。

§ 4-5 静态 PMOS RAM

虽然移位寄存器可执行存储功能，但不能即时存取任意指定的位或字。一个真正的存储器不仅能存储数据，也能利用地址码即时存取存储器中的任意位或字。如果存储器是读-写存储器，必要时附加的输入可将一个新字写入任意指定的位置。

已设计了静态和动态两种类型的 PMOS 存储器。像移位

寄存器一样，静态的外围电路较少，而动态的单元电路简单，功耗少，存储量大，但外围电路复杂。

静态型随机存取存储器(RAM)的单元电路示于图4-14，是一个交叉耦合触发器。如果 Q_1 导通，点 X 将接近 V_{CC} ， Q_2 保持截止，点 Y 接近 V_{DD} 。假如 Q_2 导通， Y 接近 V_{CC} ， Q_1 截止，并且 X 接近 V_{DD} 。

对单元存取数据是通过 Q_A 和 Q_B 进行的。当单元被选中时， Q_A 和 Q_B 导通，输出线 A 和 B 的电压电平将同 X 和 Y 相同——一高一低。从而，读出单元的数据。如果向单元写入新数据， A 线和 B 线不得不达到新状态——一高一低， Q_A 和 Q_B 导通。 X 和 Y 被迫达到 A 和 B 的电平

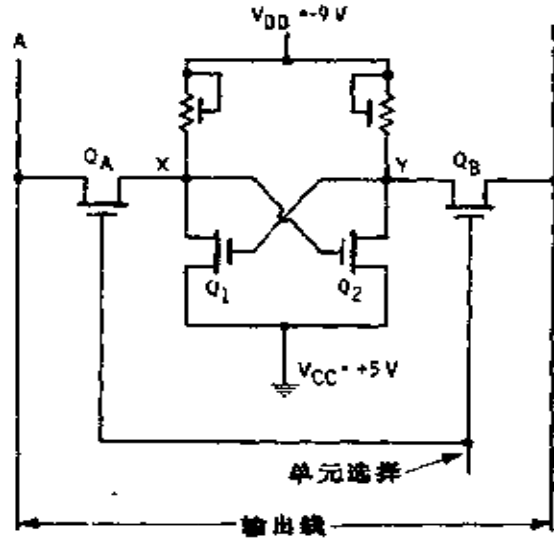


图4-14 PMOS 静态存储器单元

上， Q_1 和 Q_2 则照例随动。当单元未选中时， Q_A 和 Q_B 截止，单元停留在最后的那个状态。只要电源不切断，就一直保留着这个数据。如果电源切断，随后重新接通，则 X 和 Y 的电平是无法预测的未知数，数据也就丢失了。一般把这种存储器称为易消失型存储器。

2501型存储器是采用图4-14存储单元的许多类似RAM中的一种，其结构如图4-15所示。存储单元是按16行和16列配置的，它是一个256位存储器。为选出指定的位，四个地址码被译码，选出16行中的一行，另外四个地

址码通过译码器给出 16 列中的一列。位于选中的行与列交叉点上的那个位就被选中。如果 \bar{R}/W 线是低电平，所选的位即被读取并在输出端出现 D 和 \bar{D} 。假如 \bar{R}/W 是高电平，线上的数据信号即写入单元。

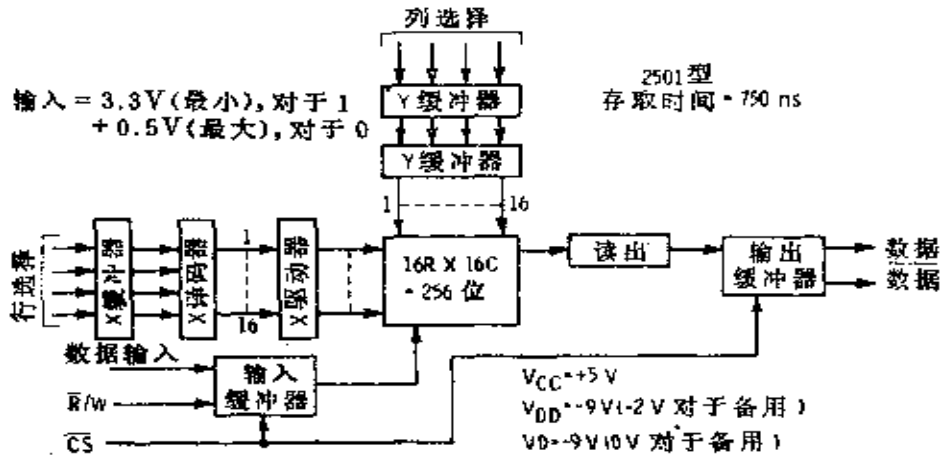


图4-15 2501型 256位 PMOS 存储器

在进一步讨论存储器电路之前，先注意存储器的几个其他特征。存储器有一个选片输入，当这个输入是高电平时，数据不能写入，存储器还有 \bar{R}/W 输入和数据输出。当用许多这样的存储器组成存储器阵列时，输出可通过“或”连接 (or-tied) 送到一个公共数据母线上，而某一时刻只有一个存储器被选中工作。存储器也可以工作在维持状态，这样可以减少电路功耗。在维持状态下， V_{DD} 减至 $-2V$ ， V_D 减至 $0V$ 。

图 4-16 是一个四单元 RAM，其控制逻辑示于图 4-17。当 CS 输入高电平时 ($+3.3V$ ，注意图 4-17 里的地是 $+5V$)， Q_1 和 Q_2 的栅源处于等电位因而被截止；但 Q_3 导通，把 V_D 加到 Q_4 和 Q_5 并使它们导通，结果使点 2 和 3 的电位等于

V_{CC} 。于是输出管 Q_6 、 Q_7 、 Q_8 和 Q_9 截止，输出即被浮置。当 CS 低时（约 $0V$ ）， Q_1 和 Q_2 导通。 Q_3 截止， Q_4 和 Q_5 栅因

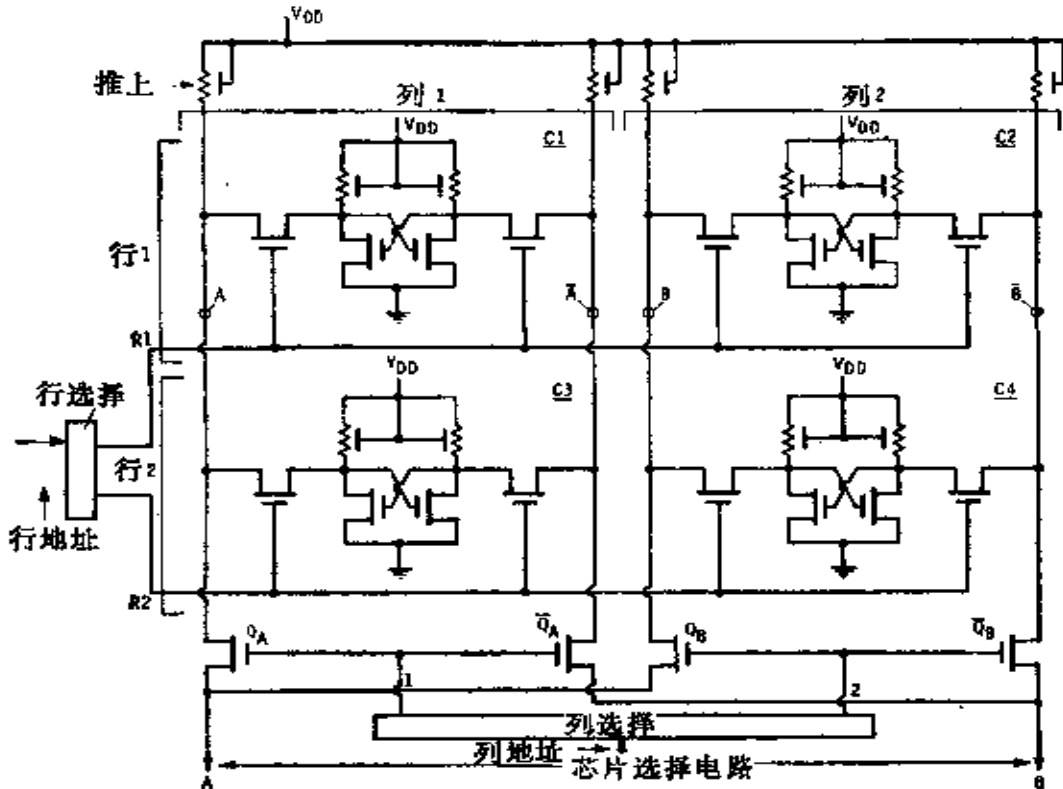


图4-16 四单元 256 位静态存储器

接地也被截止。此时 Q_{10} 和 Q_{11} 受 Q_{12} 和 Q_{13} 控制，一个导通另一个截止。如果 Q_{12} 是低 Z ，点 2 朝 V_{CC} ，使 Q_{11} 截止，因而引起 Q_{10} 导通， Q_7 和 Q_8 截止，而 Q_6 和 Q_9 导通。输出 D 朝 V_{CC} ， \bar{D} 朝 V_D 。控制 Q_{12} 和 Q_{13} 的信号 A 和 B ，来自读操作时所选中的那个单元。如果输入地址选中第一行（图4-16），属于第一和第二单元的存取管被接通，位线 $A\bar{A}B\bar{B}$ 即被触发并达到 C_1 和 C_2 中所保存的数据电平。地址的另一部分选中第一列或第二列。假如选中第一列， Q_4 和 \bar{Q}_4 也导通，而

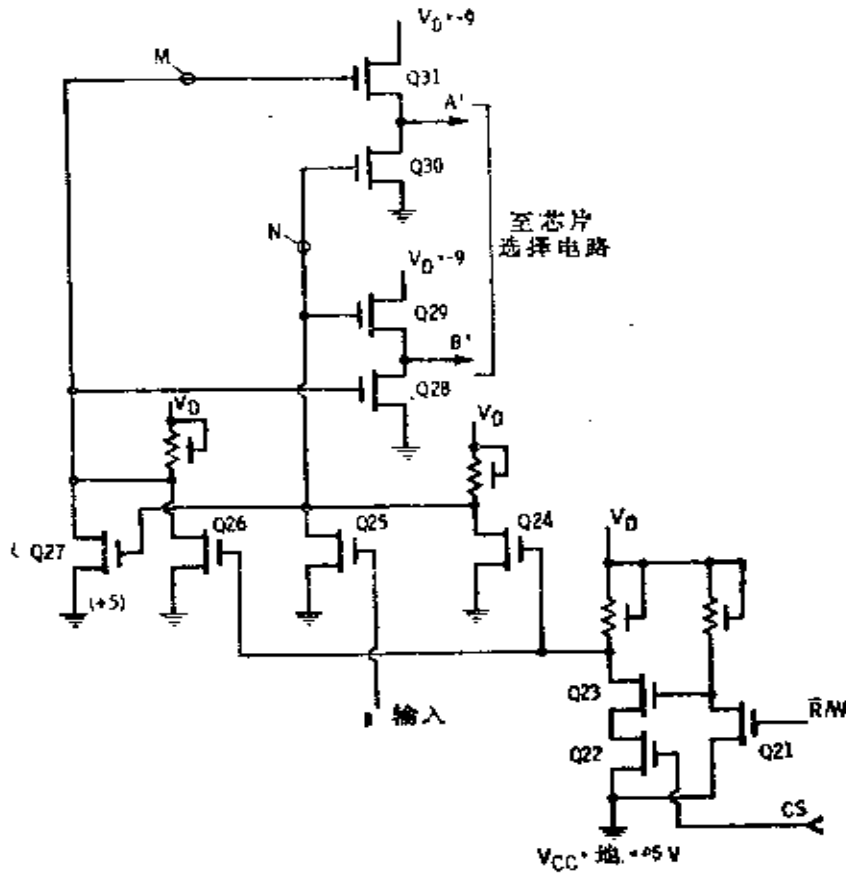


图4-18 读/写电路

D_{IN} 是 3.3V, Q_{23} 是高 Z, 点 N 接近 V_D , Q_{27} 是低 Z, 点 M 接近 V_{CC} 。由于 N 接近 V_D , M 接近 V_{SS} , 当 Q_{30} 和 Q_{29} 截止时, Q_{31} 和 Q_{28} 导通。结果, A' 接近 V_D 而 B' 接近 V_{SS} , 因此电路 A' 和 B' 控制电路 A 和 B, 把数据写入存储器单元。如果 D_{IN} 低电平, Q_{25} 是低 Z; 然后 N 接近 V_{SS} , Q_{27} 是高 Z, M 接近 V_D ; 在这种情况下, A' 达到 V_{SS} , 而 B' 达到 V_D 。

第五章 存储器、字符发生器和 时钟驱动器

§ 5-1 PMOS 1103 型动态存储器

1103 型是最广泛使用的动态存储器之一。一个 1024 位随机存取存储器最初是由电子阵列公司研制的。1103 是一项工业标准，并且有充足的第二货源，包括原型和许多公司设计的改进型。

存储器提供 1024 字 \times 1 位，其结构如图 5-1 所示。注意 V_{SS} 规定为 +16V， V_{DD} 为 0V；这样，0V 相对于 V_{SS} 是负的，一个负启动信号使 P 沟道晶体管导通。存储器单元排列为 32 列乘 32 行。选择一位，需要 10 条地址线。前五条地址线， A_0 到 A_4 ，选择 32 行中的一个，后五条 A_5 到 A_9 ，选择 32 列的一个。在交叉点上的任何一位能够读出或写入新数据。

一个四管单元的存储器表示于图 5-2。对于标准的 1103 型基本的动态存储器单元，使用三个晶体管，数据存储在 CM 里，它是 Q_1 的栅电容，从单元里读出数据相当复杂，并且要求精确的定时。

读出周期包含几个阶段，在读周期的大部分时间里（图 5-3） R/\bar{W} 输入为高电平，它使 Q_{10} 截止， Q_8 和 Q_{12} 导通。在第一阶段里，预充电信号（ P ）趋向低电平，则 Q_4 导通，写入数据线充电到 V_{DD} ；同时， P 朝向 V_{DD} 则 Q_6 导通，读出数据线预充电。

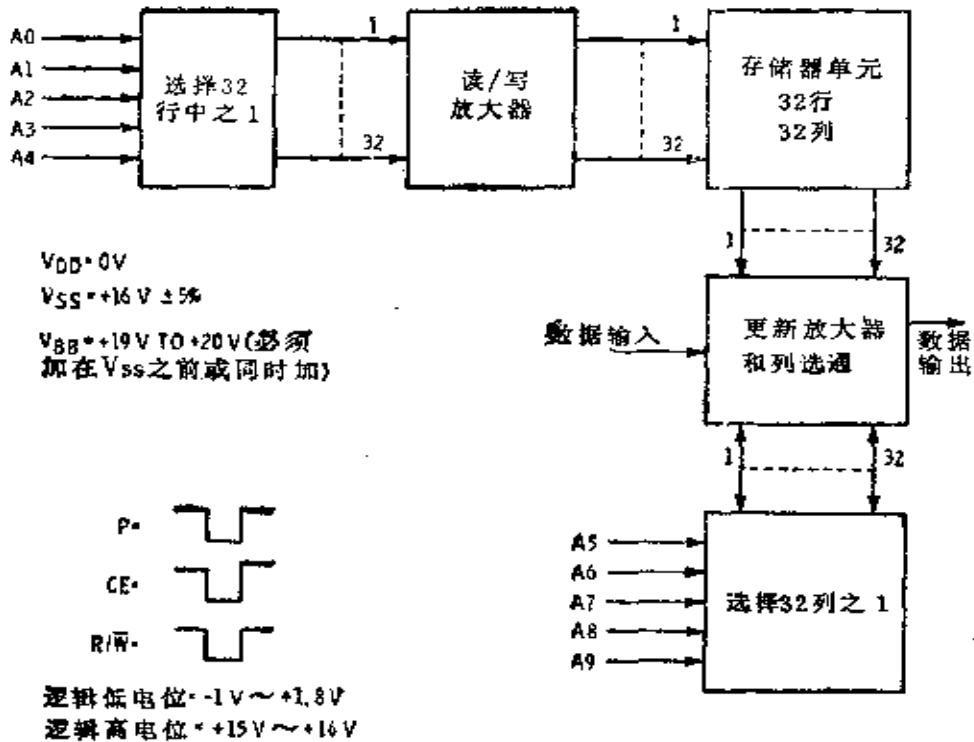


图5-1 PMOS1103 型 1024 位动态存储器

在第二阶段， CE 信号趋向低电平。假定 R_1 行已经由地址线选中，点 A 接近 V_{DD} ， QR_1 导通， V_{DD} 首先被加到行选择线，然后经一个短暂的延迟（此时 \bar{CE} 增至高电平， QW_1 截止）之后， V_{DD} 又加到行 1 的写数选择线。这样，行 1 的所有存储单元的 Q_2 首先导通，随后是 Q_3 导通。

在单元 R_1-C_1 里，如果 CM 充电， Q_1 导通，在读出数据线上的预充电荷，经由 Q_1 和 Q_2 分流到地。晶体管 Q_7 保持截止。在写入数据线上预充电荷经 Q_3 而加上，由此增强——刷新——在 CM 上的电荷。如果 CM 没有充电， Q_1 不导通，读出数据线保持它的预充电平。这样 Q_7 导通，写入数据线上的预充电荷经由 Q_6 和 Q_7 分路到地。在 CM 上积聚的任

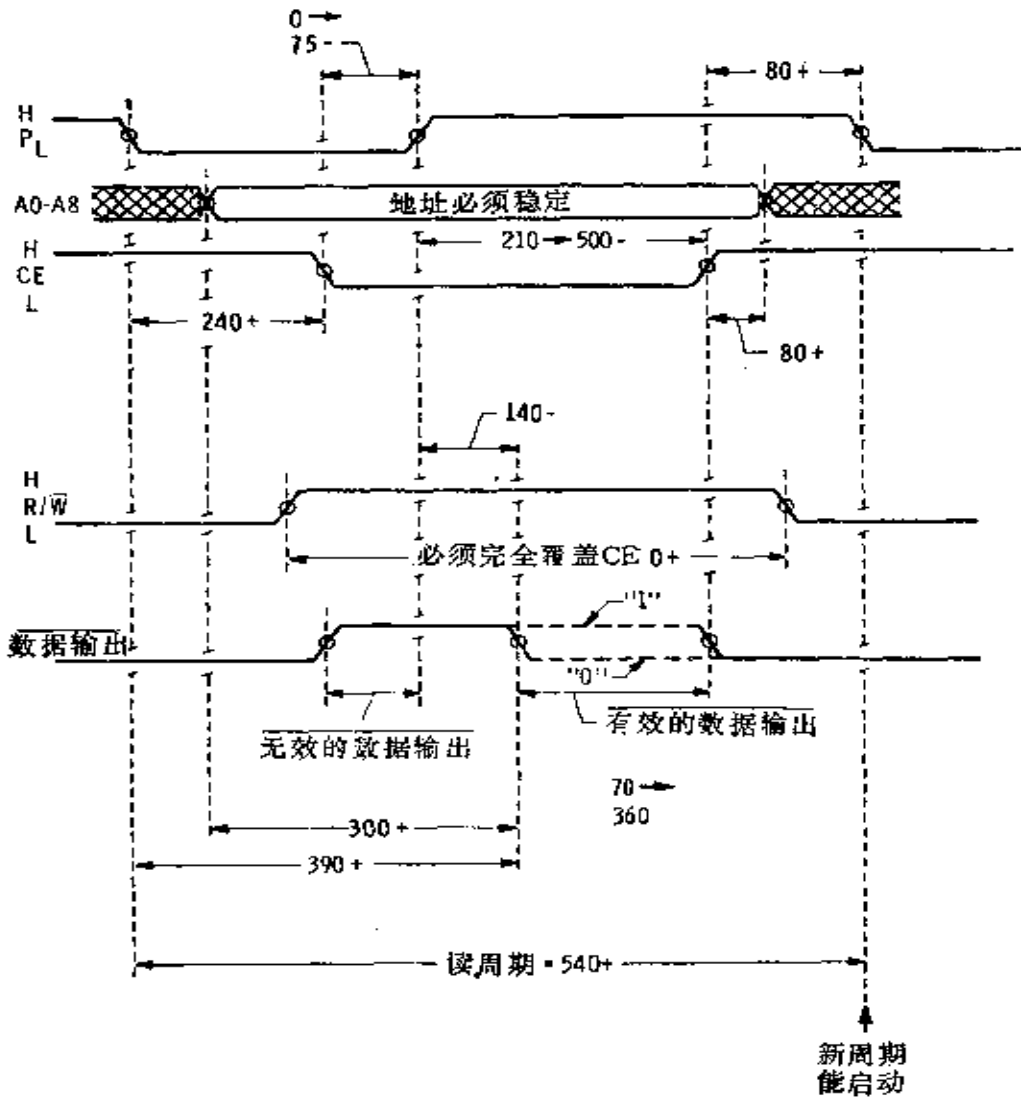


图5-3 1103型动态存储器的读出周期

注：“240+”表示平均240ns或大于该值；
 “140-”表示平均140ns或小于该值，其它类同。 $t_{上升} = t_{下降} = 20ns$ 。

何电荷也被除去。

同样的工作在单元 R_1-C_2 里进行，其寄生电容能充电或放电，也能各自刷新，但和单元 R_1-C_1 以同样的方式，在同一个时间进行。这样，各行的单元一次全部刷新。

保持在写入数据线上的信号加到 Q_8 。如果写入数据线被充电， Q_8 导通。在预充电期间，电容 C_8 也被预充电。假定列 C_1 被选中， QA_1 将是高 Z ，允许 Q_8 导通，而 $\overline{QA_1}$ 是一个低 Z 时，使 C_7 放电，不选择列 C_2 。这样，当 CE 停留在低电平时， QD_0 和 Q_9 将导通；如果 Q_8 导通，输出端 $\overline{D_0}$ 连接到 V_{ss} ，能提供电流到一个外部负载。如果 Q_8 不导通，输出 $\overline{D_0}$ 保持高 Z ，没有负载电流流动。这两个状态可用外部线路（一个高电平或一个低电平）来表明。

将被写进单元的新数据加在 DI 输入端，然后如上述完成一个读数周期。但是刚好在 CE 结束之前， R/\overline{W} 输入低电平，这将引起 Q_{10} 导通，在 DI 上的信号加到被选中的列的写入数据线上。因为选中行的 Q_3 仍导通，新数据输送到选中单元的 CM 。与此同时， Q_8 和 Q_{12} 截止，然而 Q_{13} 导通以消除任何从读出数据线来的电荷。

图 5-3 的读数周期时序图表示允许用于各种情况的最短和最长的时间。当 P 趋向低电平时（对 MOS 器件的许多计时测量，如果低、高电平分别为高电平的 10% 和 90% 的程度，则被认为是有效的），在 125ns 或更多的时间内， CE 必须维持高电平。

当 CE 趋向低电平时， CE 和 P 两者在低电平状态的重迭时间必须至少为 25ns，但不得长于 75ns。输出数据在 P 趋向高电平后的 120ns 生效，并且在 43~380ns 内能保持有

1103的输出, 对于高电平, 电流范围从最小的 $600\mu\text{A}$ 到 $4000\mu\text{A}$; 而低电平, 本质上应为 0 (最大为 $10\mu\text{A}$)。为了转换成相适应的逻辑电平电压, 这信号必须输送到外部放大器。

高输出电流对应于储存在单元里的逻辑 0, 零电流对应于逻辑 1。把电流转换成 TTL 电平的电路如图 5-6 所示。对于单元里的逻辑 0, $3\text{k}\Omega$ 电阻上的电压范围从 $3 \times 10^3 \times 600 \times 10^{-6} = 1.8\text{V}$, 一直到 $3 \times 10^3 \times 4 \times 10^{-2} = 12\text{V}$ 。

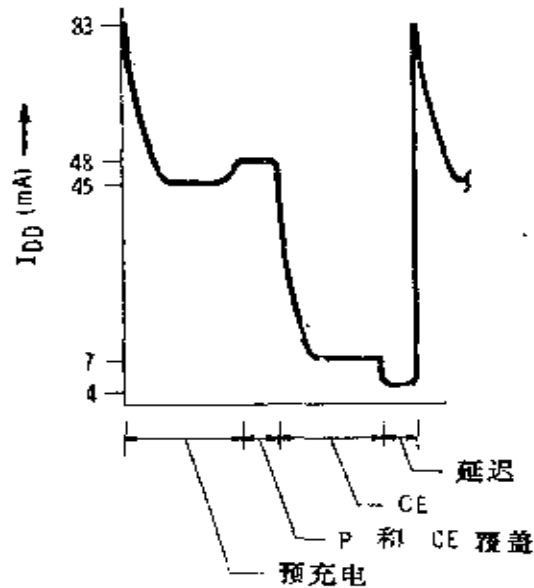


图5-5 在 1103 型里的 I_{DD} 电流曲线

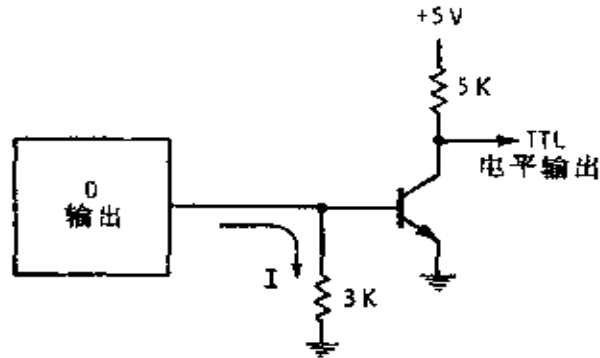


图5-6 1103型输出电流转换成TTL电平电压

其他的 1103 型 1103 的改进型(第二代)是 3534/1103, 由仙童半导体公司制造。器件的方框图与原来的相同。但是内部逻辑略有差别, 而且采用不同的存储器单元, 如图 5-7 表示其两个单元。

数据存储在两个晶体管的栅电容上, 而另两个晶体管只起开关作用。在静态时, C_1 或 C_2 将充电到接近 V_{DD} , 这样 Q_1 或 Q_2 将处于高 Z 状态。因为在 C_1 或 C_2 上的电荷很快将完

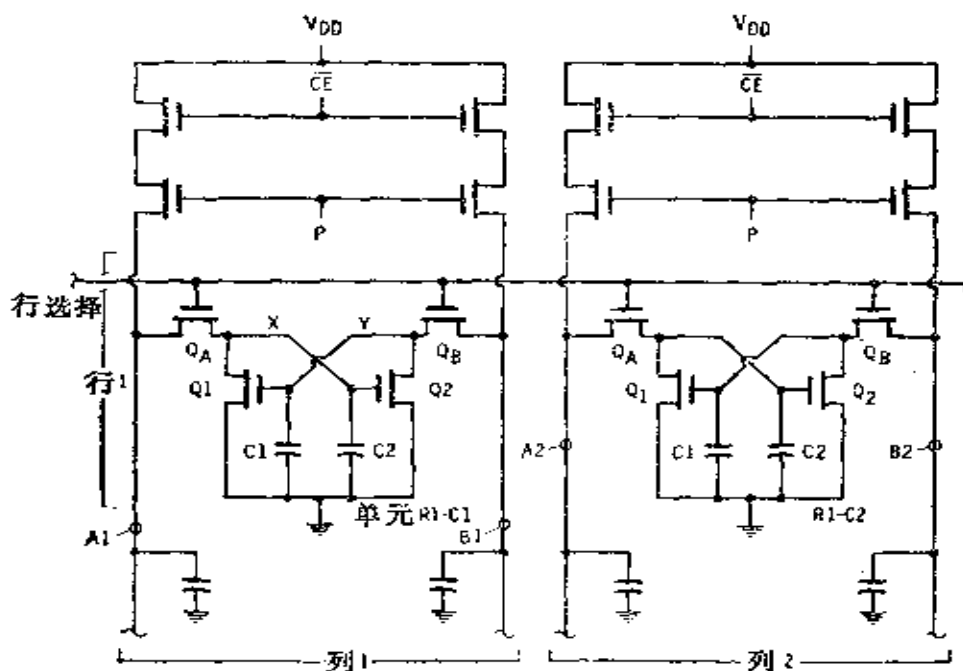


图5-7 3534/1103 动态存储器的两个单元

全泄漏掉，数据必须刷新，电路是动态的。

为了读出单元数据，通过所加的预充信号 P ， A 和 B 线首先充电到 V_{DD} ，这些电荷被存储在寄生电容 C_3 和 C_4 里。然后行选择线达到 V_{DD} ， Q_A 和 Q_B 导通。由于 C_1 上的电荷若使 Q_1 导通的话，则点 X 将接地，而且数据线和 C_3 将通过 Q_1 对地放电。储存在 C_2 的电荷同时除去。在这期间，由于 Q_2 将处于高 Z ，点 Y 将接近 V_{DD} ，在 C_1 上的电荷被刷新。

读出和列选择线路决定 A 线是高或低。当在行和列交叉的单元里读出数据的时候，全部单元的行已经刷新。这样，32 次读数足够刷新所有的 1024 位。

为了在单元 R_1-C_1 中写入信息，线 A 被置于一个状态（高或低），然后 Q_A 和 Q_B 导通。由于这个作用， C_2 或充电或

放电，而且 C_1 和 B_1 被驱动到相反的状态。当 Q_A 和 Q_B 截止时， C_1 和 C_2 保持各自的电荷，直到下一个周期。

读数周期的时序图，由图 5-8 示出。主要的差别在于 P 和 CE 的关系。第一代存储器要求两个信号重迭时间最小为 25ns ，但不大于 75ns 。一旦 CE 也开始变为低电平， P 必须在 $25\sim 140\text{ns}$ 之内重返高电平。第二代存储器虽然要求在 P 趋向低电平后的 125ns 内， CE 就要趋于低电平，但它不要求任何重迭，但重迭将是容许的。

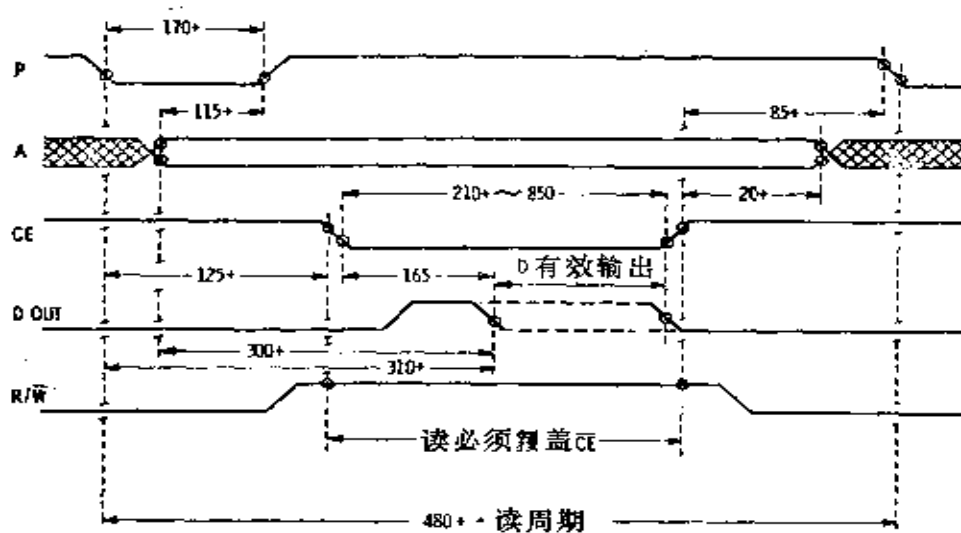


图5-8 3534/1103 动态存储器的读出周期

1103 的其他变形已经研制成功，主要是提高了工作速度（见表 5-1），另外是采用更简单的外围电路和减少功耗。

表5-1 1103 型 PMOS 存储器

工业型号	存取时间(ns)	周期时间(ns)
1103	300	580
1103S146	220	350
1103-1	180	300
1103-2	150	250
3534/1103	300	480

§ 5-2 静态/动态 PMOS 随机存取存储器

3532 是一种介于静态随机存取存储器和动态随机存取存储器之间的 $512 \text{ 字} \times 1 \text{ 位}$ 存储器 (图 5-9), 它是由仙童半导体公司制造的。存储器单元本身是交叉耦合触发器, 它是静态的, 允许工作时不用刷新。然而, 对单元取数是动态的, 而且需要两个时钟信号, 它可以使外围电路工作在低功耗下。数据可以经由同一引线 (称为输入/输出引线) 进出存储器。

该存储器内部的工作是比较完整的。如图 5-10 所示的基本的存储器单元里, 触发器将经常处于某一状态, 且通过 Q_{A1} , Q_{A2} , Q_{A3} 和 Q_{A4} 存取数据。当 ϕ_1 趋向低电平时, 一个读或写的周期开始。在一个短暂的滞后之后, 如图 5-11 所示, 8 条地址线上的信号电平决定那个单元被选中, 每个输入信号被输送到一个倒相器/放大器 (图 5-12), 在那里产生信号 A_0 和 \bar{A}_0 。当 ϕ_1 是低电平 (-13.5V) 时, Q_3 是一个低 Z , B 点大约是 -13.5V , 它触发两个负载 Q_{V1} 和 Q_{V2} 。如果输入 A_0 是低电平 (即比 V_{SS} 负, 或大约 0V , 因为 $V_{SS} = +5\text{V}$), Q_4 导通, C 点接近 V_{SS} , 晶体管 Q_6 因而被断开, D 点或 A_0 趋于 V_{DD} , 而 \bar{A}_0 达到 V_{SS} 。当 ϕ_1 趋向高电平时 (达到 $+4.5\text{V}$), C 点和 D 点的电位通过 C_1 上的电荷被保持一段时间。

同时, 输入地址被缓冲和倒相, 所有行线的杂散电容 (图 5-13(a) 中的 C_{RO}) 经过 Q_6 预充电 (16 行中的每一行用一个 Q_6)。每一列由两个晶体管 (Q_7 和 Q_8 , 图 5-10) 组成的

● 原书误为 A_n ;

● 原书误为 \bar{A}_n 。——译者

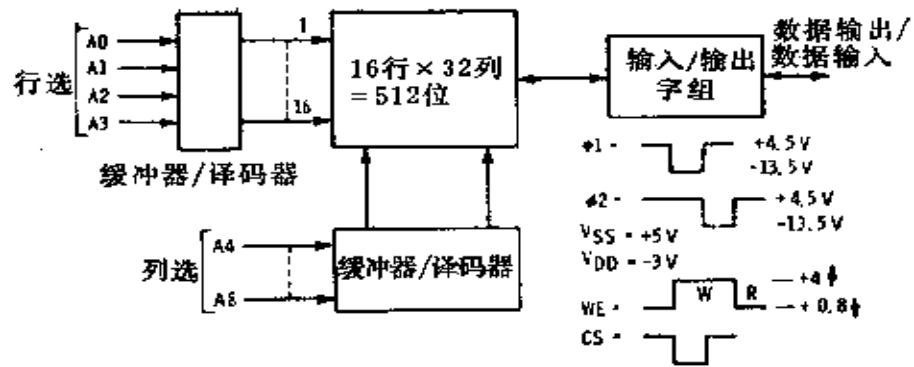


图5-9 具有动态读出的 PMOS 静态存储器

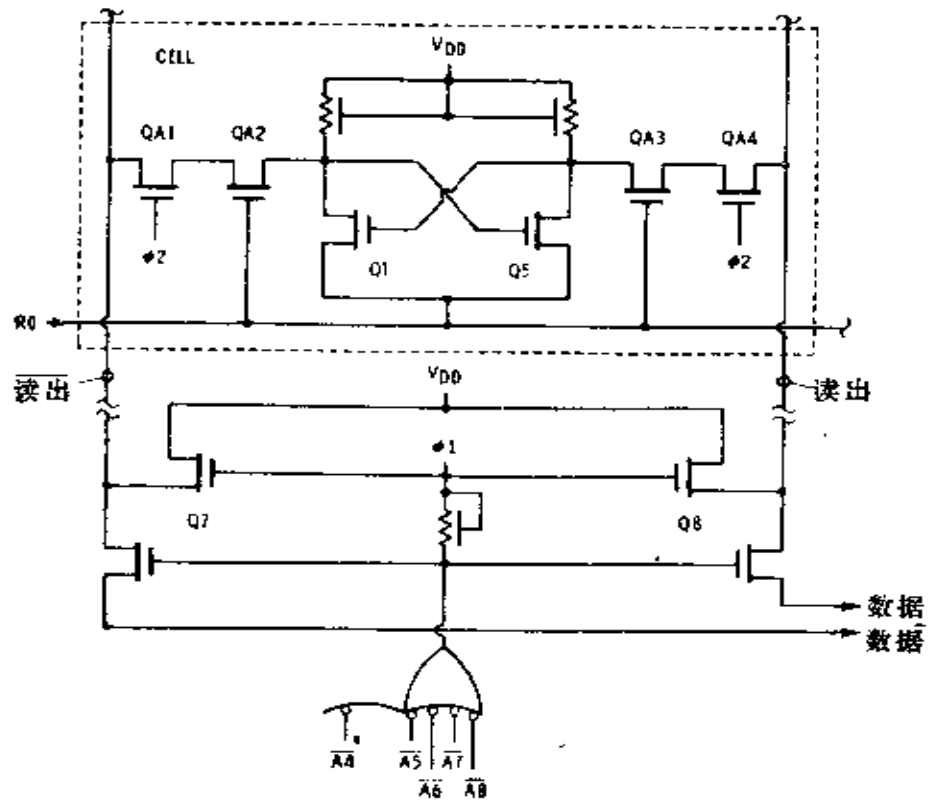


图5-10 具有动态读出的 PMOS 存储器的存储单元

相同电路，用来给所有单元里的读出和读出线预充电到接近 V_{DD} 。当 ϕ_1 趋向高电平时，行和列译码器接替工作。如果图 5-13(a) 中任一管子的栅信号接近 V_{DD} ($-3V$)，则该晶体管变成一个低 Z 态，该行的 CRO 上的预充电荷将放电到 ϕ_1 的高电压 ($+4.5V$)。注意除某一行以外的所有行，将至少有一个译码器晶体管处在低 Z 状态。所以，除了由四个地址输入 A_0 到 A_3 选中的那一行以外全部的行，都将放电。同样，对于图 5-13(b) 中的列译码器，除了由地址输入 A_4 到

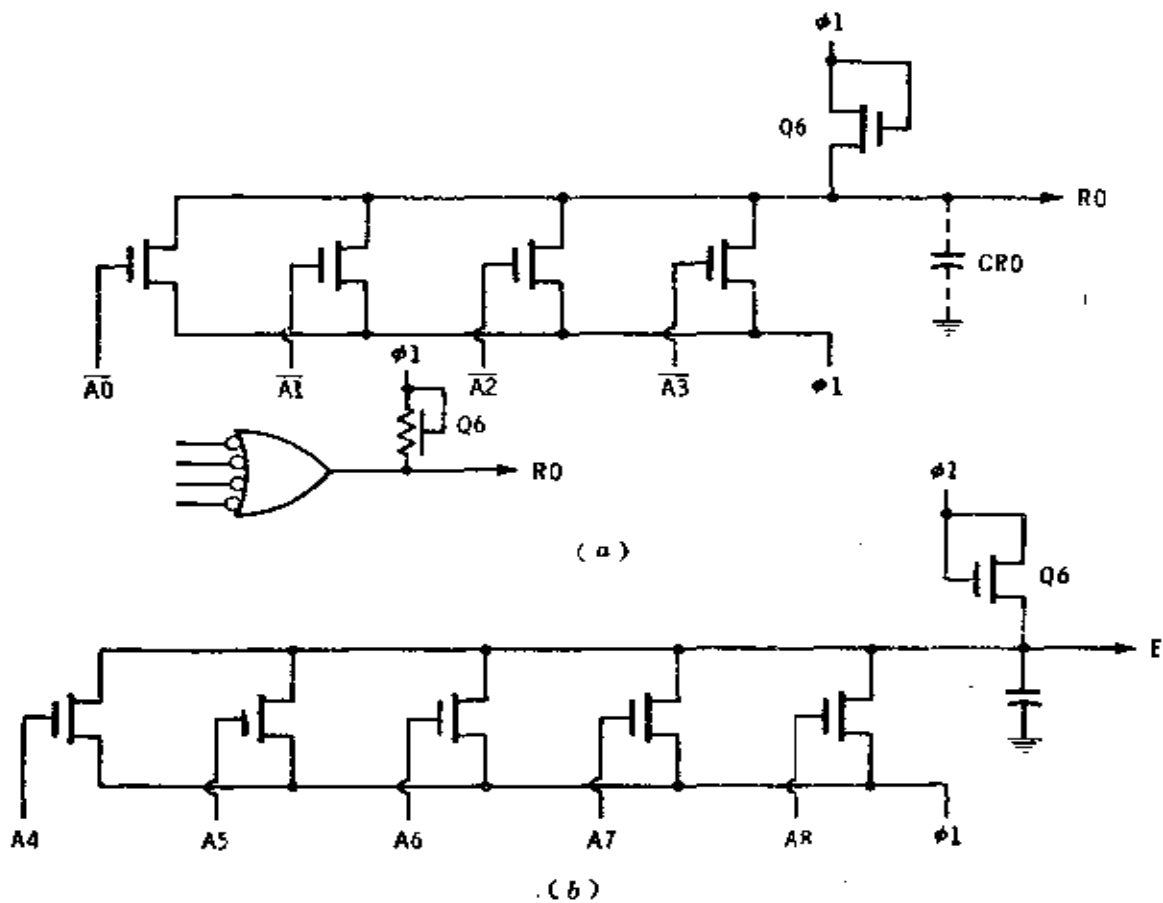


图5-13 译码系统
(a)行译码器，(b)列译码器。

A_8 所选中那一列以外，其余都将放电。

在其余的周期时间里，片选信号决定电路的工作。如果芯片没选中， \overline{CS} 输入将是 $+4.5V$ ， Q_{13} [见图 5-14(a)] 将是一个高 Z ，内部 \overline{CS} 线在 ϕ_1 期间将充电至 $-3V$ 。对于一个读数周期，写入启动输入信号 WE [图 5-14(b)]，将接近 $0V$ 。在输入/输出电路里 (图 5-15)， WE 信号截止“与”门 G_1 和 G_2 ，而 G_3 随数据线自由变动。 ϕ_1 信号也提供给 Q_{11} ，引起 C_{11} 充电而使 Q_0 导通，招致 I/O 端接近 V_{DD} 。这样在此 ϕ_1 周期的期间，数据输出接近 $-3V$ ，并且不随单元里的数据变动。

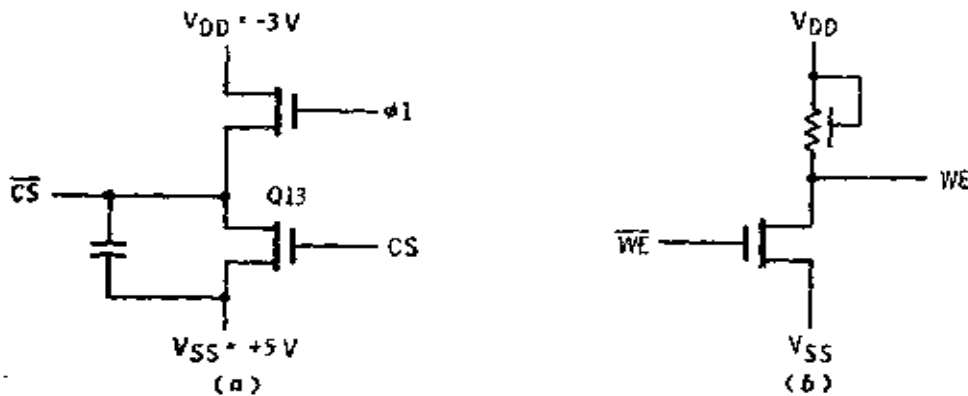


图5-14 芯片选择和写入启动的电路

(a) 芯片选择；(b) 写入启动。

在输出电路以及行和列线已经稳定之后， ϕ_2 能趋向低电平。在选中的行和列交点上的单元，此时全部四个存取晶体管导通。如果 Q_5 导通，读出线将放电；如果 Q_7 导通，读出线将放电。从列来的数据和数据线将停留在高电平或趋向低电平，这取决于在单元里存储的数据。如果数据线处于充电状态 (图 5-15)， Q_{12} 处于导通， \overline{D} 处于低电平， G_3 不响应，

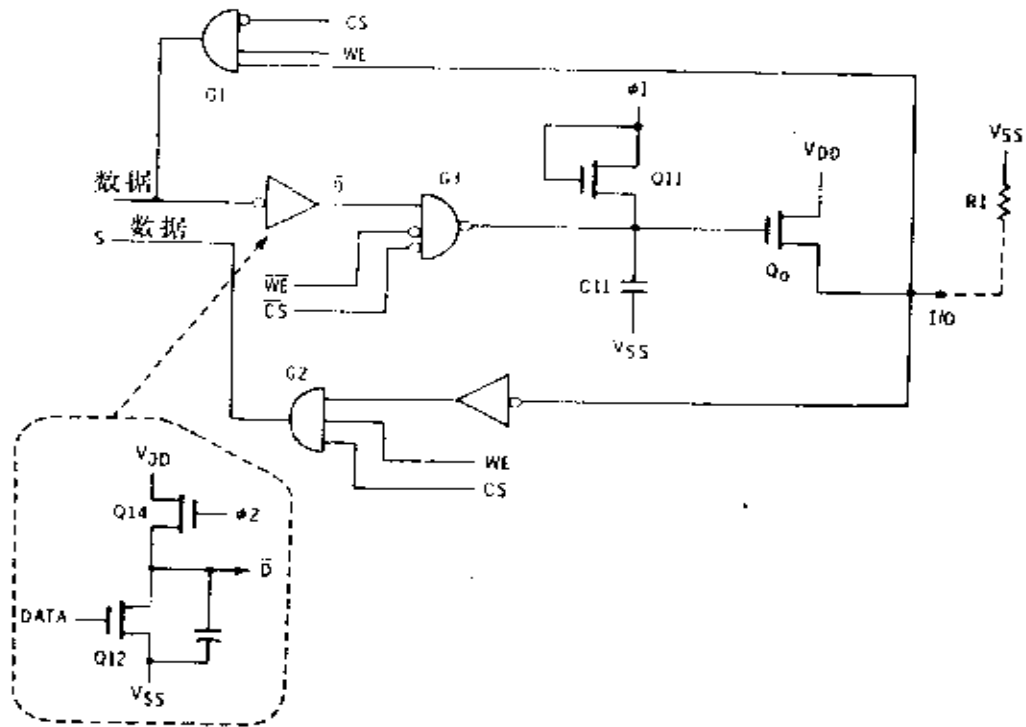


图5-15 输入/输出电路

I/O 线停留低电平处。如果从正在存取的单元来的数据线被放电, Q_{12} 截止, \bar{D} 经由 Q_{14} 达到接近 V_{DD} 的电平。因此门 G_3 导通并且 C_{11} 放电, 引起 Q_0 截止。结果, 输出端经外部电阻 R_1 被拉到 V_{SS} 上。

当 ϕ_2 趋向高电平时, 电路朝向维持状态, 但是输出数据在几微秒内保持有效, 直到 C_{11} 上的电荷泄漏掉。在 ϕ_2 达到高电平以后一个短暂的时间里, 电路准备好用于一个新的周期。

写周期 (图 5-16) 除了 WE 输入是高电平外, 它相似于读出周期。这就取消了对门 G_1 和 G_2 的封锁 (图 5-15), 而封锁了 G_3 且引起 Q_0 截止。 I/O 端此时必须驱动高或低

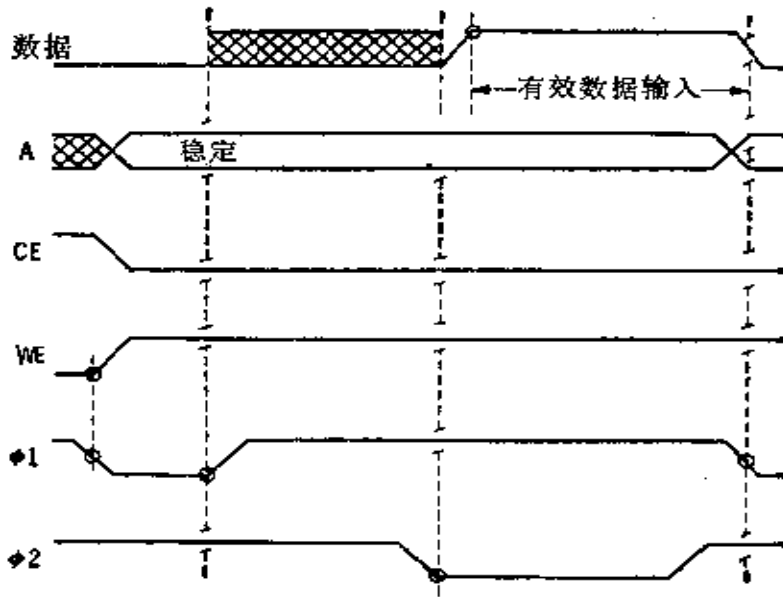


图5-16 写入周期

电平，这取决于将被写入单元的数据，结果，把数据线驱动到一个状态（高或低），数据线驱动到相反的状态。因此新数据迫使选中单元到所要求的状态。

存储器的外部数据控制电路形式，如图5-17所示。“线或”电路中，输出可连接在一起，公用输出电阻 R_1 允

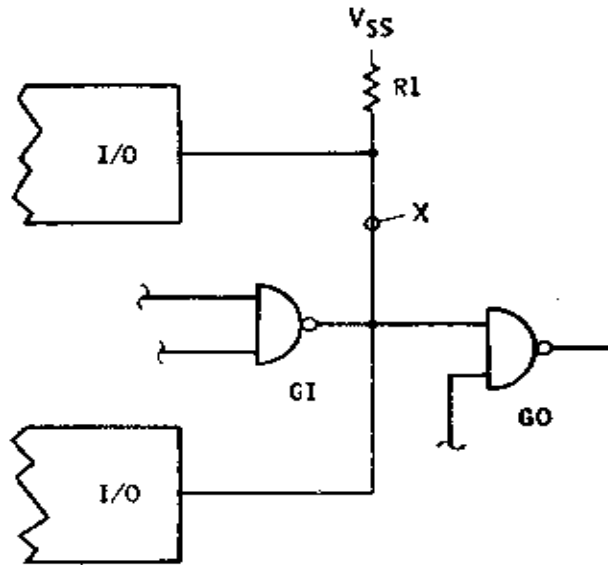


图5-17 输入/输出选择电路

许点 X 跟随若干个器件的 I/O 端变化。门 G_0 和 G_1 为存储器提供输入和输出信号。当输出有效时，外部逻辑决定哪块芯

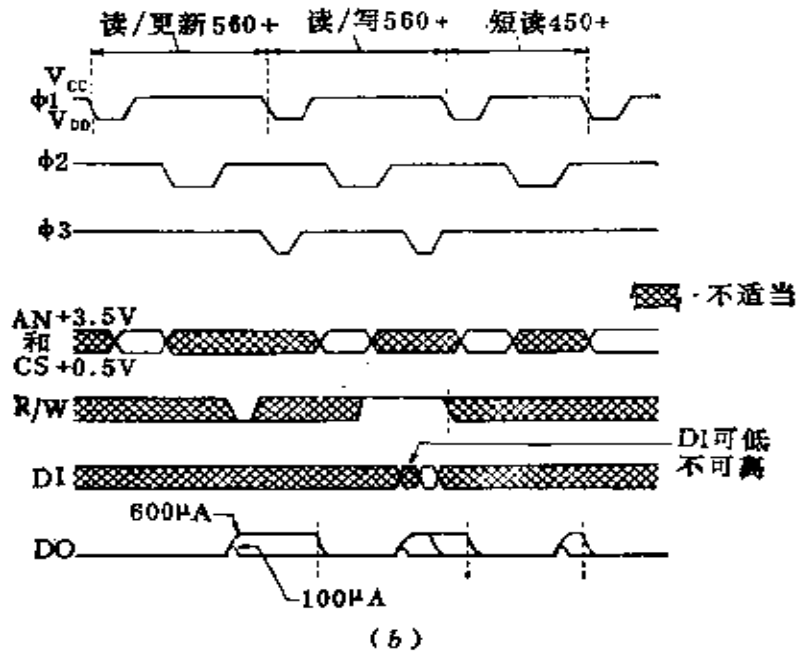
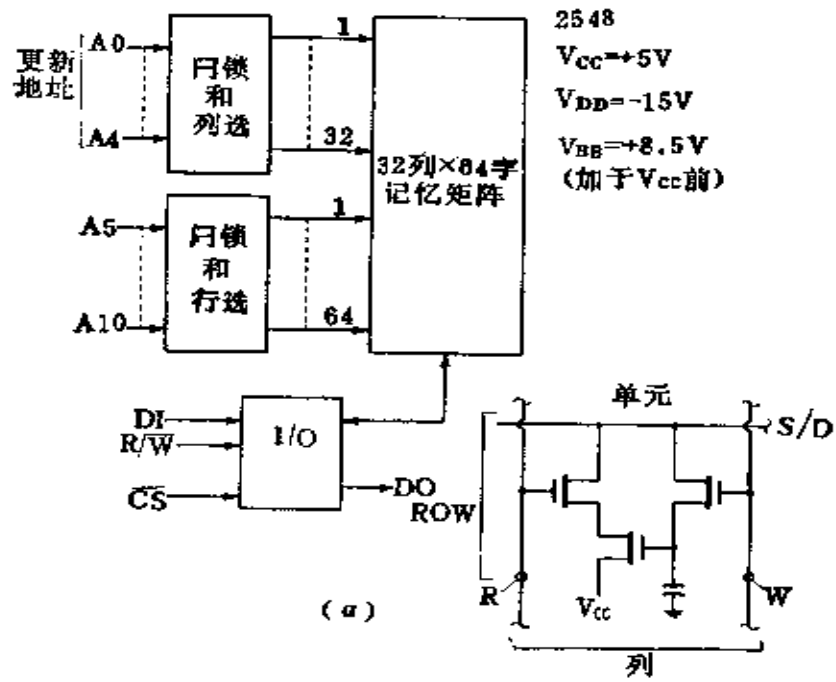


图5-18 PMOS 2548 型动态 RAM(2048 位三时钟)

(a) 方框图, (b) 波形图。

片选中，是读周期还是写周期。

三相动态随机存取存储器 动态随机存取存储器的另一改进型是 2548，它是 2048 字 \times 1 位的存储器，用三个时钟。附加时钟的使用允许器件在一个特别短暂的读周期内读出。一般读/写或读/刷新周期是 590ns，然而短的读周期仅仅是 460ns，节省 130ns 或者说一个读周期的 22%。

方框图和时序图表示在图 5-18(a)和(b)里。存储器由每方块为 512 位的 4 个方块组成，而每位由行和列译码器寻址。片上逻辑电路选定数据输入、输出，对所需要的 W/R 和芯片选择信号作出响应。

存储器采用三管存储单元，与后面讨论的 4k 动态 NMOS 随机存取存储器单元相同。因为在每次存取时，单元数据反相，存储器用特殊的逻辑电路保持一切有条不紊。数据输出信号是一个电流电平，和 1103 型动态随机存取存储器一样。

§ 5-3 PMOS 只读存储器

大多数只读存储器 (ROM) 用静态寻址，为了减小功耗，也有少数用动态寻址。在静态中，如果需要的话，加上地址芯片启动，由于线路需对各种电容充电，从而在短暂的延迟之后输出达到它们的程序数值。存储在 ROM 里的数据可以是标准的编码，如像一个三角函数表，一个随机数码表，或者特殊用途的专门图形。一直到最后的掩蔽工序，ROM 的制造与其他的 MOS 器件一样。这最后的掩蔽工序决定了给定的单元里存储的是高电平还是低电平。

在某些只读存储器里，存储器受到一个晶体管工作与否的影响。如果晶体管是有效的，则栅结构以正常方式来完成；

如果晶体管是无效的，则使栅结构无效，或者不进行金属化或者在制作时使隔离氧化物很厚，以至晶体管不起作用。在一些只读存储器里，用逻辑门之间有无连线来影响存储。

3501型是一种典型的只读存储器。它是一个1024位器件，由128字 \times 8位组成，如图5-19(a)所示。五条地址输入线选择32行中的1行，两条地址输入线选择四列中的1列。如果片选信号为低电平，八个输出达到储存于存储器的状态。

存储器单元由单管组成。单元排列如图5-19(b)，它表示可以看作一个4字 \times 2位的存储器型式。如果选中行1，晶体管 Q_1 和 Q_2 导通。如果列 C_1 被选中， Q_3 导通。因此，点 X 通过 Q_1 和 Q_3 被拉到地电位，输出 Q_0 达到 \bar{x} 。假如只读存储器这样设计，即 R_1-C_1 中存入一个低电平， Q_1 将不工作，且不管它的栅电压如何，将保持在截止状态。在这种情况下，当 Q_3 导通时，点 X 保持高电平和输出 O_0 趋向低电平。

对于字里的下一位，存储器矩阵重复并提供一个附加的输出缓冲器和管脚。对于图5-19(a)所示的存储器，电路扩大到32行 \times 4列 \times 8位，给出如128字 \times 8位一样的总数为1024位的结构。

图5-19(c)示出存储器的片选和输出电路。当 CS 是0V时， Q_5 截止，点 Y 接近 V_{DD} ，从而接通 Q_A 和 Q_B 。这样， QO_1 和 QO_2 的栅引向接近 V_{SS} ，因此，它们截止；输出是一个高 Z 。当 CS 趋向低电平（-9V）时， Q_5 导通，并且点 Y 趋向地电平，使 Q_A 和 Q_B 截止。点 X 是高是低将随矩阵里的选中单元而变动。如果 X 接近 V_{GG} ， Q_x 导通，点 T 接近 V_{SS} ，因此， QO_1 是一个高 Z ，但 QO_2 是一个低 Z ，能吸收电流。

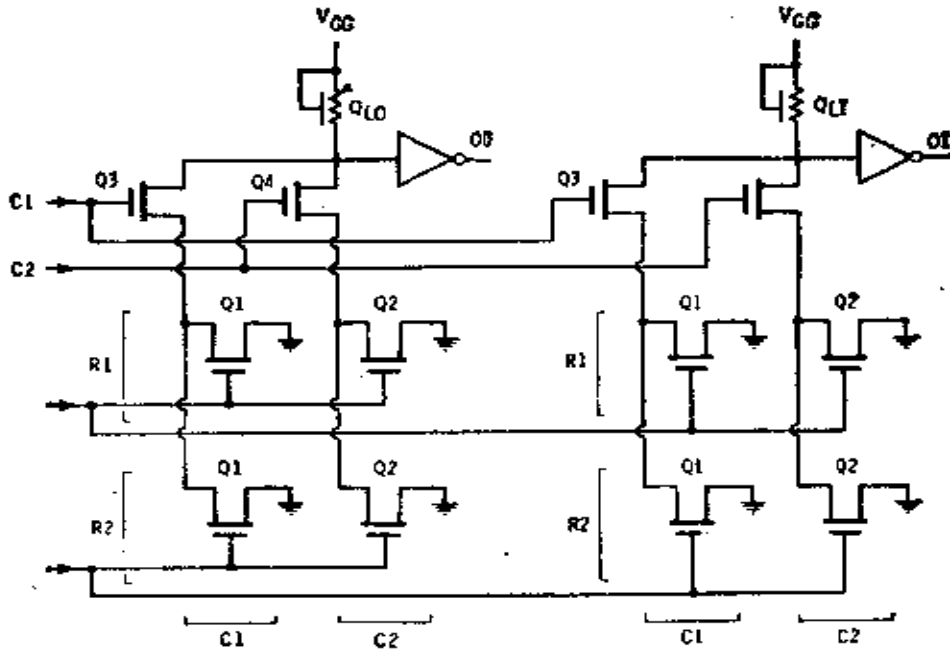
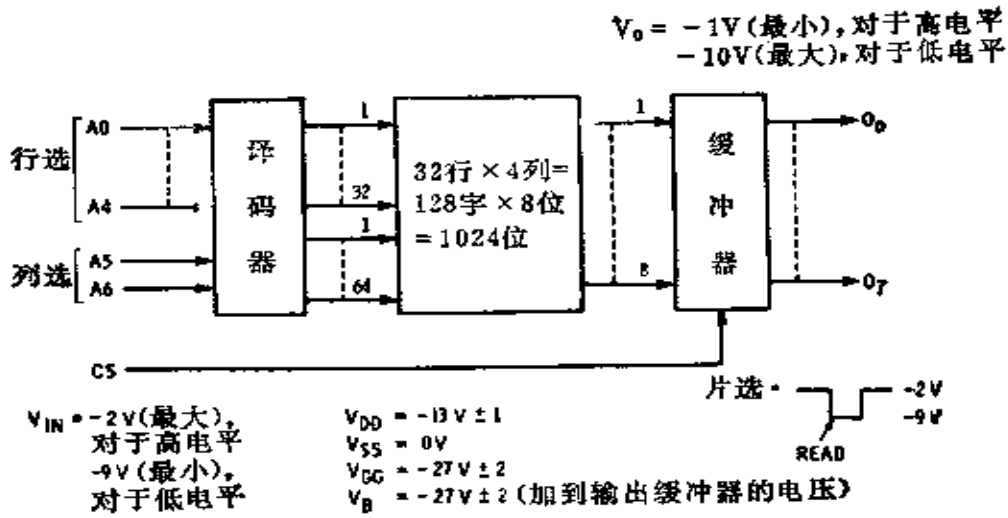
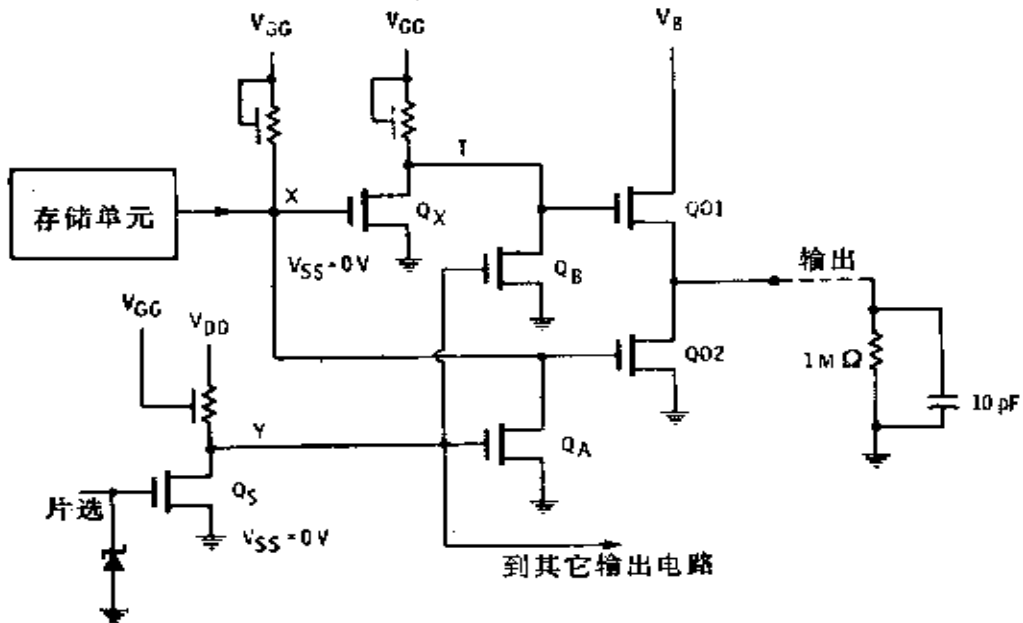


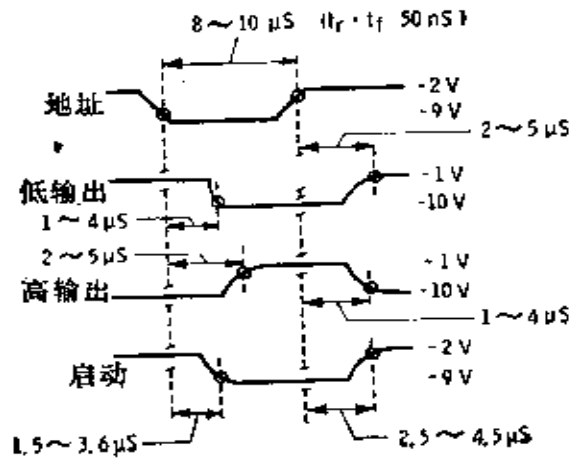
图5-19 PMOS3501

(a) ROM体系;

(c) 片选和输出功能;



(c)



(d)

型 1024 位 ROM

(b) 4 字 × 12 位型式存储器

(d) 响应时间(倍数)

假如点 X 接近 V_{SS} , QX 和 QO_2 是高 Z , 而点 T 接近 V_{GG} ; 这样, QO_1 是一个低 Z , 然后电流能从 V_B 通过 QO_1 流到输出电路。对于 $10\mu A$ 的负载电流, 输出电压幅度从 $-1V$ 到 $-10V$ 。

这种存储器存取速度比较慢, 取数时间从 $3.6\mu s$ 到 $4.5\mu s$, 如图 5-19(d) 表明的那样。还要注意, 达到高电平需要的取数时间不同于达到低电平需要的取数时间。

§ 5-4 PMOS 的 PROM 和 APROM

如果你需要一个数据必须经常变更的存储器, 那么就用读/写存储器 (RAM)。如果数据不变化以及当电源切断时数据不应丢失, 则采用 ROM。假如你需要一个 ROM, 但是不知道它应保存什么样的数据, 则采用电可编程序的只读存储器 (PROM)。而当你要求一个存储器的数据有时变化, 并且当电源断开时数据不应丢失, 则采用能改写的 PROM (APROM)。

电可编程序的 ROM, 本质上就是在每个位单元上用全部晶体管, 或者连线而设计并制造的 ROM。那时, 原始的输出全部是高电平 (或全部是低电平)。为了使一高电平变为一低电平, 要通过一个典型的寻址线路选中它, 然后一个过载脉冲加到输出管脚上。过载脉冲破坏晶体管或者连线, 从那时起, 来自位单元的输出将是低电平。一旦这一位已经从高电平变到低电平, 就不能变回去了。一旦程序编好, 可编程序 ROM 的功能仅仅像普通的 ROM。

可改写的 PROM 使用特殊的晶体管, 该晶体管有两个不同阈值电压。一个阈值电压低, 在正常的工作电压下, 允

许起正常晶体管作用；另一个阈值电压高，在正常工作电压下不起晶体管作用。目前，至少已经发展了两种改变阈值电压的方法。一种是：如果存储器晶体管用强紫外光照射20~30分钟，达到低阈值状态，然后通过外加比正常偏置电压高的电压，晶体管能选择性的回复到高阈值态。在这种方式里，一旦程序编好，它们可停留在该状态直到受另一种紫外光处理为止。这类型的PROM用一个能透紫外光的盖板来封装。

另一种APROM所用的晶体管，其阈值可用两种电的方法改变。图5-20(a)表示NC7001(由尼罗公司生产)型的方框图，是一个64字×1位APROM(NC7002是相似的，但是拥有1024位)。图5-20(b)表示一个四单元型式。为了编存储器程序，首先把 V_{DD} (-30V)加到 V_{SS} 端(衬底)用大约1秒钟的时间，将全部的存储晶体管置于低阈值状态。为了把数据写入存储器， D 或者 \bar{D} 引线接地。如果把高电平写入， D 引线接地， \bar{D} 引线断开。行地址则决定哪一行存储晶体管源极接地。如 Q_3 选中， Q_1 和 Q_2 的源极为0V，它们的漏极为 V_{DD} 。然后列选择线之一，如像 W_1 ，被引到-30V，接通 Q_1 。当存储晶体管在1~10ms内受这些条件支配时，它的阈值持久地向负方向漂移，这意味着，当晶体管在正常工作电压电平下被访问之后将不导通。因为 \bar{D} 引线已经断开，阵列里对 \bar{D} 的晶体管的源没接地，结果，这晶体管保持在低阈值状态。它在正常工作电压被访问后将导通。存储器的全部单元，则用同样方式编程序。

除了电压电平不同外，读出操作相似于写入操作，如图5-20(c)所示。输出是从 D 或者 \bar{D} 端出来的电流。这两个信号，当加到一个差动输入的放大器时，就给出储存于存储器

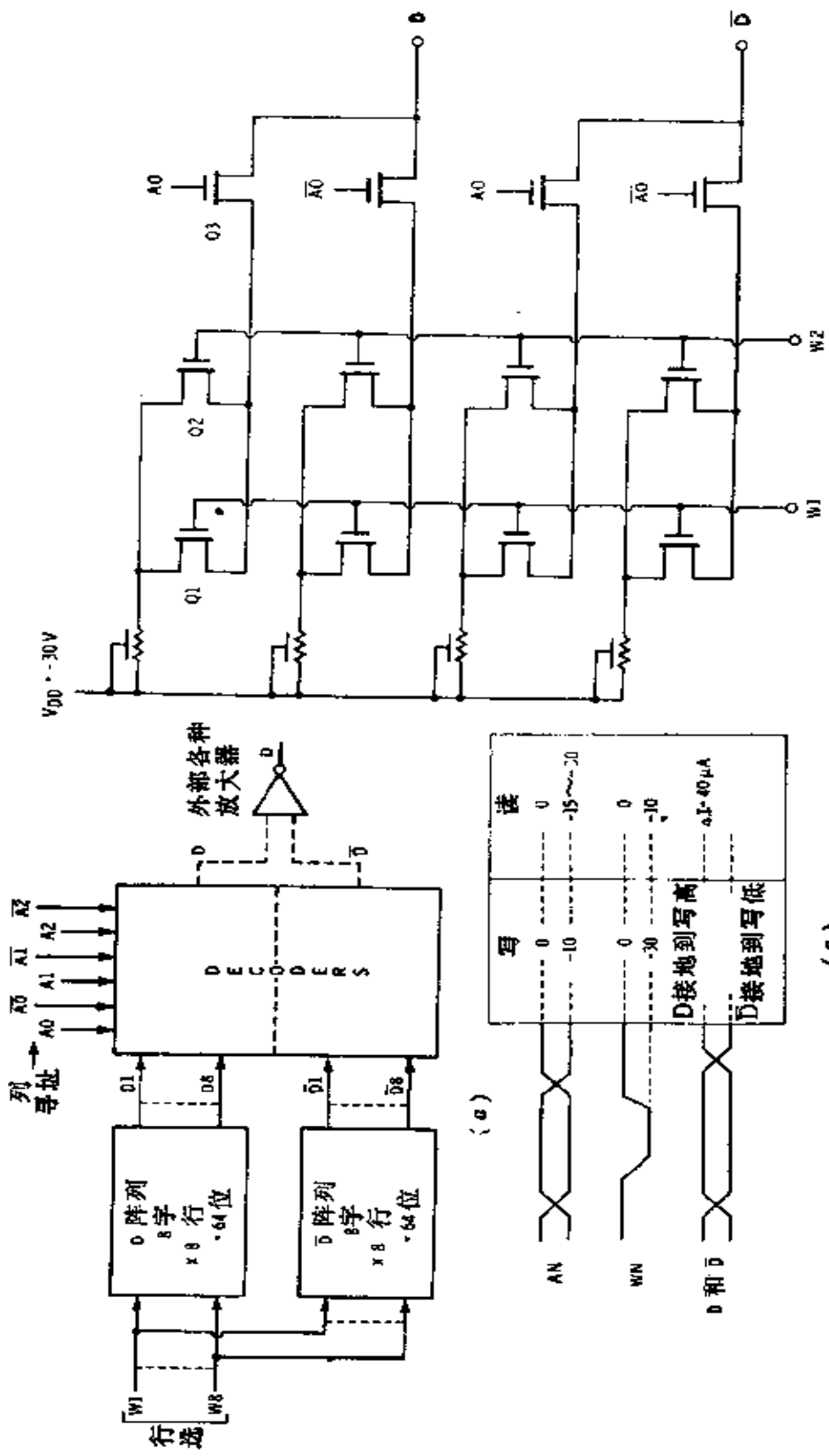


图5-20 能用电气方式改变的 PMOS PROM
(a) 机构(方框图); (b) 四单元型式; (c) 波形。

的高或低电平。

基于存储器工作的方式，输入后用保护网络，因此在使用时需要格外的小心。

§ 5-5 字符发生器

字母、数字和其它的字符和符号，能像示波器里一样通过移动电子束在阴极射线管的屏面上产生，或者像电视机里一样以扫描方式断续产生脉冲波束来产生。因为有现成、低廉的电视机可用，并且它们的适应性如同视频的终端，故扫描方式已变得普及了，并且已研制了较大量的字符发生器集成电路来完成这个功能。

对于这些应用，若干字符的字形作为标准已经接受。图 5-21(a)表示字母 *F* 在一个 5×7 点矩阵中怎样形成。当电子束沿线 1 从左向右移动时，五个圆点便被置于电视屏幕上，每个列上置一点。在荧光屏下一次扫描时，点仅仅被置于列 1，等等。总起来，七次扫描可写出字母 *F* 或任何其他字符。荧光屏的余辉保留时间保证在两次扫描之间仍有信息。

图 5-21(b)表示在 7×9 矩阵里 *F* 是怎样形成的。在图 5-21(c)中，采用 16 次扫描，但字符仅写在邻近的九条线上。这允许一个字符提高到通常的位置之上，作为一个上标（例如 X^2 ）或降低到通常的位置之下作为一个下标。也允许在一个字符的上面或下面划线。

为了写出一个句子，如图 5-21(d)所示的那样，大量的字母，间隔和标点符号必须以适当的关系置于荧光屏上。写在荧光屏上的信息多半是通过键板或计算机首先产生的，接着存入存储器里。随后显示系统同存储器和控制逻辑一起工

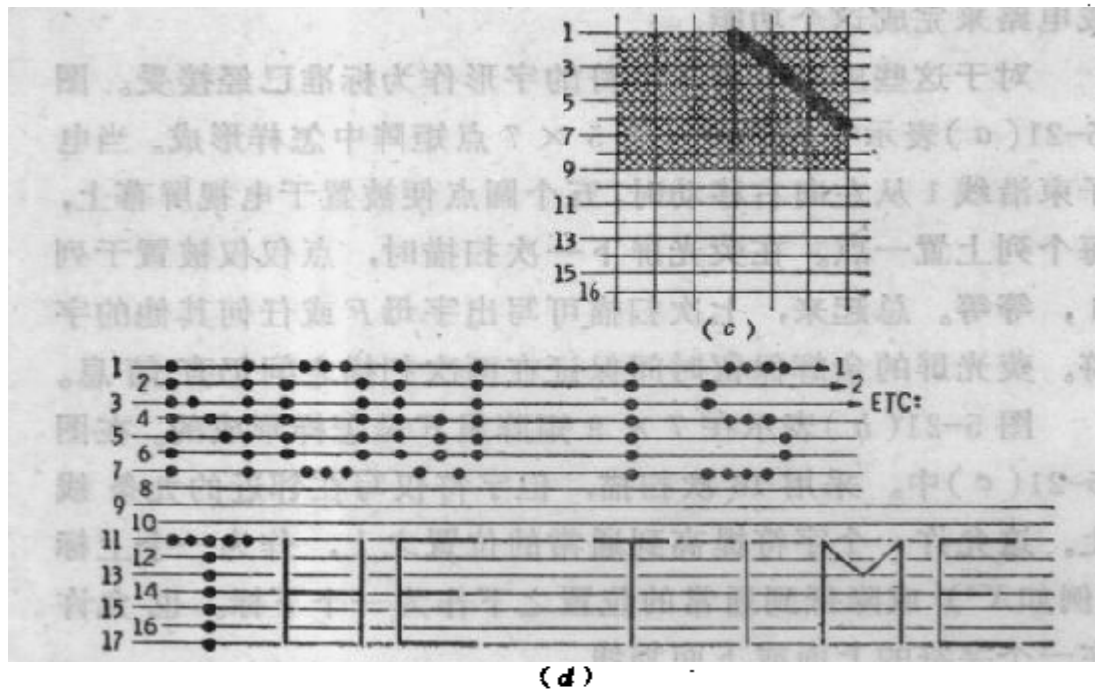
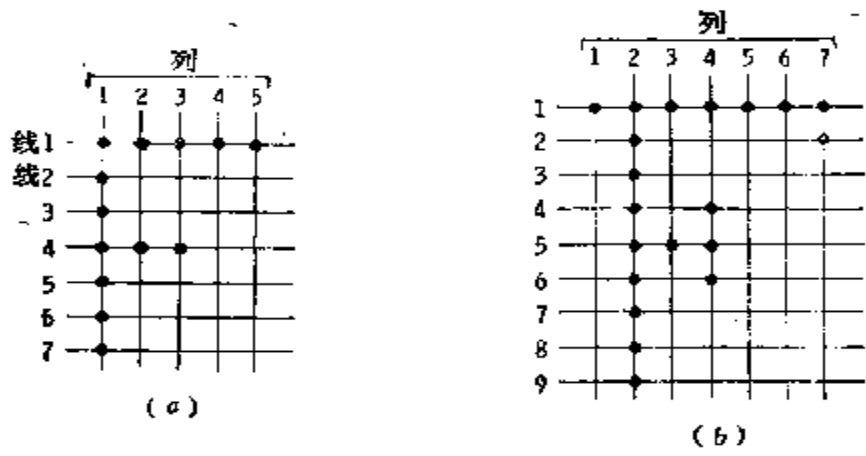


图5-21 符号字形

(a) 5×7 点矩阵; (b) 7×9 点矩阵;
 (c) 在 7×16 点矩阵上的 7×9 符号; (d) 组字符号。

作，以产生和显示信息。存储器里的信息能按需要而变化，并将出现在荧光屏的下一个画面上。

和常规 ROM 工作略有不同的 ROM 常用于产生字符。TMS4103 型是一个典型的用来产生 ASC II（用于信息交换的美国标准译码）的 5×7 符号的 ROM，其组成如图 5-22 所示。字符地址是通过 A_1 到 A_6 提供的，它们被译码，从 64 个字符（从 A 到 Z，从 0 到 9，加标点符号，记号，符号等）中选中一个。为了获得小写字母，通常使用两个 ROM，并用一个大写/小写地址码决定哪个 ROM 访问； A_7 提供片选功用。

不仅必须选择 64 个字符之中的一个，而且也必须选择显示的字符列。这由列选输入来完成。如果要选择显示字母 N，并且选用第一列，所有的七个输出产生信号，这些信号将在荧光屏上画出光点。为了写入字母 N 的列 A，电子束必须从顶部到底端（或从底部到顶端）移动，而且必须在七个位置的每一个上产生一个光点，在列 A 已经写入以后，电子束移向列 B，重复上述过程，使一个光点在行 3●上写出。为了写出整个字母 N，所有的五列必须按适当的顺序接通。

在横扫描写入的方式中，假定输出 1 用来控制电子束，那么电子束以一个恒定速率水平移动，并且列依次接通。电子束在列 A 和 E 里，产生一个光点。如果完整的一行被写入，如图 5-21(d) 所示，电子束将被隐消，而从 N 的最后一列通过两字母间隔移到 O 的第一列。在这期间，系统将改变 ROM 的地址，并且作为字母 O 的储存数据将被送入列，接

● 原文误为 2。——译者

着，列顺次被访问且O的顶部被写入。随后，以同样的方法，继续通过在顶线里的其余字母。当第一行扫描完成时，电子束迅速回扫并且开始第二行扫描。再一次，每一个字符被顺次地寻址，这时在第二行里，当列被选中时，用电子束把光点写出。之后继续这个过程，直到完整的光点画面被写出。

控制电子束并且跟踪、记忆全部信息所需要的外部系统是比较复杂的，但是建立起来并不特别困难。

还要注意，系统能够以垂直扫描，代替横向扫描。在这种情况下，每次扫描选中列，当电子束从一条线到另一条线移动时，必须选择一个新的字符。再有，外部系统必须跟踪记忆信息，因此，每一秒信息可正确显示出来。

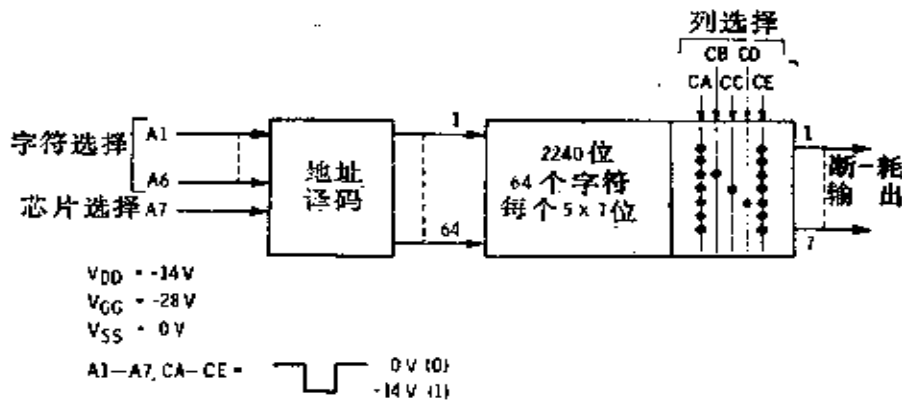


图5-22 PMOS ROM 字符发生器

一种类似的但是具有更多功能的字符发生器，是通用仪器公司的RO-5-2240S型，其组成如图5-23的方框图。存储器矩阵的数据排列与前相同，由六个地址码寻址；输出有五个列，每列有七位。

输出能用两种方式控制。当输出能够为0（0.8V或更小）时，输出变成开路 and 浮置。如果需要，允许同另外的三

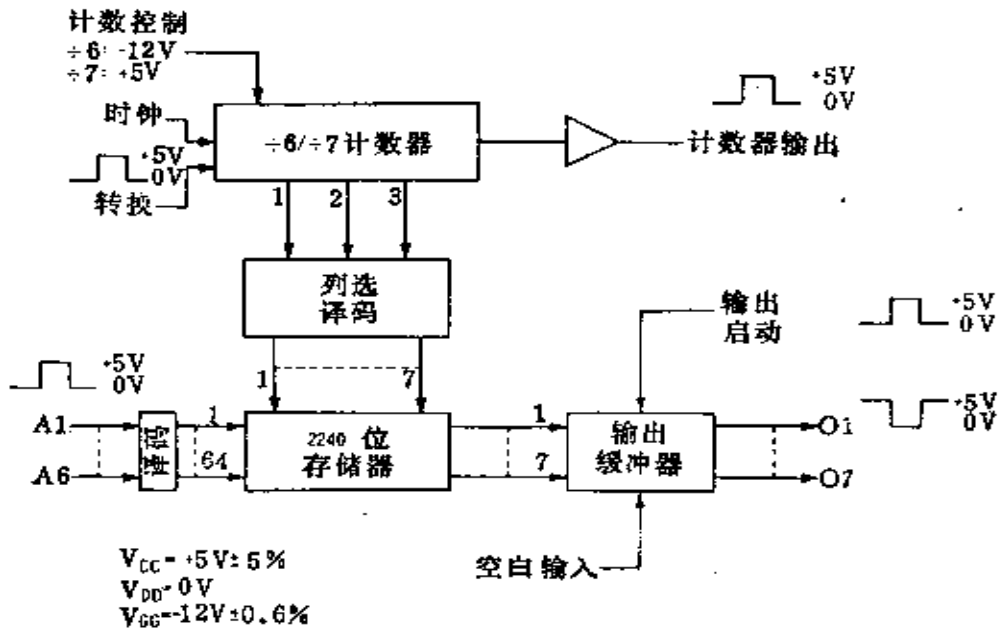


图5-23 可变间距的PMOS字符发生器

态输出器件组成或连接。当输出能够是+5V（实际上对于 $V_{CC} = +5V$ 输出为3.5V或更大）时，输出趋向存储器矩阵里的数据要求的电平。

空白输入提供输出控制的另一个电平。当它是+5V时，输出由存储器决定；当它是0V时，所有的输出达到+5V。如果一连串数据正由系统处理，但是不要求显示或打印数据，空白输入能够用来禁止这个操作。

对于列选择，仅需要一个时钟输入以代替五个时钟输入。时钟信号输送到内部计数器，顺次产生列选信号。在这种情况下，列不能够在任意的序列里选择，而必须一个接一个地产生。它还提供了一个附加的功能，即计数器实际控制六、七列的输出信息：前五列是从存储器来的数据，并能够提供显示信号；第六列和第七列是空白，提供连续字符之间的间

距。如果计数控制信号是 -12V ，计数器允许五列数据和一列空白出现在输出端；如果计数控制信号为 $+5\text{V}$ ，计数器允许五列数据和两列空白出现在输出端。

在大型显示系统中，进一步辅加以积分操作，当计数器达到满位计数（六或七）时，它产生一个输出信号，而且一个单独的输入允许它复位到0。

§ 5-6 MOS 时钟驱动器

某些 MOS 器件在芯片上没有时钟驱动器，对于这些电路所需要的仅仅是适当的 V_{GG} 和 V_{DD} 电压，以及正规的系统时钟信号，这在许多情况下，时钟可为一个 TTL 电平信号。当集成电路不包括时钟发生器时，适当波形、电压以及上升下降时间的时钟信号，必须由外部产生。这种时钟信号常常能用简单电路来产生。但是在大型系统里，特别在大型 MOS 存储器里，由于器件的电容特性，能够引起较高的电流尖峰信号。

理想的时钟波形如图 5-24(b) 所示，高电平比低电平正的多，而且可以（或者不可以）大于 0V 或地电位。在许多系统里，高电平将取 $+5\text{V}$ ，低电平取 -12V ，但是实际的电平取决于具体的系统。

图 5-24(b) 所示波形有一个尖峰，如果尖峰足够大以驱动衬底二极管进入导通，集成电路可能错误的工作，并且在极端情况下能够损坏器件。图 5-24(c) 中缓慢恢复的波形推迟了被时钟驱动的电路的截止时间，能够引起不适当的工作。在图 5-24(d) 中表示出另一信号，它通常是两相时钟的第二相被耦合到正常时钟信号上。如果噪声足够大，它能

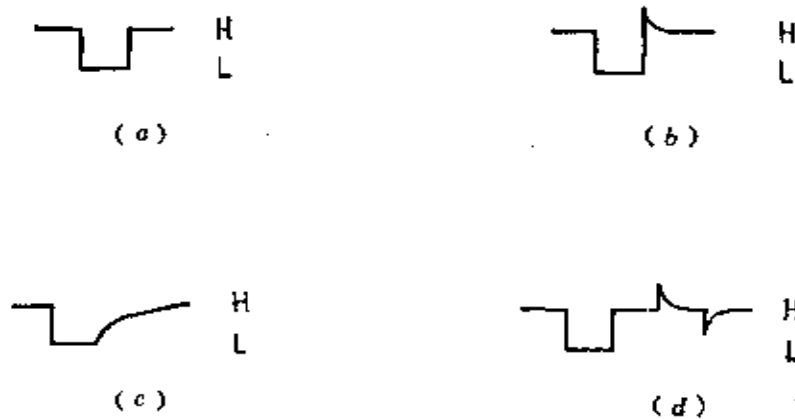


图5-24 时钟波形

(a)理想时钟；(b)具有尖峰的时钟，
(c)缓慢恢复；(d)耦合噪声。

引起故障，特别是如果它仅仅发生在系统工作的某些特定条件下。

对于 MOS 电路，已研制出多种专门线路产生多个需要的时钟信号。仙童公司的 SH0013 型是一个双重驱动器，在高达 30V 电压下能输出 $\pm 600\text{mA}$ 的电流。该驱动器还能由 9002 或 54/7400 一类的标准 TTL 门驱动，而产生两相时钟信号。也能由大功率的 TTL 缓冲器或 TTL 总线驱动器驱动，以改进性能。

图 5-25 表示一个由标准 TTL “与非” 门驱动的电路线路。从 TTL 门来的信号，经由一个串联的电阻和电容输送进入时钟发生器。这个 RC 网络控制将被送到输出电路的脉冲宽度。因为 TTL 信号是容性耦合，发生器电路能够在时钟信号所需要的电压电平下工作。

当输入信号稳定时，晶体管 Q_1 没有任何基极-发射极电压，因此是截止的。输出电压将接近于 0V，负载电容 C_L

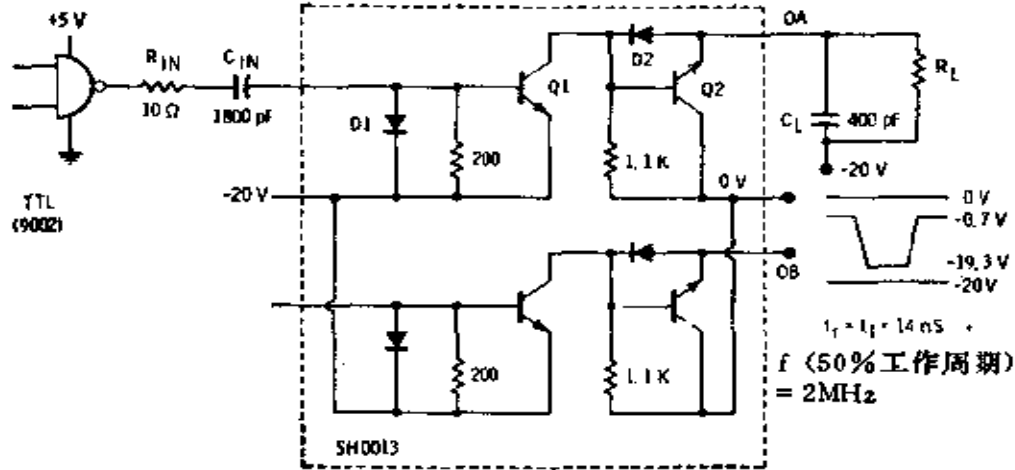


图5-25 时钟驱动器

将充电到电源电压如附图上示出的 20V。假定被驱动电路包含 MOS 输入端，其 R_L 非常大而且可被忽略。

当 TTL 门从 0 变到 1， Q_1 的输入电压开始上升，当它达到大约 0.6V 时， Q_1 开始导通。其作用通过 D_2 和 Q_1 连接输出端 OA，并使 OA 到达 -20V，负载电容 C_L 通过这条路径放电。电阻 R_{IN} 和电容 C_{IN} 一起决定 OA 电位停留于 -20V 附近的时间。该数值表明，输出脉冲宽度约为 200ns。当输入信号衰减完时， Q_1 截止。当输出为 -20V 时， Q_2 加偏压而导通。因此，电流流经 Q_2 并给 C_L 充电，输出电压移向 0V。当 Q_2 两端的电压降至大约 0.7V 时，电路重新进入稳定。

当 TTL 驱动门趋向低电平时， Q_1 是不起作用的，因为输入信号极性错了。二极管 D_1 的作用如像一个保护性的箝位电路。

每一个电路都能输出高达 600mA 的负载电流，并能获

得从大约 100ns 到 800ns 的脉冲宽度。其它的驱动器门，如像 TTL 缓冲器和总线驱动器，将产生稍微快速的上升时间（输出波形的前沿变换时间）。

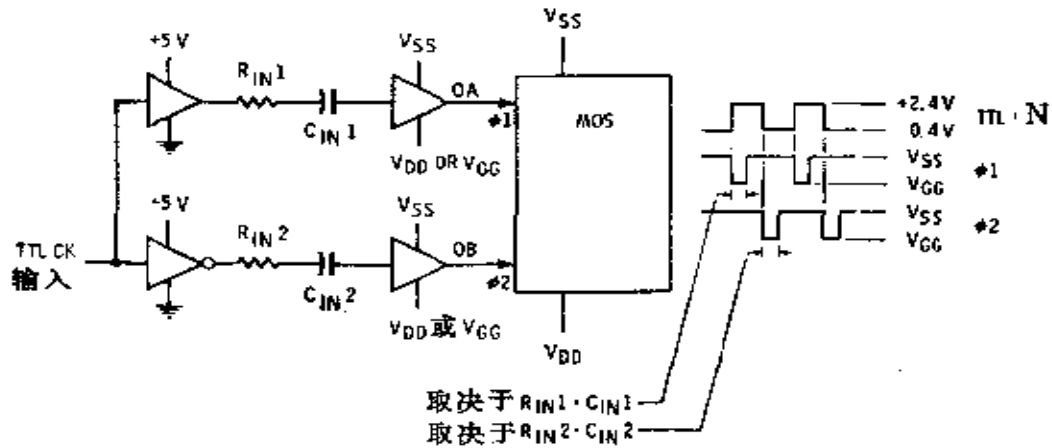


图5-26 两相时钟

一个两相时钟驱动器电路组成如图 5-26 所示。TTL 时钟的上升边产生 ϕ_1 ，下降边产生 ϕ_2 。 ϕ_1 的脉冲宽度是由 $R_{IN1} \times C_{IN1}$ 决定的， ϕ_2 的脉冲宽度是由 $R_{IN2} \times C_{IN2}$ 决定的。

第六章 NMOS

§ 6-1 NMOS 集成电路的特点

N型沟道（简称“N沟”）MOS晶体管利用电子导电，而P型沟道（简称“P沟”）器件则利用空穴导电。由于早已证实电子比空穴运动快，所以N沟器件将比P沟器件的速度快。最近出现的SY1103A-X型（辛纳特克公司生产）PMOS存储器取数时间为110ns，而等价的EA1500A型（电子阵列公司生产）NMOS存储器的存取时间约60ns。

由于电子比空穴的迁移率高，还可以把NMOS晶体管作的比PMOS晶体管小，这样既能使NMOS的速度更高，还能提高集成度——在每平方毫米的硅片上制造更多的晶体管。在NMOS工艺中还广泛采用离子注入技术来降低阈值电压和形成耗尽型晶体管，后者常被用作负载电阻。在某些电路中也采用纯电阻或非饱和型负载，而不用MOS晶体管作负载，这样可以降低工作电压，因而更能和TTL以及其他类型的逻辑电路相容。

NMOS的另外一个重要特点是它在正电压下工作。许多NMOS集成电路工作时只要一个+5V电源。这时输入和输出逻辑电平和TTL的逻辑电平一样，因此这两种系列的电路接口常可直接相容——NMOS的输出能直接驱动TTL的输入，而TTL的输出也能直接驱动NMOS的输入，中间无需电平变换或者特殊的上拉或下拉电路。

但是有些 NMOS 集成电路不只用一个电压, 常需用 +5V 和 -12V 两个电源。

目前, NMOS 集成电路还比较新, 主要品种是存储器, 因为这类器件对于工艺来说是最有潜力的。不过 NMOS 在另外一些电路里也有应用, 特别是用在微处理机中, 有些则应用到目前仍采用 PMOS 的大多数场合里。

采用 NMOS 的电路和逻辑结构似乎都与采用 PMOS 的同种电路类似, 甚至完全相同。其主要区别是电压极性和电平及工作速度, 相比而言 NMOS 更复杂一些。

§ 6-2 静态 NMOS RAM

2102 型 1024 位静态存储器及由它派生的许多型号, 大概是目前应用最多的。该电路是 N 沟硅栅器件, 它采用离子注入形成的耗尽型负载电阻, 并且其阈值电压已降低到和 TTL 门一样。器件适用的速度范围是取数时间从约 1000ns 到约 275ns, 每块电路的功耗范围约 300mW 到 225mW。

存储器的结构如图 6-1 所示。电路的工作类似于前面已经讨论过的静态存储器。五条地址线在 32 行中选 1 行, 另有五条地址线在 32 列中选 1 列。于是处于交点上的位或者被读出, 或者写入一个新数据。片选输入控制三态输出和写入电路。当片选输入为高电平时, 输出是高 Z 态, 允许实现“或连接”操作, 新数据即被写入。地址码是有效的, 在经过特定器件的取数时间之后, 数据将出现在输出端。

图 6-2 示出存储单元, 是带有两个存取晶体管的交叉耦合触发器。如果 M 点是高电平, N 点就是低电平。当行被选中时, Q_A 和 Q_B 导通, A 线跟随 M 点变化, 而 B 线跟随 N 点

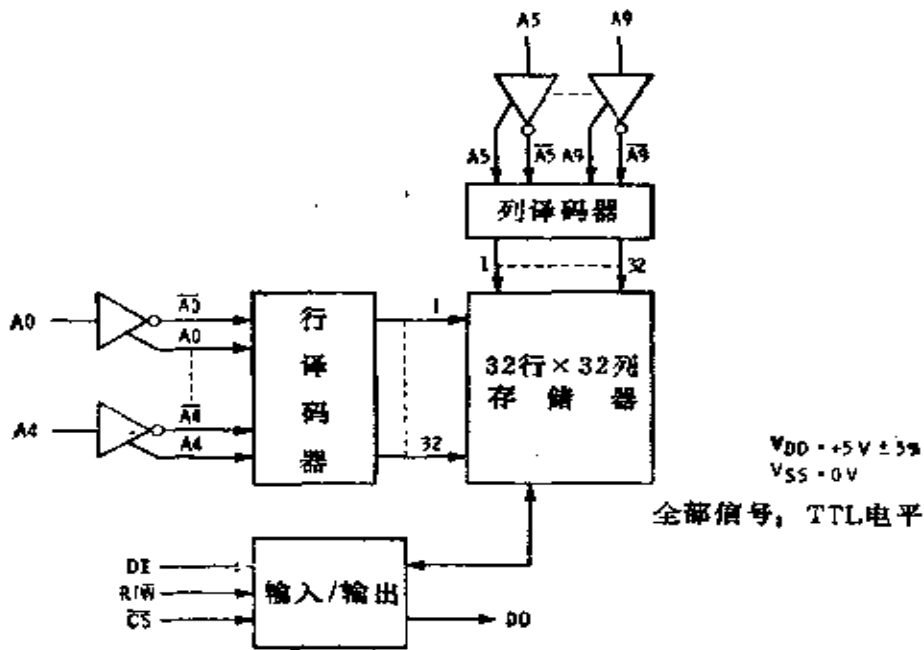


图6-1 2102型1024位静态NMOS存储器

变化。当列被选中时， Q_1 和 Q_2 导通，差分输出放大器接收 A 和 B 两个信号，一个是高另一个是低。如果芯片被选中，输出将趋向高电平或趋向低电平，这取决于这个单元中本来存储器的数据。

写入新数据时，先选中芯片，然后 R/W 输入趋向低电平。于是 DI 输入端的数据将写进由寻址信号所选中的单元。当电路处于写入状态时，输入数据缓冲器产生信号 D 和 \bar{D} ，它们将经由写入放大器 WA 和 WB 送进被选中的单元里。

这种集成电路使用方便，因为它和 TTL 系统完全相容，仅用一个电源电压，而且可通过“或连接”扩展逻辑功能。

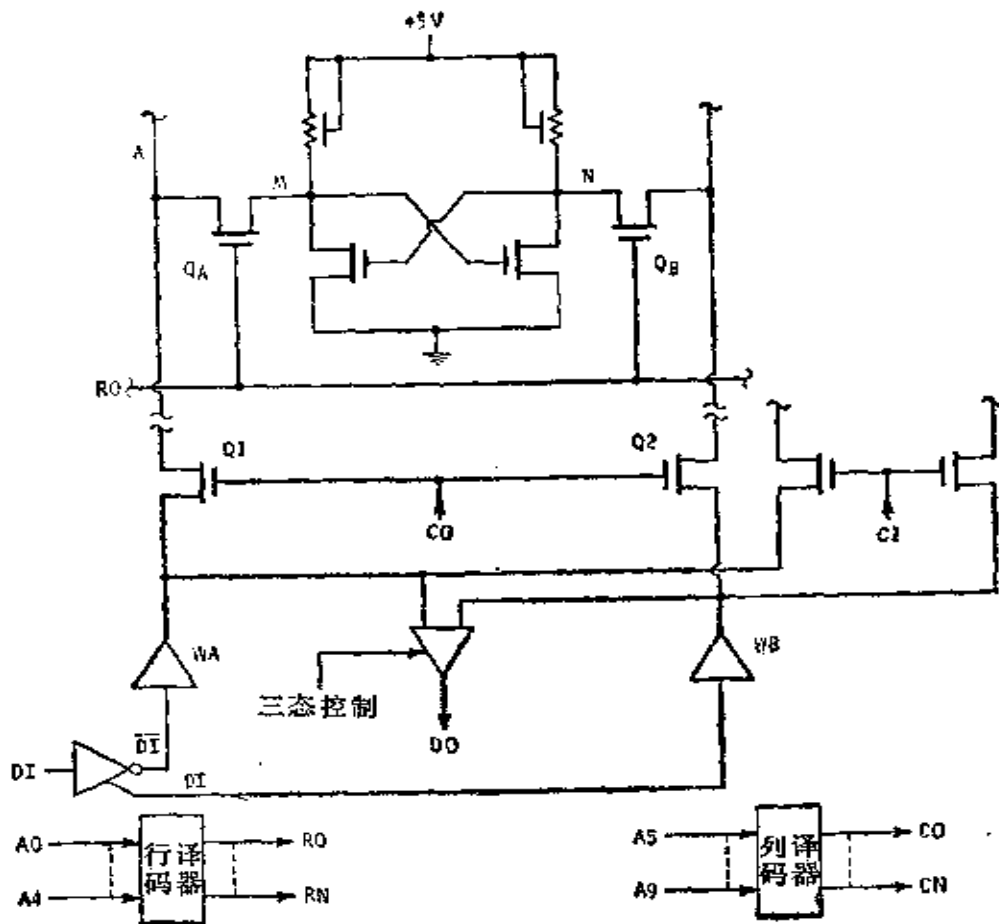
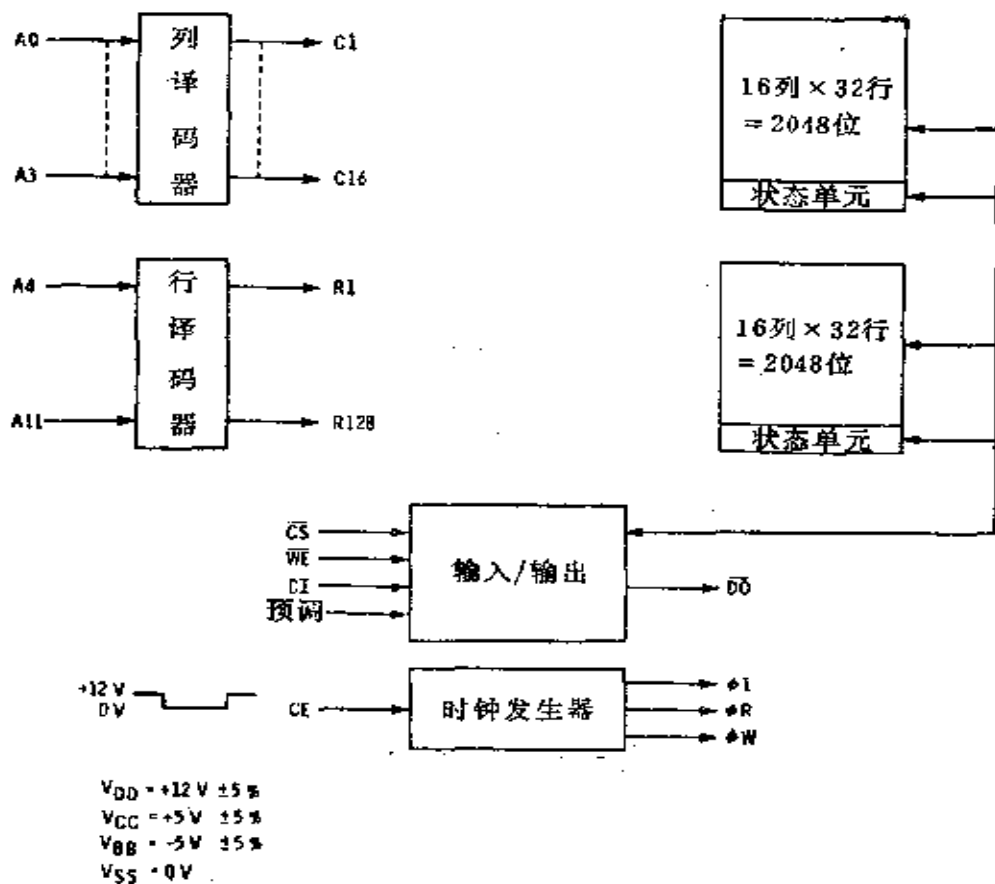


图6-2 NMOS 静态 RAM 的存储单元

§ 6-3 动态4k NMOS RAM

在动态 NMOS RAM 里已广泛应用倒相型存储单元, 这给设计存储器集成电路提供了另一种选择。图 6-3 表示一种典型的 4kNMOS 动态存储器的方框图——这里的 RM1701 型是西方数字公司的产品, 这种存储器需要四个电压 (其中一个为 0V), 工作时以 TTL 的信号电平作逻辑输入, 还需要一个 +12V 时钟称为 CE 或者芯片启动。



所有的逻辑输入除CE外都是TTL电平

图6-3 RM1701型4096位动态NMOS RAM

图6-4是这种型号的存储器的简化四单元示意图。在存储周期未开始之前，CE端是低电平（A）而 ϕ_1 是高电平；结果 Q_D 晶体管导通，数据线预充电，这可消除预充电电流尖峰这样一个许多动态存储器共同存在的问题。当CE趋向高电平时，一个读周期开始。相位信号 ϕ_1 是CE的反信号而趋向低电平 \ominus ，它使预充电停止，如果芯片被选中还同时

● 原文误为高电平。——译者

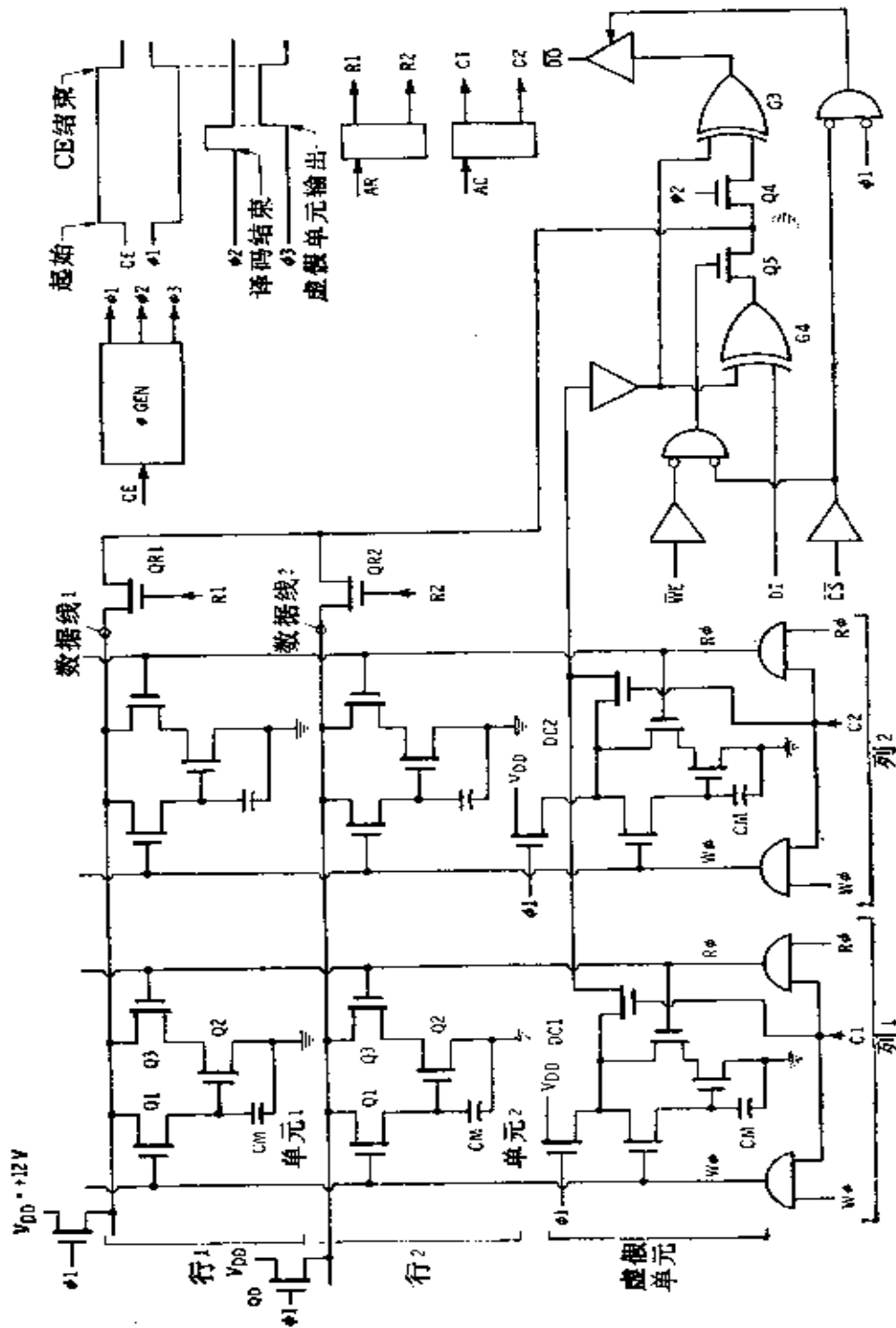


图6-4 4k 动态 NMOS RAM 的简化四单元式

接通三态输出端。当 CE 趋向低电平时，也能使地址译码器工作，而当地址译码完成时将被读出并作为 ϕ_2 信号的起点。 ϕ_2 又叫做读 ϕ ($R\phi$)。

假定地址线已经选中第 1 行第 1 列所在的单元。由此，单元 1 的读出线趋向高电平，接通第 1 列存储单元里的 Q_2 晶体管。如果单元 1 里的 CM 已充电， Q_2 将导通而数据线 1 上预充电荷将被放掉。如果 CM 未充电， Q_2 将截止，数据线 1 将保持为高电平。由于第 1 行已被选中，这时数据线 1 将经由 QR_1 和 Q_2 连到输出电路上去。

当 ϕ_2 趋向低电平时，这个时刻刚好作为 ϕ_3 信号的起点， ϕ_3 称为写 ϕ ($W\phi$)。当 $W\phi$ 趋向高电平，同时第 1 列又被选中时， G_2 将接通第 1 列存储单元里的 Q_1 晶体管。如果这时数据线 1 是高电平， CM 充电；如果数据线 1 是低电平， CM 放电。对于单元 2 情况也类似。显然此时第 1 列所有 CM 上的带电情况都颠倒了，这样存储在第 1 列里的数据不仅恢复而且倒了相。下一次第 1 列再存取时，数据将再次被倒相。为了使输出的数据正确，当数据线上存储了反相形式的数据时，存储器应当把数据线倒一次相；但如果数据线上存储着真值数据时，存储器就不应当使数据线倒相。这步巧妙的逻辑操作是靠每一列的虚设单元（或者叫状态单元）和某些“异或”门来实现的。

当电源首次加到电路上时，虚设单元的数据线也像存储单元那样全都预充电，不过虚设单元的 CM 并不充电。当第 1 列首次存取时，存储在虚设单元里的数据也将和第 1 列里所有的存储单元一样被倒相。这样，在读出时虚设单元通常可用来决定存储在列里的数据究竟是否该倒相。从虚设单元

和选中单元来的两个信号被送进“异或”门 G_3 。如果来自虚设单元的信号是高电平，来自存储单元的信号是翻转的。如果虚设单元信号是高电平，而选中数据线也是高电平， G_3 的输出将是低电平，但如果数据线是低电平， G_3 将输出高电平。于是数据得到翻转。如果虚设单元是低电平， G_3 输出将跟随数据线变化而不发生翻转。

若把数据写入单元，只要使 \overline{WE} 输入端变低约 160ns，这时 CS 输入是低电平。门 G_4 将和 G_3 一样的方式，跟随输入 DI 和被选中的虚设单元的输出。因此写进选中单元的数据既可能是真值，也可能是它的反值，以便目前一次写入而存储在列里的数据状态相一致。

现已研制出许多类似的 NMOS RAM，如图 6-5 所示的单管存储单元，已用在许多 RAM 中。读出数据时，使行选择线 RS 得到高电平，而 D/S 线达到和 CM 相同的状态，并通过列选择信号 CO 读出。如果数据线趋向高电平，电路使 CM 放电；如果 D/S 线趋向低电平，电路给 CM 充电。再有，数据可以刷新但要反转。虚设单元提供关于存储数据是真值还是反值的信息，而输出和输入电路功能类似于上面讨论过的 4k NMOS RAM。

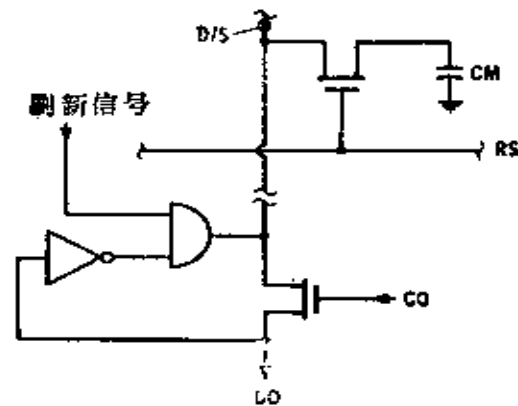


图6-5 NMOS 动态存储器的单管存储单元

§ 6-4 准静态 NMOS RAM

虽然动态存储器具有高存储容量但需外部刷新电路。静态存储器工作较简单，但存储容量有待扩展。人们力求得到两者的优点，研制出电荷泵存储单元。

这种存储单元如图 6-6(a)所示，它利用栅极电容存储数据，因为电荷要泄漏，单元必须刷新，因此它是一种动态存储器。刷新通过电荷泵进行。这种电荷泵实际上是仅用了

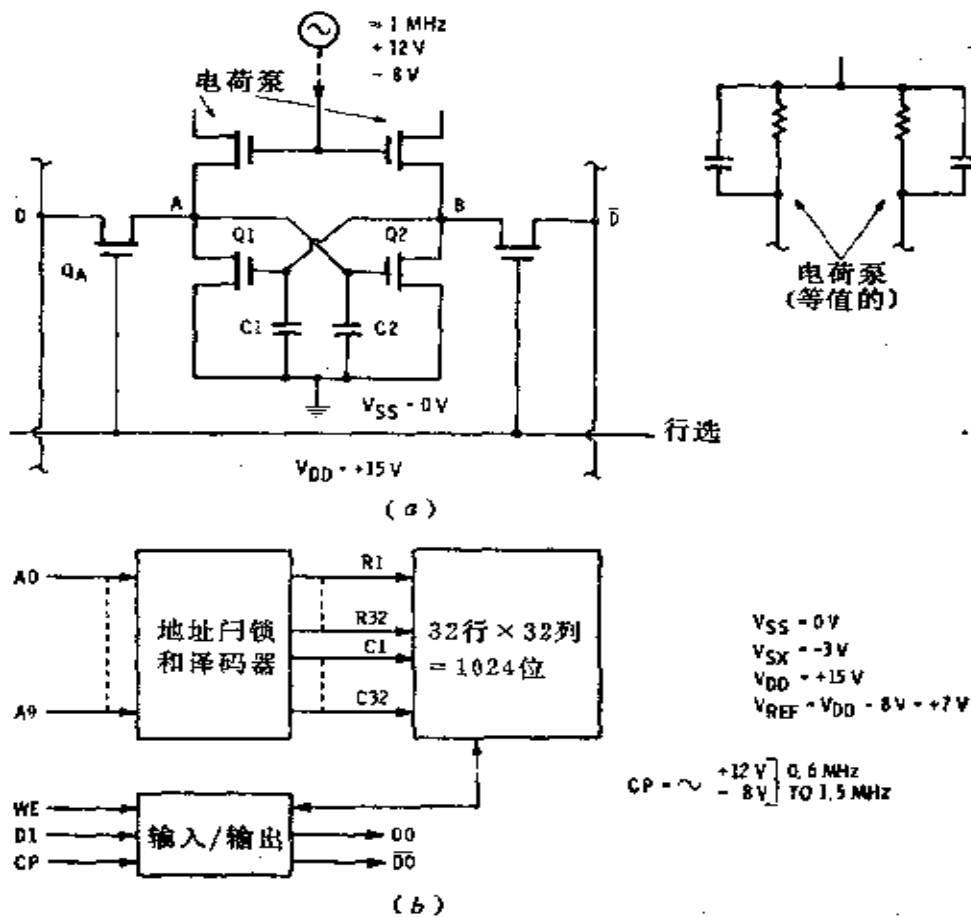
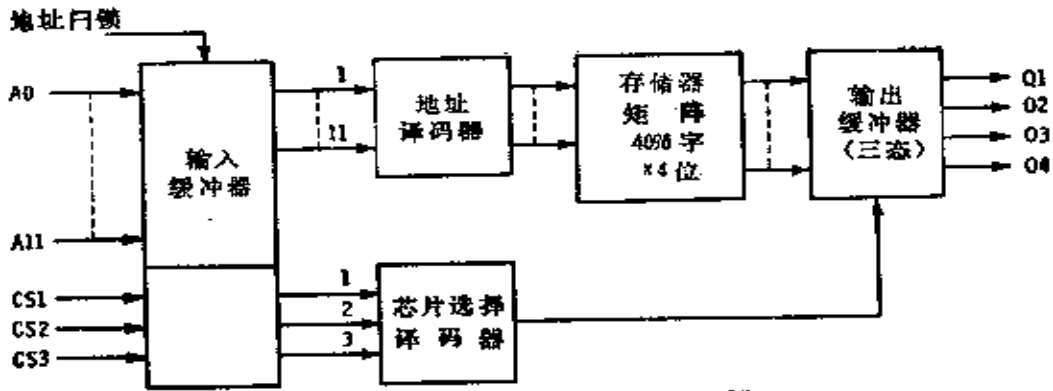


图6-6 MW7001 型 1024 位电荷泵静态 NMOS RAM

(a) 电荷泵存储单元; (b) 结构。



VCC = +5V ± 5%
 地 = 0V
 全部输入 = 0.65V(最大), 对于 0
 2.2V(最小), 对于 1
 输出 = 0.45V(最大), 对于 0 在 1.6mA 负载
 2.2V(最小), 对于 1 在 100μA 负载

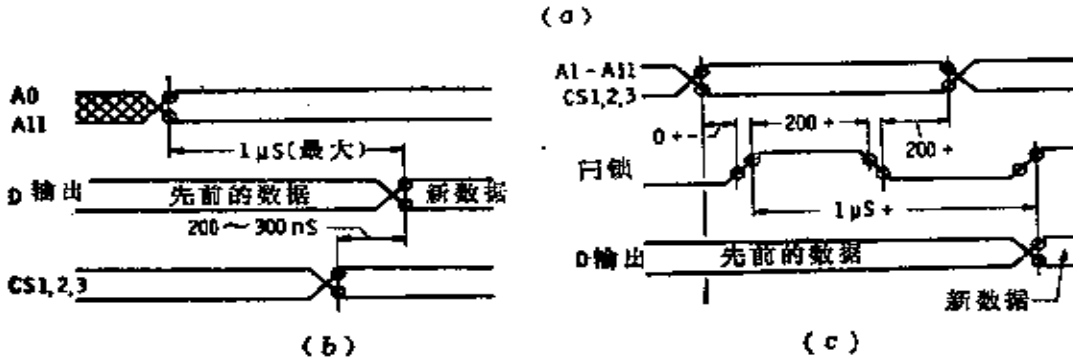
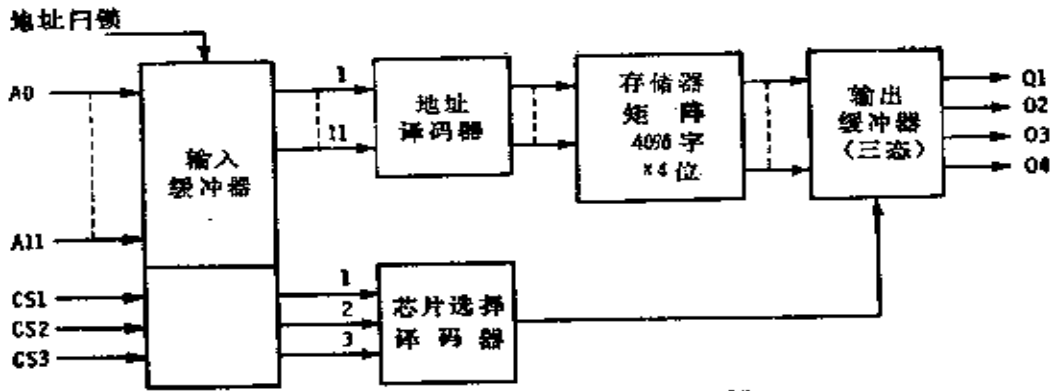


图6-7 RO-3 16384 型 16k 位 NMOS RAM

16k × 8 位或者 128k[●] 位的存储器来工作。这种存储器由 48k 字 × 4 位组成。片选输入的编码可由用户决定,而在最后一次光刻时作到 ROM 中去,作为存储器矩阵内容的一部分。

ROM 有两种工作方式,或者是门锁输入为高电平,如图 6-7 (b) 所示;或者在门锁控制下工作,如图 6-7 (c) 所示。如果芯片没选中,输出是高 Z 状态。对于任一给定的地

● 原文误为 128 位。——译者



VCC = +5V ± 5%
 地 = 0V
 全部输入 = 0.65V(最大), 对于 0
 2.2V(最小), 对于 1
 输出 = 0.45V(最大), 对于 0 在 1.6mA 负载
 2.2V(最小), 对于 1 在 100μA 负载

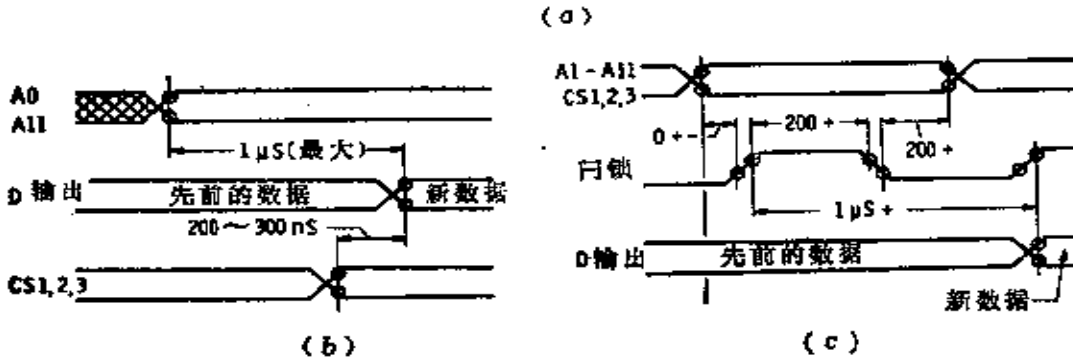


图6-7 RO-3 16384 型 16k 位 NMOS RAM

16k × 8 位或者 128k[●] 位的存储器来工作。这种存储器由 48k 字 × 4 位组成。片选输入的编码可由用户决定,而在最后一次光刻时作到 ROM 中去,作为存储器矩阵内容的一部分。

ROM 有两种工作方式,或者是门锁输入为高电平,如图 6-7 (b) 所示;或者在门锁控制下工作,如图 6-7 (c) 所示。如果芯片没选中,输出是高 Z 状态。对于任一给定的地

● 原文误为 128 位。——译者

址, 输出趋向程序态。一旦芯片选中, 就延时200ns到300ns。当芯片解除选择后, 输出经过一短的延时后回到高Z态。

如果采用闩锁〔图6-7(c)〕, 那么当闩锁趋向高电平时, 地址和芯片选择输入都必须稳定, 于是闩锁变高后1 μ s以内输出端就出现新数据, 这时便可把一个新地址锁进芯片并选中一个新的芯片。

第七章 其他的 MOS

§ 7-1 复杂的 MOS 集成电路

MOS 集成电路最重要的特性也许就是：相当庞大复杂的线路能够做在一块小的芯片上。这种本领，开始主要是用在通讯系统和测试设备里。但它对于许多类型的复杂线路也存有潜力，因此各种特殊电路也逐渐发展起来，以满足特殊的需要。某些集成电路的潜在市场愈大，则它发展得愈快。在存储器件以后发展起来的最大的一类复杂电路大概就是计算器电路了。接着是数字手表和数字钟电路，以及很多其他电路，新产品不断涌现。由于篇幅所限，本章仅能简短的论及一些典型器件。

计算器电路 袖珍计算器和电子计算尺是由这种芯片和芯片组构成的。芯片的数量发展得相当可观，预期会有更多的芯片和芯片组出现。电路能完成全部正规的数学运算，包括对数、三角函数和指数。预料这种电路还可以有更多的应用，特别是控制电路。一个典型的低价袖珍计算器的方框图示于图 7-1。

集成电路乐器 多种集成电路已用来产生音乐。一架完整的电子琴是相当复杂的，因为除音频信号的产生和整形之外，还需要键盘、脚踏板、电源和一个音频系统（包括放大器和扬声器）。大量的信号处理用比较少的集成电路就能完成。美国微系统公司是电子乐器专用 PMOS 集成电路的主

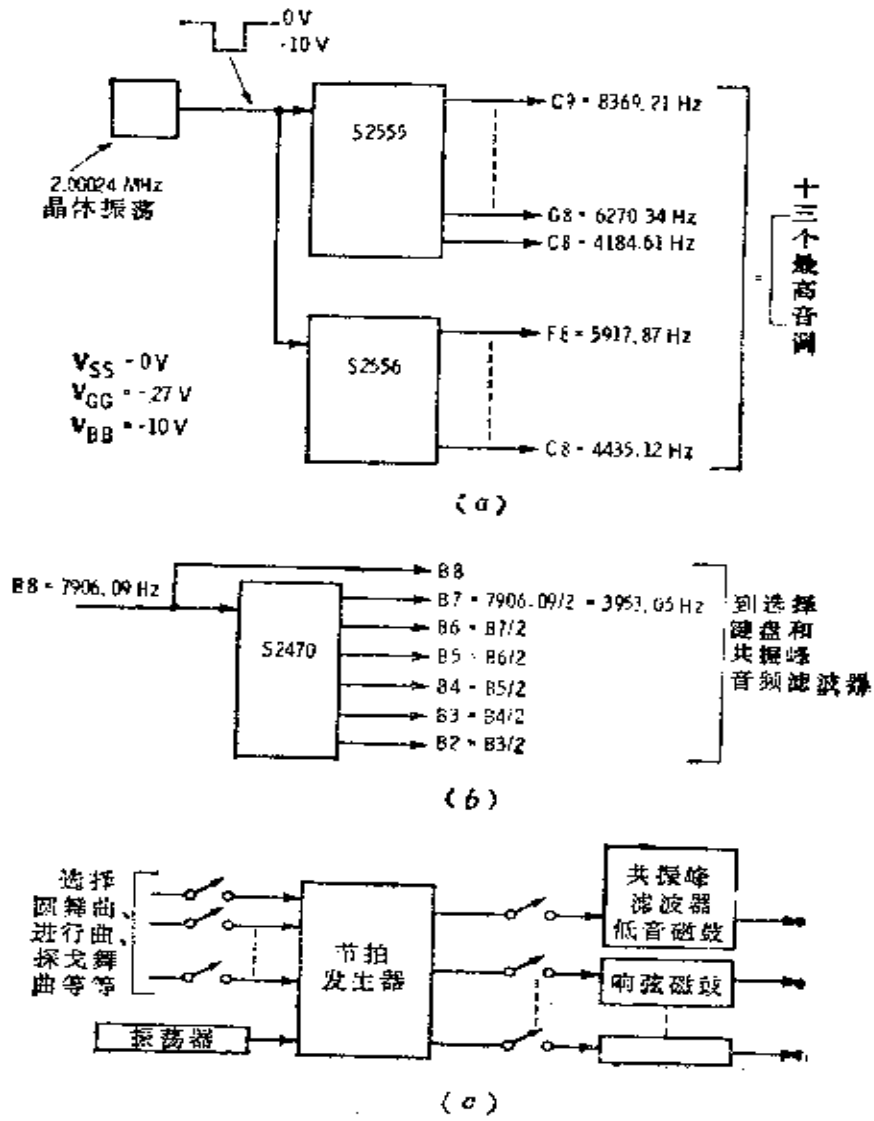


图 7-2 使用集成电路的电子音乐

(a) 12个高八度音调加C₀的发生器; (b) 获得B音调的分频系统; (c) 电子琴节拍发生器。

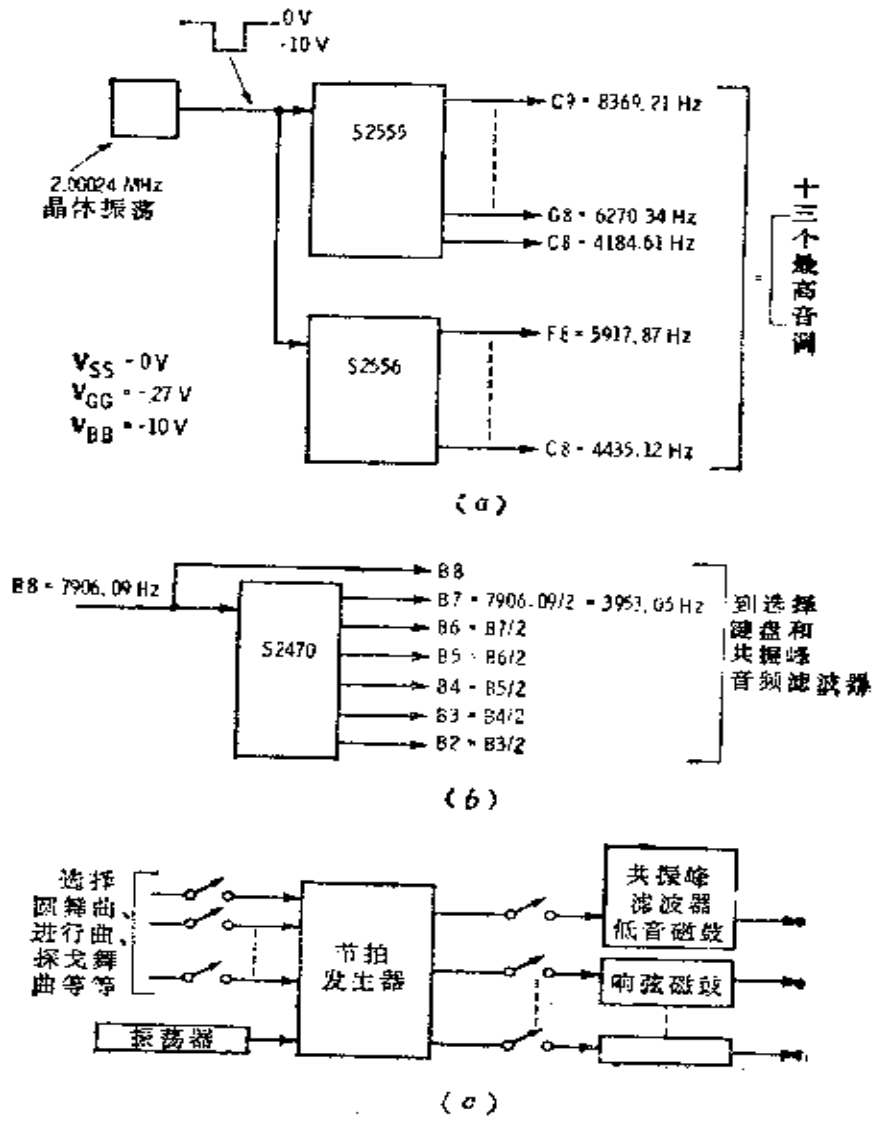


图 7-2 使用集成电路的电子音乐

(a) 12个高八度音调加C₉的发生器；(b)获得B音调的分频系统；(c)电子琴节拍发生器。

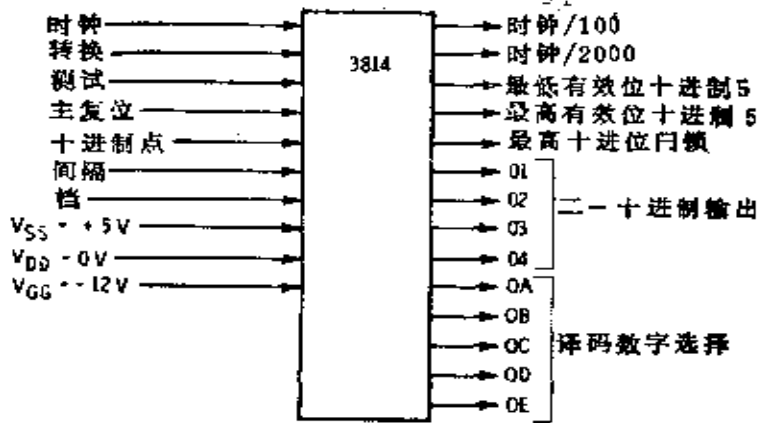
除了音调和音量之外，电子琴还要求有各种节拍。这是由一个节拍发生器集成电路(如 S2566)产生的〔图 7-2(c)〕。这种集成电路本质上是 ROM。在那里，典型的节拍结构已经被编码，用户依靠开关来选择想要的节拍结构；节拍的速度由一个单独的振荡器控制。大量的输出能得到，它们的波形由另外的谐振滤波器整形发出像低音鼓、响弦鼓、铙钹、响葫芦等的声音。然后各种音调的波形和节奏必须结合在音频系统里，再输送到扬声器去。

数字电压表 3814 型集成电路(见图 7-3)包含制作 $4\frac{1}{2}$ 位十进制数字电压表的逻辑电路。线路采用双斜率积分，它能抵消元件和电压的长时间漂移的影响并抑制 60Hz 引线噪声。时钟能在直流到 600kHz 的任何频率(典型脉冲宽度为 220ns)下工作。

欲测电压首先通过一个外部的调节线路，然后加到转换电路输入，输出信号包括一个多路传输四位二进制(BCD)信号(代表数字 0 到 9)和一个译码的数字选择信号。数字选择信号受阶梯输入控制。因此输出必须加到外部 $4\frac{1}{2}$ 位数字显示系统上(它采用 BCD 字加上数字选择信号)。十进制 5 的三个输出用来决定欲测输入是否已超过量程。

一个完整的数字电压表可用这个器件，再加上六或七块集成电路、一个显示系统和少量的分立元件构成。

数字-模拟和模拟-数字转换器 模拟-数字转换器(ADC)把模拟输入(例如从压力传感器来的信号)转换为数字输出。而数字-模拟转换器(DAC)把数字转换为模拟信号(例如直流电压表示管道内水的压力、流量等)。模拟-

图 7-3 $4^{1/2}$ 位的数字电压表

数字转换器包括一个完整的数字-模拟转换器,因此是一种更为复杂的器件。

对于 ADC 和 DAC 来说,重要的特性是分辨率(或有效位数)、转换的保真度(容错性)、工作速度和成本。

3750 型 DAC 示于图 7-4(a),两个基准输入提供高和低电平,它们对应于满刻度和 0 输出。置位和复位是用于校准线路的。时钟控制转换速率。如果数据是串行进入的,时钟最高能达 250kHz;但是如果数据并行进入,器件能把 500,000 数字/秒转换为模拟信号。十个输入作为并行输入,同时一个输入作为串行输入。

其它的输入接通和断开器件并提供电源,十个并联输出通常提供一个电阻梯形网络,在那里产生模拟信号作为已经接通的输出功能。转换信号也可以串联形式出现(8 位或 10 位)。这个特征允许仅仅通过两条线就能把数据传输到很远的地方。

图 7-4(b)表示一个 8 位到 12 位 DAC 的输入和输出,其字长由输入 A 和 B 选择。被转换的模拟信号加到外部比较

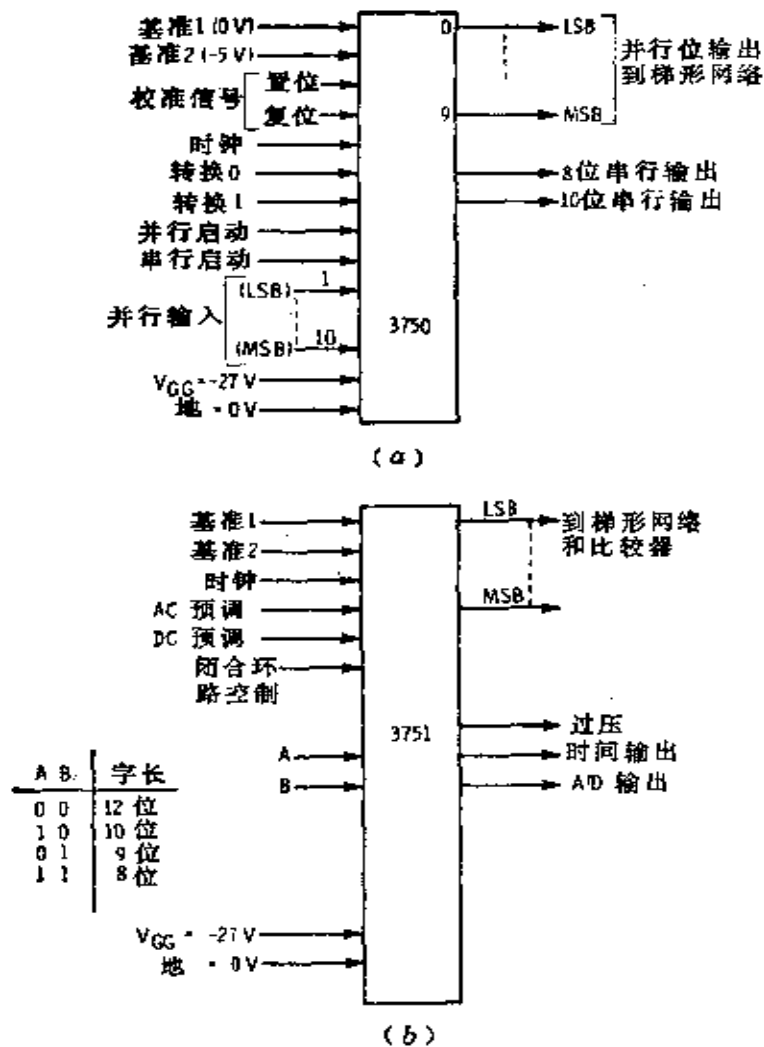


图 7-4 数字-模拟和模拟-数字转换器

(a) 十位数字-模拟转换器；(b) 八~十二位数字-模拟转换器。

器的一个输入端；器件的十二个输出送到外部的电阻梯形网络，该网络的输出又送到外部的比较器的另一个输入端。之后，集成电路工作使得梯形网络的输出等于输入模拟信号。转换在每个时钟脉冲下逐步进行。相应于模拟输入的数字，串行出现在 A/D 输出端，首先出现最高位。当转换完成时，一

个脉冲出现在时间输出端（转换结束）。当转换器作为一个三数字 BCD 转换器时，使用 BCD 过电压输出。基准电平 1 和 2 提供满刻度以及 0 基准。其它的输入用于控制线路工作。

手表集成电路 相当多的制造商已经研制了手表集成电路，如像考尔-特克斯半导体公司制造的 CT6002 型。集成电路是一个由 1.5 V 电池供电的 CMOS 电路。这集成电路驱动一个如图 7-5(a) 所示的液晶显示 (LCD)，并提供四位数的每一段输出信号和“:”的输出信号。因此显示需要从集成电路引出二十三条连线。

集成电路的逻辑示于图 7-5(b)，它由一个数字计数器、

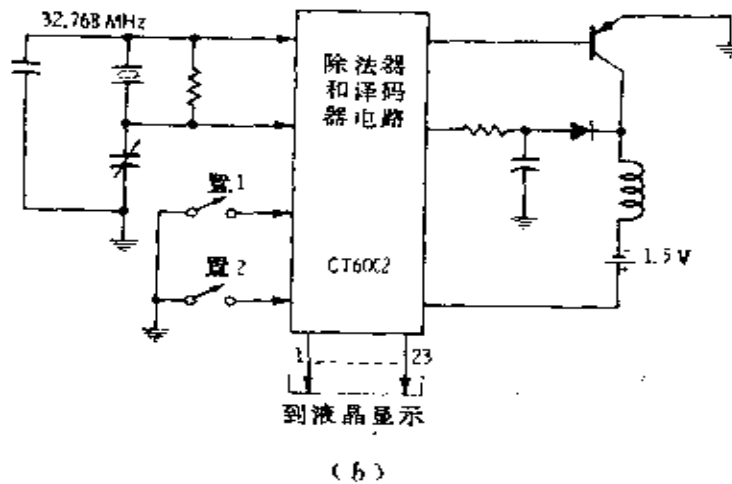
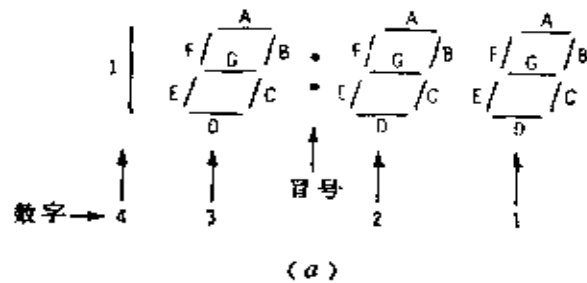


图 7-5 数字手表

(a) 显示装置；(b) 表逻辑。

一个译码电路（产生二十二个输出）和一个公共的背景驱动器。外部电路包含一个 32.768MHz 石英晶体振荡器和一个电源变换器（产生 LCD 需要的 8 V 电压。）因为显示单元需要交流，从集成电路来的显示信号被调制到 32Hz。

有些较为复杂的但是逻辑相似的线路，已被用作数字报警钟和带日历的手表以及时钟。

通用异步接收机/发射机（UART）许多数据处理机器，如像售货终端、电传打字机、显示系统等等，必须与其他远处的各种设备（例如中心计算机），经常地通讯（见图 7-6）。在大多数情况下，处理设备和数据线之间的接口信号的线路是很相似的。所谓通用异步接收机/发射机（UART）的集成电路，就是为这一目的而设计的。

UART 是非常复杂的，它能完成设备和数据线之间全部的传递操作。器件能接受从设备来的并行数据，并转换为串行形式，以便从线路传输出去。如果有必要，它也接受来自数据线的串行数据，并转换为并行形式。它也可增加起动，停止和奇偶位操作，并在接受消息时检验这些位。

数据可在 5~8 位可变字长范围内处理。信号输入和输出

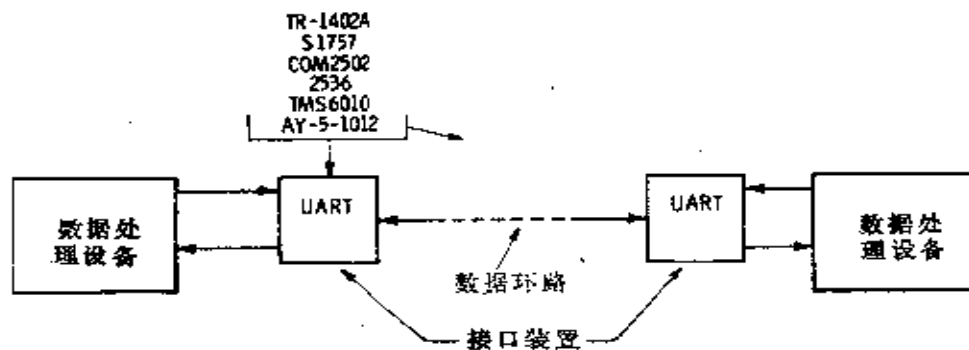


图 7-6 通用异步接收机/发射机

是 TTL 逻辑电平，电源是 +5 V 和 -12 V。

先进先出寄存器 (FIFO) 在某些应用里，需要以可变的速率累加数据，随后在一个快速转储周期中，将存储的数据全部送到通讯线中去，该通讯线或许正和计算机相连。相反的情况也会出现，在那里一串数据被接受以后缓慢地输送到一个外部的设备如一台打印机上。

上述的操作可用适当长度的移位寄存器来完成，除非放置在寄存器里的数据在输出时不能立即得到。但是当新数据写入时，必须使它们的路径工作完。需要的是能接受数据的电路，并且该电路能立即向输出移位数据。新数据必须不推出已经存入的数据，但应当是简单的排列在它们后面，好像在红灯下的汽车。西格内蒂克斯公司制造的 2535 型 (32 字 × 8 位) 和仙童半导体公司制造的 3341 型 (64 字 × 4 位) 是属于 FIFO 这一类型的 (图 7-7)。数据在输入控制逻辑的指令下进入并移到 RAM 中，而且向着输出级放在任何其它预先存入数据之后。RAM 的控制逻辑记录有多少字组已经存入

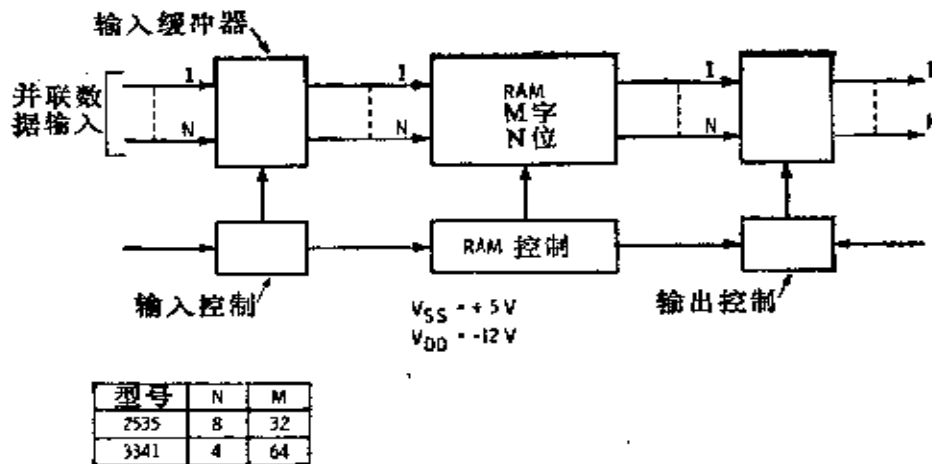


图 7-7 先进、先出寄存器 (FIFO)

寄存器，以及多少已经离开，并相应地控制 RAM。在输出逻辑指令下，数据移动到器件的输出端，输入和输出与 TTL 门相容。

程序逻辑阵列 介于 ROM 和复杂逻辑组件之间的是程序逻辑阵列或称 PLA。PLA 的基本概念标明在图 7-8 里。标准门阵列和触发器设计在芯片上。芯片有输入 $A, B \dots N$ (通常从 8 到 14) 和八个以上的输出。输出是输入的各种函数 (如图所示，其中 X 和 Y 是未表示出来的输入的函数， M 和 N 是某些输入的“与”函数)。带有圆圈的连线表示在最后的掩蔽阶段能够被消除的连线——这样类似于一个 ROM。

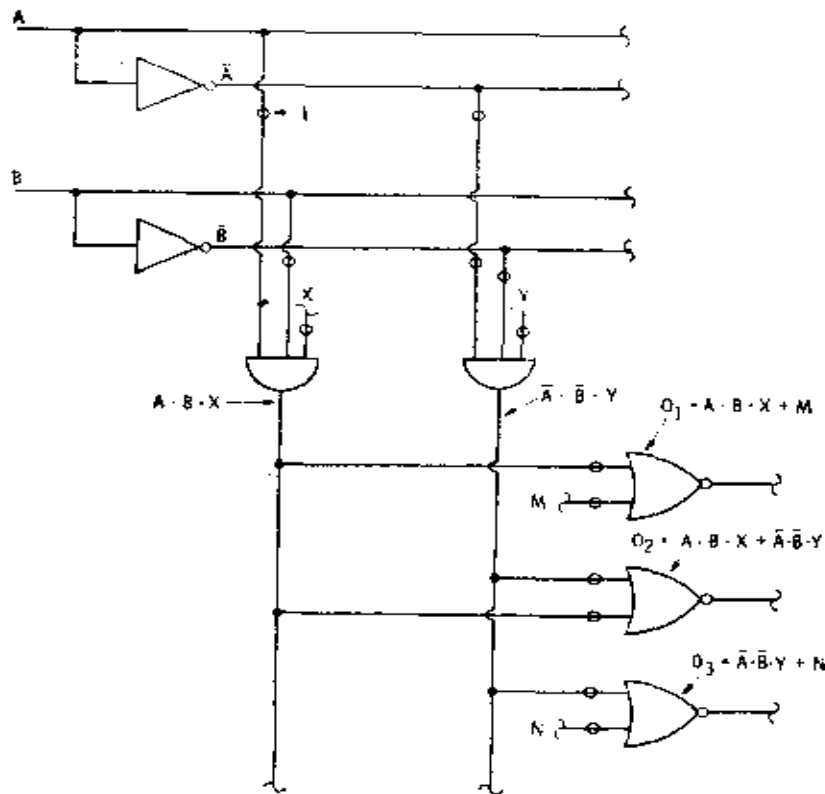


图 7-8 程序逻辑阵列

为了使输出 O_1 表示一个不同于图中示出的函数,可消除连线 1, 给出 $O_1 = BX + M$ 。对于所有其它的输出,同样是真实的。此外,只有在上一个时钟周期 O_1 是真的,反馈回路才能够包括进去,致使 O_2 能够是真实的。

PLA 可实现相当复杂的逻辑。线路设计者写出逻辑方程式,然后将其输进计算机,由它决定哪些电路使用在 PLA 里,计算机也产生最后的掩模。

电视同步发生器 3261 型是彩色电视机的同步发生器,当它用 14.31818MHz 两相时钟驱动时,产生如图 7-9 所示的输出。对黑白电视工作,时钟速率应当是 2.0475MHz。对于“ $\phi = 90^\circ$ 彩色副载波”输出的输出,仅在专用次序上被提供。

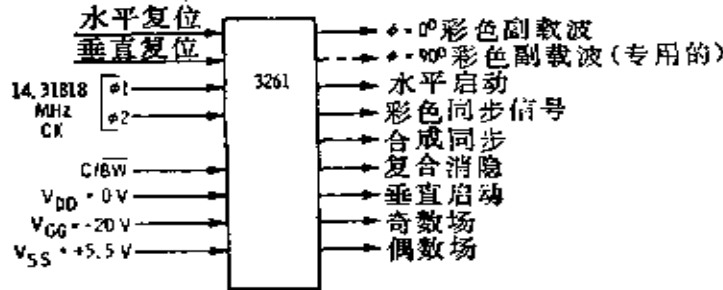


图 7-9 电视同步发生器

微处理机 鉴于 MOS 集成电路所达到的高集成水平,导致出现微处理机。简言之,微处理机是在一块芯片上制作的微小型计算机,或中央处理装置,它执行程序并带外存储器工作。微处理机能在热闹的道路交叉口上控制汽车通行,能控制遥远的计算机终端,控制数据采集系统,以及使汽车发动机工作于最佳状况等等。

大多数微处理机还需要 15~50 或更多的其它集成电路

配合以获得适当功能。英特尔公司于 1971 年公布的第一个微处理机采用 PMOS 工艺。此后，大多数半导体制造厂家都在制作它们自己的微处理机，或者宣布将要制造的计划。

微处理机现在可用所有的主要工艺——PMOS, NMOS, CMOS, 双极型而制得，它在宽广范围内具有各种性能和特点，将来会发展更多这样的器件。

§ 7-2 逻辑接口

在三种基本的 MOS 类型和它们的变型以及所有双极型逻辑系列之间，都存在着大量的接口电路。为此，当两种不同系列用到一起之前，必须使参数相容。这些参数包括：电压电平和极性、输入和输出电流、阻抗、波形的上升和下降时间、对破坏性瞬态的防护以及系统的定时要求等。

逻辑系列之间有些接口是完全相容的。尽管其它多数的接口电路需要增添额外的元件（例如上拉、下拉电阻），不过要使它们相容还是相当容易的。有时需加电平变换电路，而这些电路和上拉、下拉电路一样，有时做在集成电路（IC）里面。在表 7-1 中，列出了许多逻辑系列的输入要求及输出性能。

最普通的 MOS 接口是联系同系列器件之间的接口，如图 7-11(a) 所示的 CMOS 与 CMOS 的接口。输出电压电平，对逻辑 0 为 0.01V，对逻辑 1 为 4.99V，比输入要求的好 1V 以上。静态电流接近于 0，对其它 CMOS 的输入之扇出可以达 50 以上，同时由系统工作的速度限制。对于在 +5V 工作的 CMOS 门电路，最高速度约为 5MHz。当 $V_{DD} = +10V$ 时，工作速度可提高到 10MHz 左右。用 +10V 时，输入和输出

电压要高些，因此工作在+5 V的门不能驱动工作在+10 V的门。

在图 7-11(b)中，CMOS 驱动低功耗的 TTL(LPTTL) 门。如果电压电平和电流都相容，54C/74C 系列能够驱动 2 个 LPTTL 的输入，而 4000 系列则只能驱动 1 个。

LPTTL 所确保的输出电平，用以直接驱动 CMOS 输入是不够高的(图 7-11(c))，但是用上拉电阻可提高输出电平到逻辑 1 所要求的 3.5 V 以上。因为电流小，所以扇出高。

CMOS 门不能驱动普通的 TTL 输入(见图 7-11(d))，因为如果不使 CMOS 输出上升到 TTL 所要求的 0.8 V 以上，它就不能吸收 1.6 mA 电流。但是，像 CMOS 缓冲器 4049，它能够驱动两个普通的 TTL 输入。用一个或更多的门并联，也可以增加 CMOS 的输出驱动。

如图 7-11(e)所示，常规 TTL 门如果没有上拉电阻，就不能驱动 CMOS。然而 8800 系列 TTL 门能够驱动 CMOS(图 7-11(f))，因为它们在输出高电平的电路中没有串联二极管，因此能够达到 3.6 V，这数值刚刚超过 CMOS 的最低要求——3.5 V。

在许多工业应用中采用高阈值逻辑和高干扰容限逻辑电路，因为它们有高抗干扰性。当 CMOS 门在+15 V 使用时，它能够直接提供一个 HTL 的输出，如图 7-11(g)。在正常运用中，HTL 门的输出摆幅从 0.5 V 到 13.5 V，这足以驱动 CMOS 门。但是 HTL 门内部的负载电阻与 CMOS 的输入电容结合在一起，对每个 CMOS 输入约增加 75 ns 的延迟，对于 10 个扇出，增加的延迟约 750 ns。如果不容许这种延迟，那么用 2 k 的上拉电阻可减少 7~8 倍。通过电阻提供 MOS 或 CMOS 输入

表 7-1 数字逻辑系列主要的 DC 特性

器 件	所需逻辑输入		逻辑输出		(V)		
	逻辑低电平 $V_{max}(V)$ @ 1(mA)	逻辑高电平 $V_{min}(V)$ @ 1(μ A)	逻辑低电平 $V_{max}(V)$ @ 1(mA)	逻辑高电平 $V_{min}(V)$ @ 1(μ A)	V_{CC}	G_{nd}	V_{DD}
TTL	Std.	2.0/40	0.4/16	2.4/400	5	0	
	H	2.0/50	0.4/20	2.4/500	5	0	
	LPTTL	2.0/10	0.3/2	2.4/200	5	0	
	S	2.0/50	0.5/20	2.5/1000	5	0	
	LS	2.0/20	0.5/8.0	2.7/100	5	0	
8800	0.8/1.6	2.0/40	0.4/16	3.6/10	5	0	
高 阈 值	6.5/1.2	8.5/2	1.5/12	12.5/170	15	0	
HNIL	5/2.6	6.5/10	1.8/13	13.0/10mA	15	0	
ECL	-1.5V	-0.7V	-1.55V	-0.75V			
CMOS	+5V	3.5V	0.4/0.6	2.5/3mA	0	0	5
	+10V	7.0V	0.5/3.5	9.5/2.3mA	0	0	10
	+15V						
54C/74C	+5V	3.5V	0.4/0.36	2.4/100	0	0	5
	+10V	8.0V	1.0/10 μ A	9/10	0	0	10
	+15V				0	0	15

(续)

器 件	所需逻辑输入		逻辑输出		(V)		
	逻辑低电平 $V_{max}(V)$ ① 1 (mA)	逻辑高电平 $V_{min}(V)$ ① 1 (μA)	逻辑低电平 $V_{max}(V)$ ① 1 (mA)	逻辑高电平 $V_{min}(V)$ ① 1 (μA)	V_{CC}	G_{nd}	V_{DD}
CMOS	+5V	3.5V	0.4/0.8	2.5/1700		0	5
	+10V	7.0V	0.5/2.0	9.5/900		0	10
	+15V		1.5/7.8	13.5/3500		0	15
PMOS②, ③	低阈值	4.0V	0.4V	4.4V			5
	高阈值	-2.0V	-16V	0V		0	-27
NMOS②, ③	0.6V	2.2V	0.4V	2.4V	5	0	+12

① $V_{CC} = 0$, $V_{EE} = -5.2V$,

② 全带 MOS 输入都具有典型的 10pA 电流,

③ 变化很大, 见数据表。

时，同样会引起速度变慢，像 LPTTL 或普通的输出一样。如果门的输入电容通过电阻对地放电，同样的速度损失也会发生。在这种情况下，延迟发生在门的截止状态而不是在门的导通状态。

图 7-10 示出驱动 2500PMOS 系列的 TTL8800 型。如果 V_{CC1} 接到 V_{CC2} [图 7-10(a)]，则 TTL 门能够直接驱动 PMOS 输入。如果两个 V_{CCs} 不接在一起 [图 7-10(b)]，则在最坏情况下，需要一个上拉电阻。

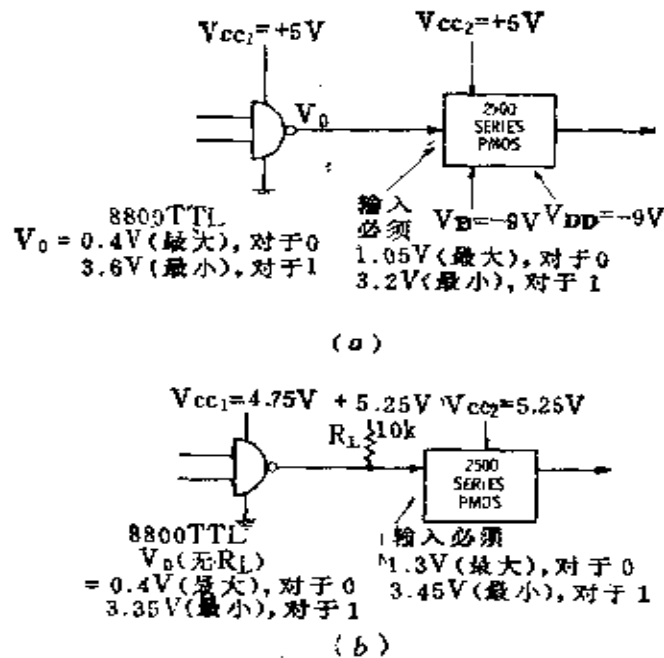
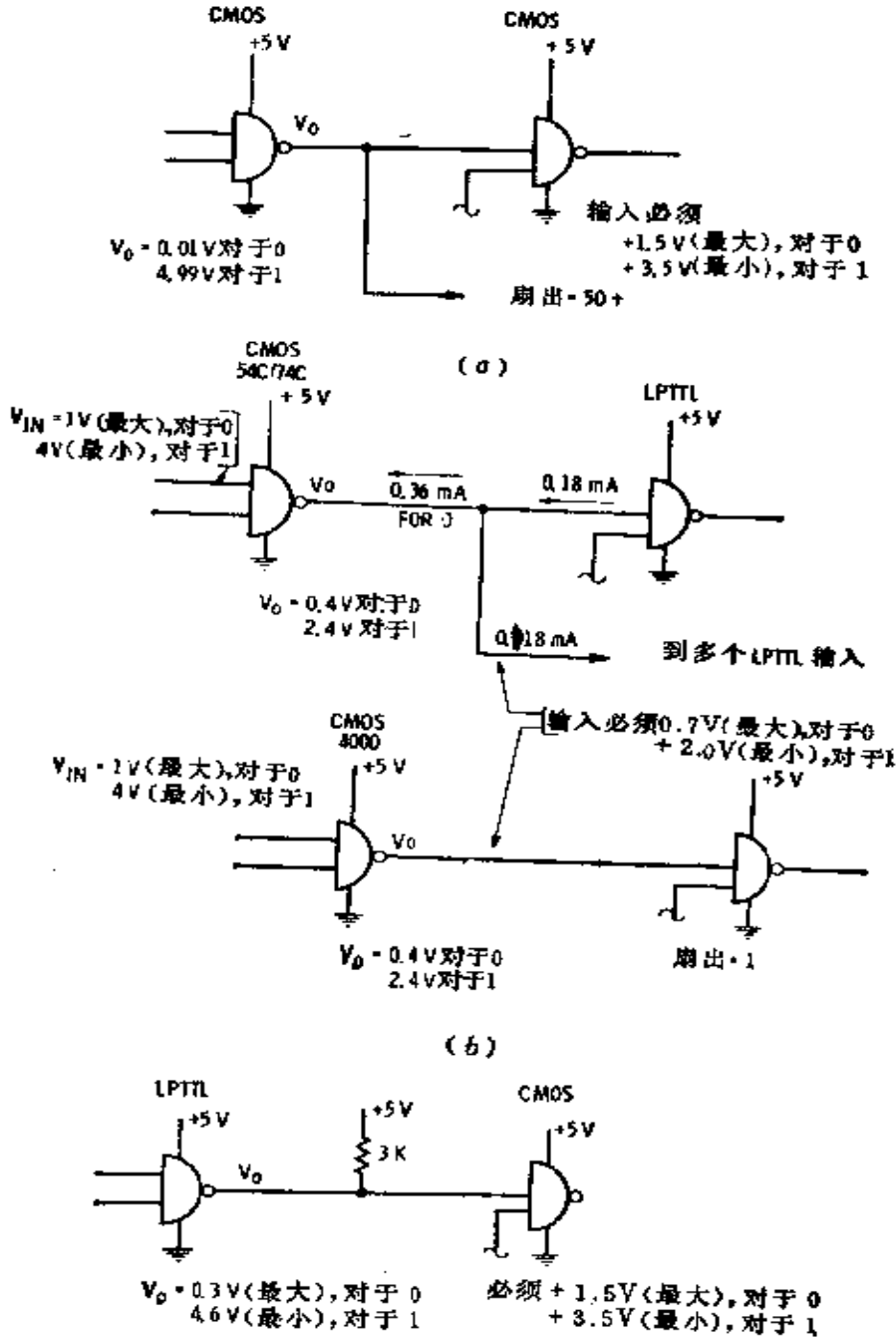


图 7-10 8800TTL 到 2500PMOS 的接口

(a) $V_{CC1} = V_{CC2}$; (b) 最坏情况下的 V_{CC1} 和 V_{CC2} 。

有些 PMOS 器件需要的输入电平比 TTL 高得多，所以就需电平变换和放大。普通的 1103 存储器要求如图 7-12 所示的输入，这种输入能够从带有电平变换器的 TTL 电路中得到。(54/7406 型是高压集电极开路的六倒相器，耐压为

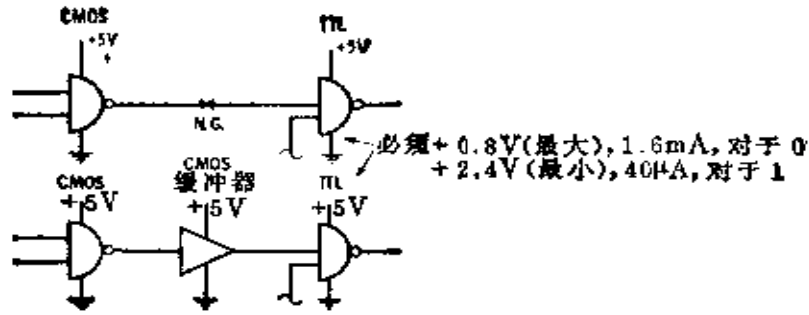


(b)

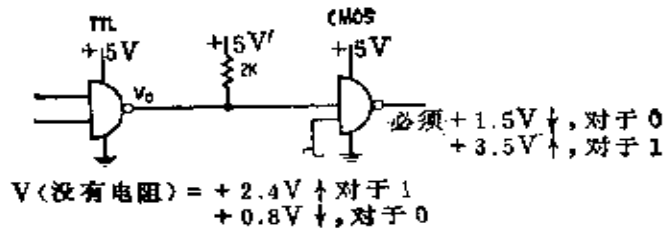
(c)

图 7-11 普通

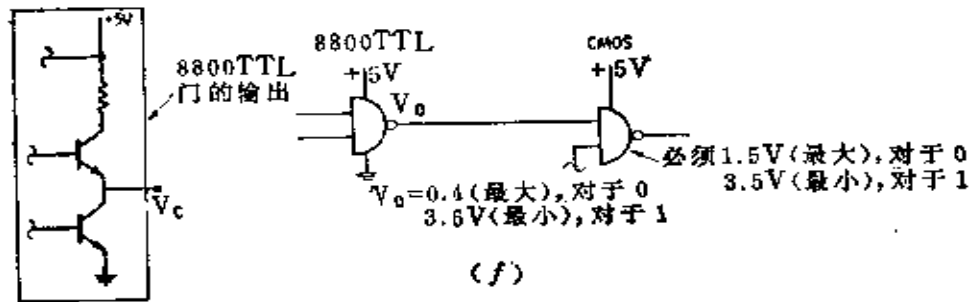
(a) CMOS 到 CMOS, (b) CMOS 到 LPTTL, (c) 8800TTL 到 CMOS,



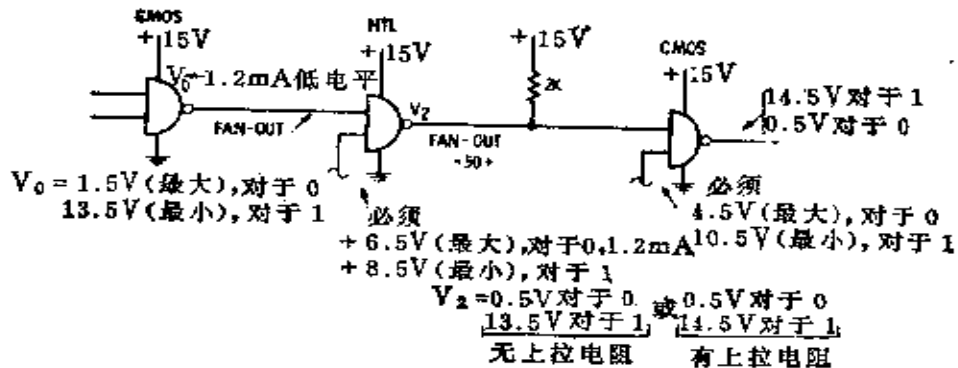
(d)



(e)



(f)



(g)

的逻辑接口

(c) LPTTL 到 CMOS; (d) CMOS 到 TTL; (e) TTL 到 CMOS;
(g) CMOS 到 HTL 到 CMOS。

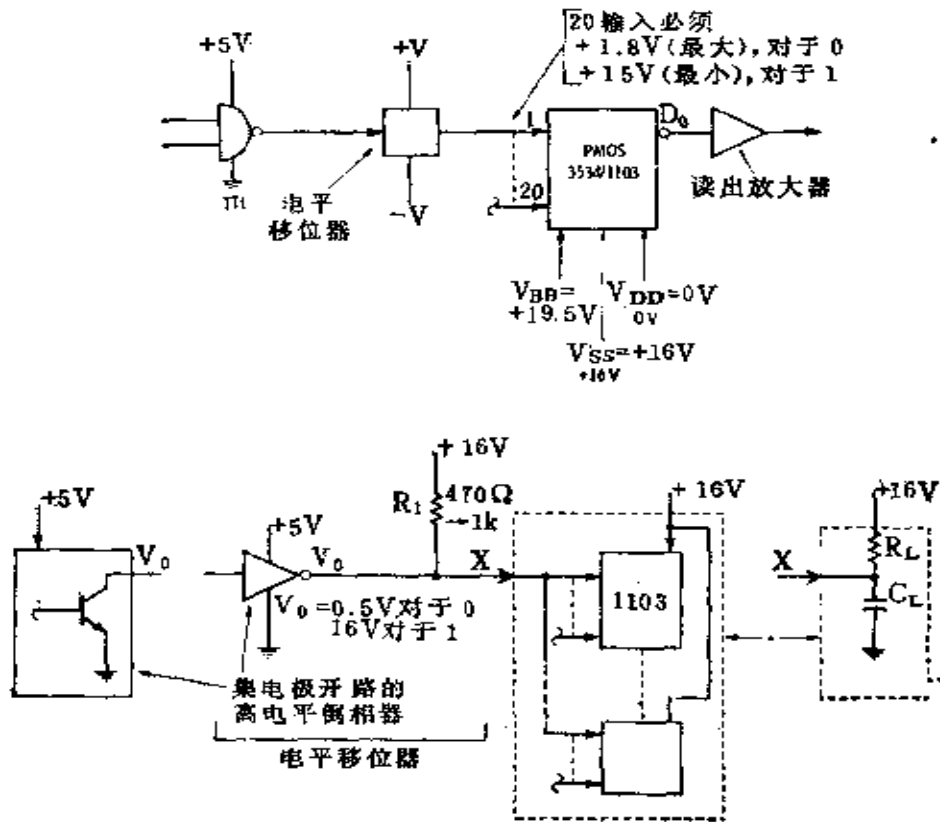


图 7-12 由 TTL 驱动的 PMOS1103 型存储器

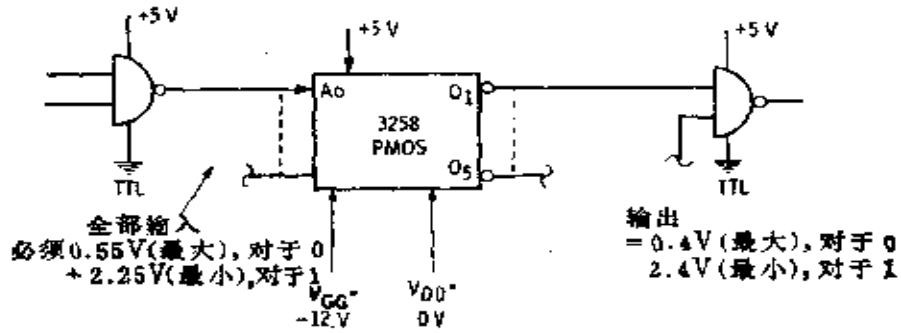
30 V。许多其它的具有额定为 +14 V、+15 V 和 +18 V 的集电极开路的 TTL 集成电路也是可用的。8810 型和 8811 型是四 2 输入“与非”门。在存储阵列中，常常将若干 1103 并联在一起，而电平变换器必须驱动负载，该负载可以集总在一起用 R_L 和 C_L 表示，它表示在 X 点右边。 R_L 的数值一般是几百千欧。 C_L 的数值取决于相接器件的数目，并影响加到器件上的信号上升和下降的时间。

当 $C_L = 26\text{pF}$ 、 $R_1 = 470\ \Omega$ 时， RC 时间常数为 $26 \times 10^{-12} \times 470 = 12.2 \times 10^{-9}\text{s}$ ，测得的上升时间约 34 ns；下降时间为 19 ns。对于 $C_L = 215\text{pF}$ 和 $R_1 = 1\text{k}$ ，上升时间是 500 ns；下降时

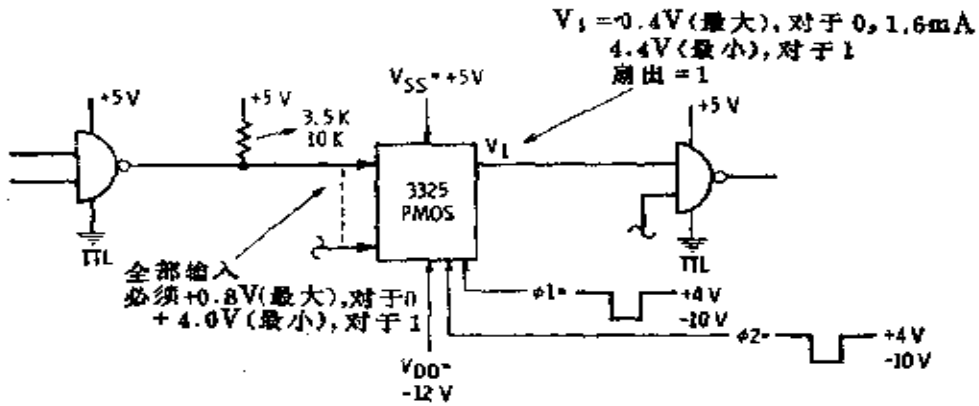
间约 52ns。经过倒相器的延迟 (约 12ns) 必须加到这些时间里。

如果用有源上拉电路代替无源上拉电路, 则上升和下降时间都可大大改善。当 $C_L=200\text{pF}$, $R_1=1\text{k}$ 时, 上升时间是 30ns, 下降时间为 50ns。

图 7-13 表示几种 PMOS 器件, 它能够方便地与 TTL



(a)



(b)

图 7-13 完全与 TTL 相容的 PMOS 和直接与 TTL 相容的 PMOS

(a) 完全相容; (b) 直接相容。

● 应为只改善上升时间。——译者

下拉和压缩 PMOS 的输出。也要注意经过变换的 V_{DD} 和 V_{SS} 有助于转换。

图 7-15 示出 NMOS/TTL 接口。当在标明的电压下工作时，这些接口不需要外加元件。

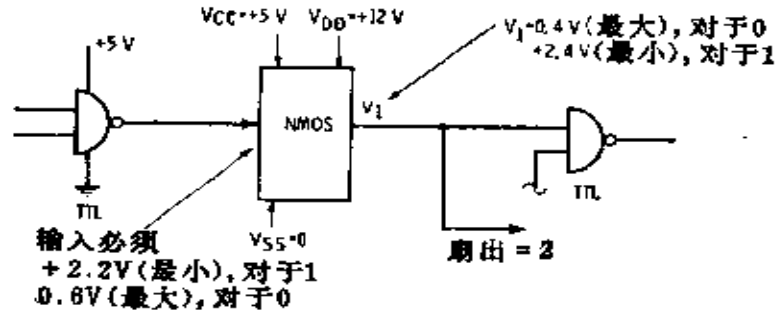


图 7-15 TTL 到 NMOS 到 TTL 的接口

已经专门研制出若干 IC，用以解决接口问题。图 7-16 示出 54C/74C901 型，用于 CMOS 至 TTL。当 $V_{CC} = +4.5V$ 时，对高电平输入要求 4.0V 或更高些（CMOS 工作在 +5V 或高于 +5V 时容易得到）；对低电平要求小于 +1V，CMOS 也容易得到。另外，又设计了 P 沟和 N 沟晶体管，使之产生额定的 TTL 输出：对高电平 (H)，在 $-800\mu A$ 时，最小为 +2.4V；对于低电平 (L)，在 2.6mA 时，最大为 0.4V，它对一般的 TTL 输入给出的扇出为 1。

如图 7-17 (a) 所示 54C/74C903 电路，可用于图 7-17 (b) 那样的从 PMOS 到 CMOS 或 TTL 的接口。对于从 PMOS 到 CMOS，

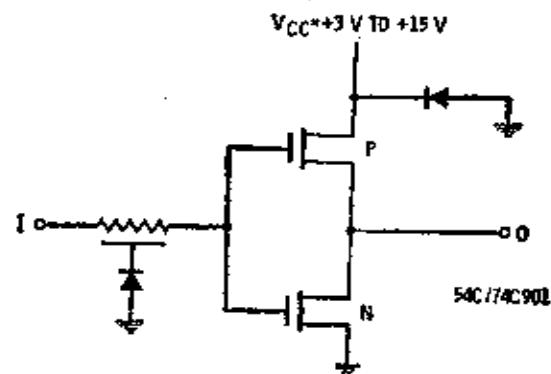


图 7-16 用于 CMOS 到 TTL 接口的集成电路

下拉和压缩 PMOS 的输出。也要注意经过变换的 V_{DD} 和 V_{SS} 有助于转换。

图 7-15 示出 NMOS/TTL 接口。当在标明的电压下工作时，这些接口不需要外加元件。

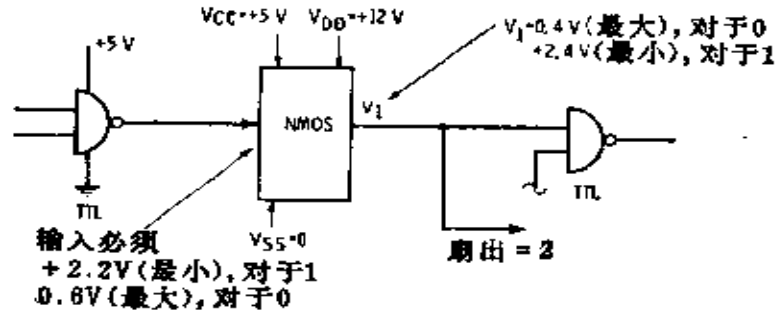


图 7-15 TTL 到 NMOS 到 TTL 的接口

已经专门研制出若干 IC，用以解决接口问题。图 7-16 示出 54C/74C901 型，用于 CMOS 至 TTL。当 $V_{CC} = +4.5V$ 时，对高电平输入要求 4.0V 或更高些（CMOS 工作在 +5V 或高于 +5V 时容易得到）；对低电平要求小于 +1V，CMOS 也容易得到。另外，又设计了 P 沟和 N 沟晶体管，使之产生额定的 TTL 输出：对高电平 (H)，在 $-800\mu A$ 时，最小为 +2.4V；对于低电平 (L)，在 2.6mA 时，最大为 0.4V，它对一般的 TTL 输入给出的扇出为 1。

如图 7-17 (a) 所示 54C/74C903 电路，可用于图 7-17 (b) 那样的从 PMOS 到 CMOS 或 TTL 的接口。对于从 PMOS 到 CMOS，

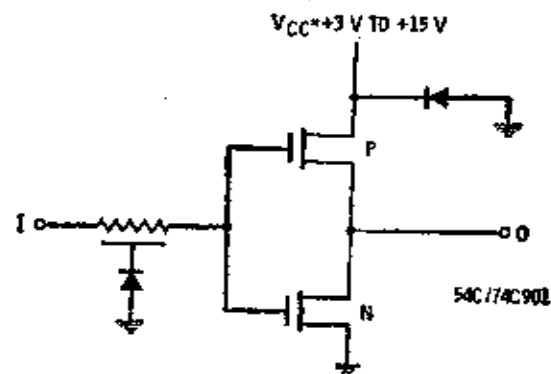


图 7-16 用于 CMOS 到 TTL 接口的集成电路

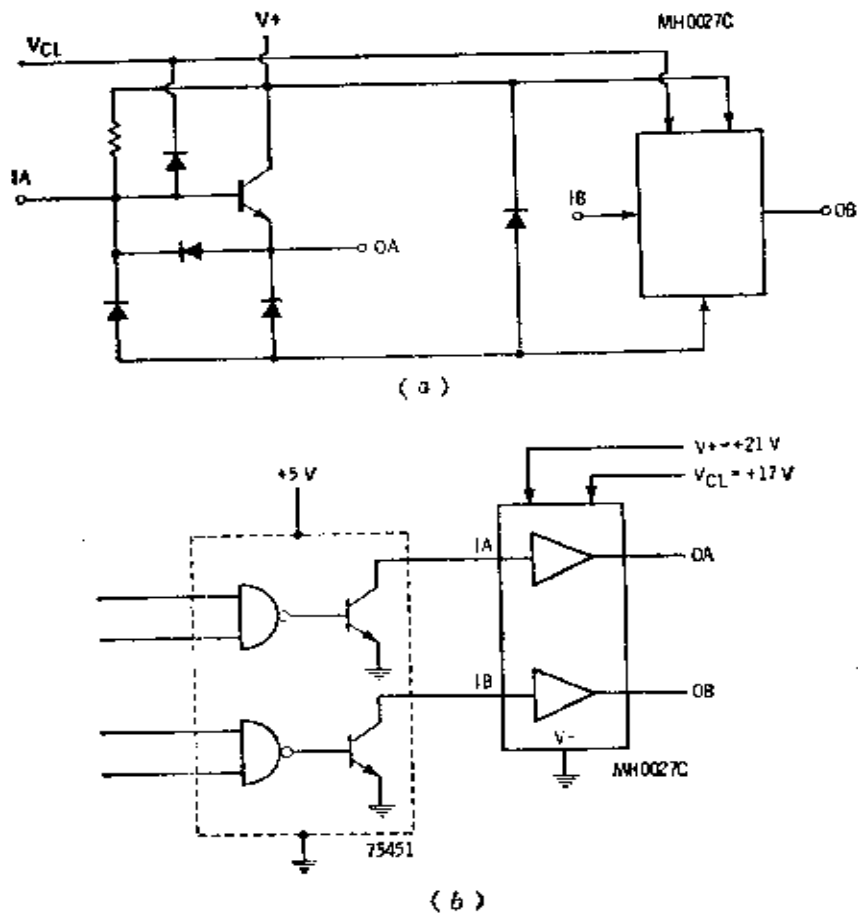


图 7-18 大电流、高速度驱动器

(a) 75451 型驱动式 MH0027C; (b) 双接口驱动器。

所示, 在 25V 时, 它能够提供 1.2V 的间断峰值电流 (每个电路)。这电路主要是一个接有保护箝位二极管的晶体管。因为该电路在 25ns 时间内要能够对 600pF 的负载提供 1A 电流, 所以必须要有保护电路。当这样大的电流在这样短的时间里接通时, 甚至很小的引线电感也能造成显著的上冲和下冲。所设计的电路, 主要供给 MOS 电路的 1103 动态存储

器组使用。请注意，这里所指的电路仅仅是一个电流源，而不是吸流器。要使 MOS 存储器的输入电容放电，可以用一个分立的吸流电路例如一个集电极开路的 TTL 接到 OA 上。而逻辑的作用是导通吸流电路或电流源，但决不是二者同时导通。

- 4019 四“与”/“或”选择
- 4020 14级二进制/行波进位计数器
- 4021 8级静态移位寄存器
- 4022 8分频计数器
- 4023 三3输入“或非”门
- 4024 7级二进制计数器
- 4025 三3输入“或非”门
- 4026 十进制计数器
- 4027 双JK触发器
- 4028 二-十进制到十进制的译码器
- 4029 可预调的 U/D , B/D 计数器
- 4030 四“异”门
- 4031 64级移位寄存器
- 4032 三路串联加法器(正逻辑)
- 4033 十进制计数器
- 4034 8级移位寄存器
- 4035 4级并行输入/并行输出移位寄存器
- 4036 4字 \times 8位随机存取存储器
- 4037 三“与”/“或”对
- 4038 三路串联加法器(负逻辑)
- 4039 4字 \times 8位随机存取存储器
- 4040 12级二进制行波进位计数器
- 4041 四重原码/补码缓冲器
- 4042 四时钟 D 门锁
- 4043 四3态 L/S 门锁“或非”门
- 4044 四3态“与非” R/S 门锁

- 4019 四“与”/“或”选择
- 4020 14级二进制/行波进位计数器
- 4021 8级静态移位寄存器
- 4022 8分频计数器
- 4023 三3输入“或非”门
- 4024 7级二进制计数器
- 4025 三3输入“或非”门
- 4026 十进制计数器
- 4027 双JK触发器
- 4028 二-十进制到十进制的译码器
- 4029 可预调的 U/D , B/D 计数器
- 4030 四“异”门
- 4031 64级移位寄存器
- 4032 三路串联加法器(正逻辑)
- 4033 十进制计数器
- 4034 8级移位寄存器
- 4035 4级并行输入/并行输出移位寄存器
- 4036 4字 \times 8位随机存取存储器
- 4037 三“与”/“或”对
- 4038 三路串联加法器(负逻辑)
- 4039 4字 \times 8位随机存取存储器
- 4040 12级二进制行波进位计数器
- 4041 四重原码/补码缓冲器
- 4042 四时钟 D 门锁
- 4043 四3态 L/S 门锁“或非”门
- 4044 四3态“与非” R/S 门锁

- 4045 21 级计数器/缓冲器
- 4046 锁相环路
- 4047
- 4048 8 输入可扩展的 3 态门
- 4049 六重倒相缓冲器
- 4050 六重非倒相缓冲器
- 4051 8 输入模拟多路调制器
- 4052 差分的 4 输入模拟多路调制器
- 4053 三重 2 通道多路调制器
- 4054 4 线 LCD 驱动器
- 4055 BCD 到 7 段译码器/驱动器
- 4056 BCD 到 7 段译码器/驱动器
- 4057 4 位运算阵列
- 4058
- 4059 4 十进制 N 分频器
- 4060 14 级计数器/振荡器
- 4061 256 字 \times 1 位随机存取存储器
- 4062 200 位移位寄存器
- 4063 4 位量级比较器
- 4064
- 4065 四双向开关
- 4066 四双向开关
- 4067
- 4068 8 输入“与非”门
- 4069 六重倒相器
- 4070 四“异”门

- 4071 四 2 输入“与”门
- 4072
- 4073 三 3 输入“与”门
- 4077 四“同”门
- 4078 8 输入“或非”门
- 4081 四 2 输入“或”门
- 4082 双 4 输入“与”门
- 4085 双 2 输入 \times 2 输入“与”-“或”转换门
- 4086 可扩展的 4 (宽)度 2 输入“与”-“或”转换门
- 4093 四 2 输入“与非”“施米特”触发器
- 4099 8 位开锁
- 40104 TTL 至高电平 CMOS 转换器
- 40518 双 4 位十进制计数器
- 40527 BCD 比率多路调制器
- 40555 双 4 个选 1 译码器
- 40725 16 字 \times 4 位随机存取存储器
- 40702 位比率发生器
- 40720 256 字 \times 1 位随机存取存储器
- 40723 双 4 位可寻址的开锁
- 40724
- 40725 16 字 \times 4 位随机存取存储器
- 14500 系列
- 14500
- 14501 三重门电路
- 14502 选通脉冲六重倒相器/缓冲器
- 14503 六路总线驱动器

- 14504
- 14505 64 位静态随机存取存储器
- 14506 双可扩展的“与” - “或”转换门
- 14507 四“异”门
- 14508 双4位门锁
- 14509
- 14510 BCD 向上/向下计数器
- 14511 BCD 到7段译码器/驱动器
- 14512 8通道数据选择器
- 14513
- 14514 4/16行译码器(H)
- 14515 4/16行译码器(L)
- 14516 二进制向上/向下计数器
- 14517 双64位静态移位寄存器
- 14518 双BCD向上计数器
- 14519 4位“与” - “或”选择器
- 14520 双二进制向上计数器
- 14521 24态频率分频器
- 14522 BCD N 分频计数器
- 14523
- 14524 1024位只读存储器
- 14525
- 14526 二进制 N 分频计数器
- 14527 BCD 比率多路调制器
- 14528 双稳多谐振荡器
- 14529 双4通道多路调制器

- 14530 双 5 输入多数逻辑门
- 14531 12 位奇偶性树形网络
- 14532 8 位优先编码器
- 14533
- 14534 实时 5 十进制计数器
- 14535
- 14536 可编程序的计时器
- 14537 256 位静态随机存取存储器
- 14538
- 14539 双 4 通道数字混频器
- 14540
- 14541 振荡器-计时器
- 14542
- 14543 BCD~7 段译码器/驱动器
- 14544
- 14549 逐次近似值寄存器
- 14552 64 字 × 4 位随机存取存储器
- 14553 3 位数 BCD 计数器
- 14554 2 × 2 位并行二进制乘法器
- 14555 双二进制 4 个选 1 译码器 (H)
- 14556 双二进制 4 个选 1 译码器 (L)
- 14557 1~64 位移位寄存器
- 14558 BCD~7 段译码器
- 14559 逐次近似值寄存器
- 14560 NBCD 加法器
- 14561 9 “非门”

- 14562 128 位静态移位寄存器
- 14566 工业时基发生器
- 14572 六门 (2 输入“与非” + 2 输入“或非” + 4 倒相器)
- 14580 4×4 乘法寄存器
- 14581 四位算术逻辑单元
- 14582 先行进位部件
- 14583 双“施米特”触发器
- 14584 六重“施米特”触发器
- 14585 4 位量级比较器

4400 和 14400 系列

- 4402 双 4 输入可扩展的“或非”门
- 4404 8 级二进制计数器
- 4410 8 个选 2 音调编码器
- 4411 位比率频率发生器
- 4412 双 4 输入可扩展的“与非”门
- 4415 四路精密计时器/驱动器
- 4416 四双向开关 (2NO+2NC)
- 4426 十进制计数器
- 4428 8 个选 1 译码器
- 4433 十进制计数器
- 4435 $3\frac{1}{2}$ 位数 A/D 逻辑子系统
- 4441 四重低阻抗缓冲器
- 4445 21 级计数器/缓冲器
- 4449 六重倒相器
- 4490 六路触点-跳动消除器

- 4440 LCD 手表电路
- 4450 手表半导体振荡器驱动器
- 4451 手表半导体振荡器驱动器
- 54C/74C CMOS
- 74C00 四 2 输入“与非”门
- 74C02 四 2 输入“或非”门
- 74C04 六重倒相器
- 74C08 四 2 输入“与”门
- 74C10 三 3 输入“与非”门
- 74C14 六重“施米特”触发器
- 74C20 双 4 输入“与非”门
- 74C30 八输入“与非”门
- 74C32 四 2 输入“或”门
- 74C42 BCD 到十进制的译码器
- 74C48 BCD 到 7 段译码器
- 74C73 双 JK 触发器
- 74C74 双 D 触发器
- 74C76 双 JK 带有清零和预置的触发器
- 74C83 四位二进制全加法器
- 74C85 四位量级比较器
- 74C86 四 2 输入“异” - “或”运算
- 74C89 64 位 3 态随机存取存储器
- 74C95 四位右/左移位寄存器
- 74C107 双 JK 触发器
- 74C151 8 通道数字多路调制器
- 74C154 4~16 线译码器/多路分离器

74C157	四 2 输入多路调制器
74C160	十进制计数器
74C161	二进制计数器
74C162	十进制计数器
74C163	二进制计数器
74C164	8 位并行输出移位寄存器
74C165	8 位并行负载移位寄存器
74C173	四 D 触发器, 3 级
74C174	六 D 触发器
74C175	四 D 触发器
74C192	四位上/下十进制计数器
74C193	四位上/下二进制计数器
74C194	四位右/左移位寄存器
74C195	四位寄存器
74C200	256 位 3 态随机存取存储器
74C221	双稳多谐振荡器
74C283	四位二进制全加器
74C901	六重倒相 TTL 缓冲器
74C902	六重非倒相 TTL 缓冲器
74C903	六重倒相 PMOS 缓冲器
74C904	六重非倒相 PMOS 缓冲器