

Protel 99 SE

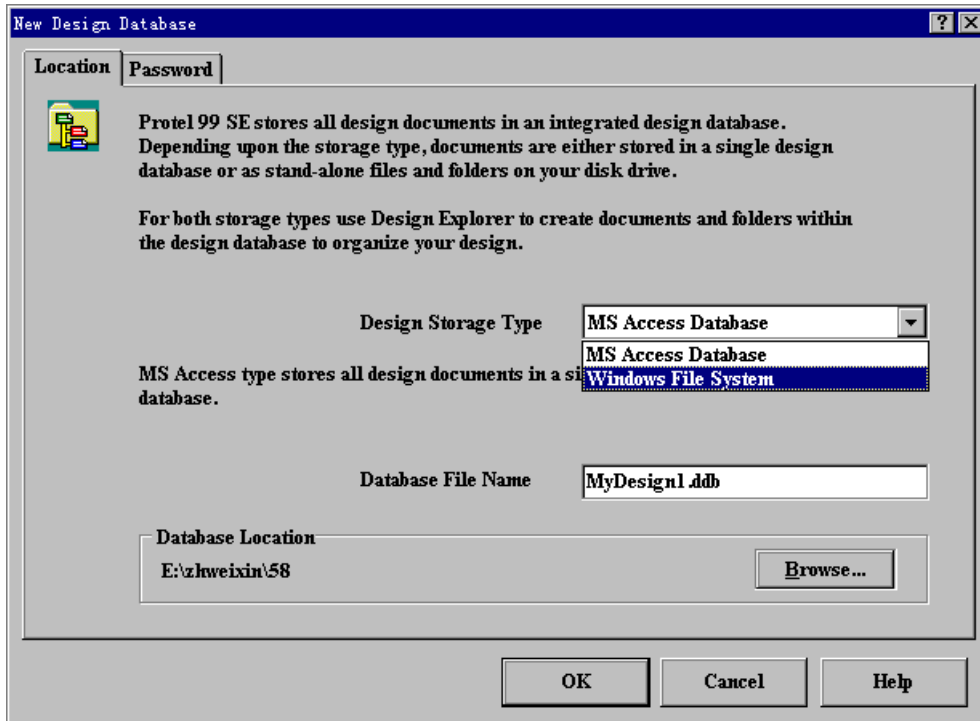
新特性及用法

目 录

第一章 原理图设计	3
一、新建设计数据库	3
二、方便的文件查找功能	4
三、直接浏览原理图库器件	5
四、增强的选中功能	6
五、文本字符在线编辑	6
六、器件标号的重新注释	6
七、库中器件管脚的热点捕捉	8
八、删除元件库中器件的确认功能	8
九、产生元件类和网络类	8
十、端口、图纸入口功能增加	9
十一、丰富的输入、输出功能	9
第二章 PCB 设计	10
一、层管理功能	10
二、强大的机械层管理	10
三、设计规则	11
四、增强的元件布局	12
五、库编辑器增强的拷贝粘贴功能	14
六、在 PCB 中修改元件封装	14
七、放置工具条增加功能 (Place)	14
八、Option 中只显示用到的层	15
九、在已覆铜区域放线条，可以自动重新铺铜	15
十、过孔显示网络名称	15
十一、强大的全局编辑功能	16
十二、选择功能加强	16
十三、增强的解散功能	17
十四、增强的补泪滴功能	17
十五、布线在焊盘上时，切换层不增加过孔	17
十六、状态条信息的增强	18
十七、3D 显示	18
十八、新的自适应移屏方式，与板尺寸无关	18
十九、可以对个别焊盘或过孔设置阻焊	19
二十、PCB 封装库增加 Redo、Undo 功能	19
二十一、打印功能增强	19
二十二、第三方接口增强	20

二十三、强大的 CAM 管理功能.....	21
第三章 原理图仿真.....	22
一、仿真 (Simulation) 菜单项.....	22
二、仿真库.....	33
三、仿真电路分析.....	36
第四章 PLD 设计.....	58
一、PLD 菜单项.....	59
二、CUPL 语言设计.....	60
三、原理图设计 PLD.....	64

第一章 原理图设计



一、新建设计数据库

1. MS Access Database 方式

设计过程中的全部文件都存储在单一的数据库中，同原来的 Protel 99 文件方式。即所有的原理图、PCB 文件、网络表、材料清单等等都存在一个 .ddb 文件中，在资源管理器中只能看到唯一的 .ddb 文件。

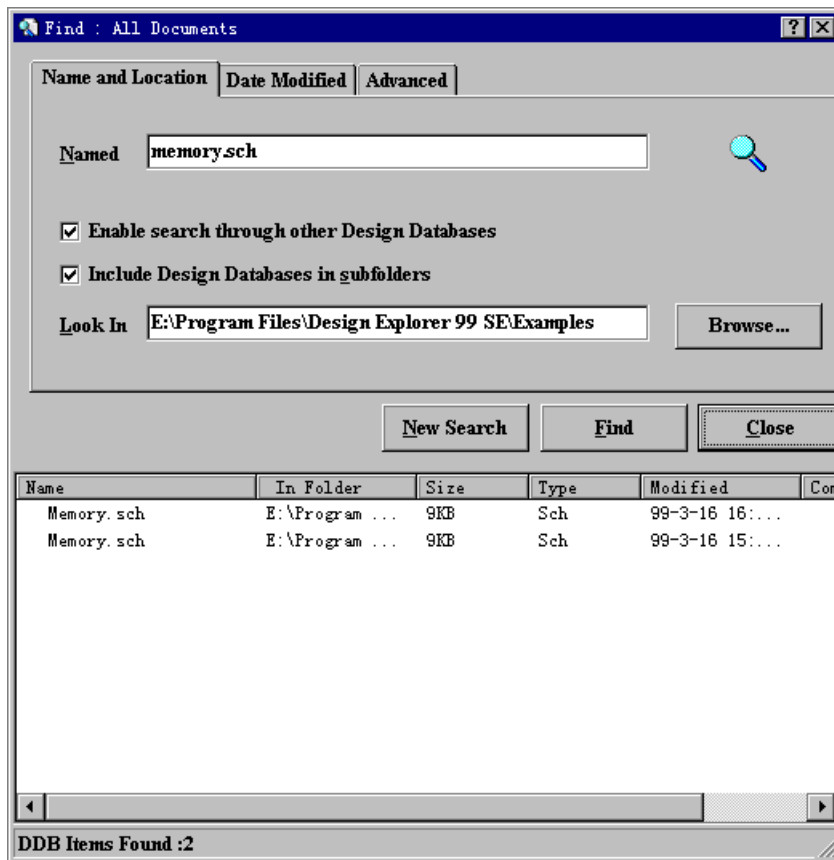
2. Windows File System 方式

在对话框底部指定的硬盘位置建立一个设计数据库的文件夹，所有文件被自动保存的文件夹中。可以直接在资源管理器中对数据库中的设计文件如原理图、PCB 等进行复制、粘贴等操作。

注：这种设计数据库的存储类型，方便在硬盘对数据库内部的文件进行

操作，但不支持 Design Team 特性。

二、方便的文件查找功能



Protel 99 SE 方便查找功能，使我们能够轻松找到存储在数据库中的文件，我们再也不用担心时间长了忘记文件放在哪个数据库中了。只要 Document 文档界面中点击 File » Find Files 菜单项，就可以弹出上面的查找对话框。

1. Name and Location

在这个对话框中输入要查找的文件名，要查找的目录，参照上图。

2. Date Modified

输入要查找的时间范围。

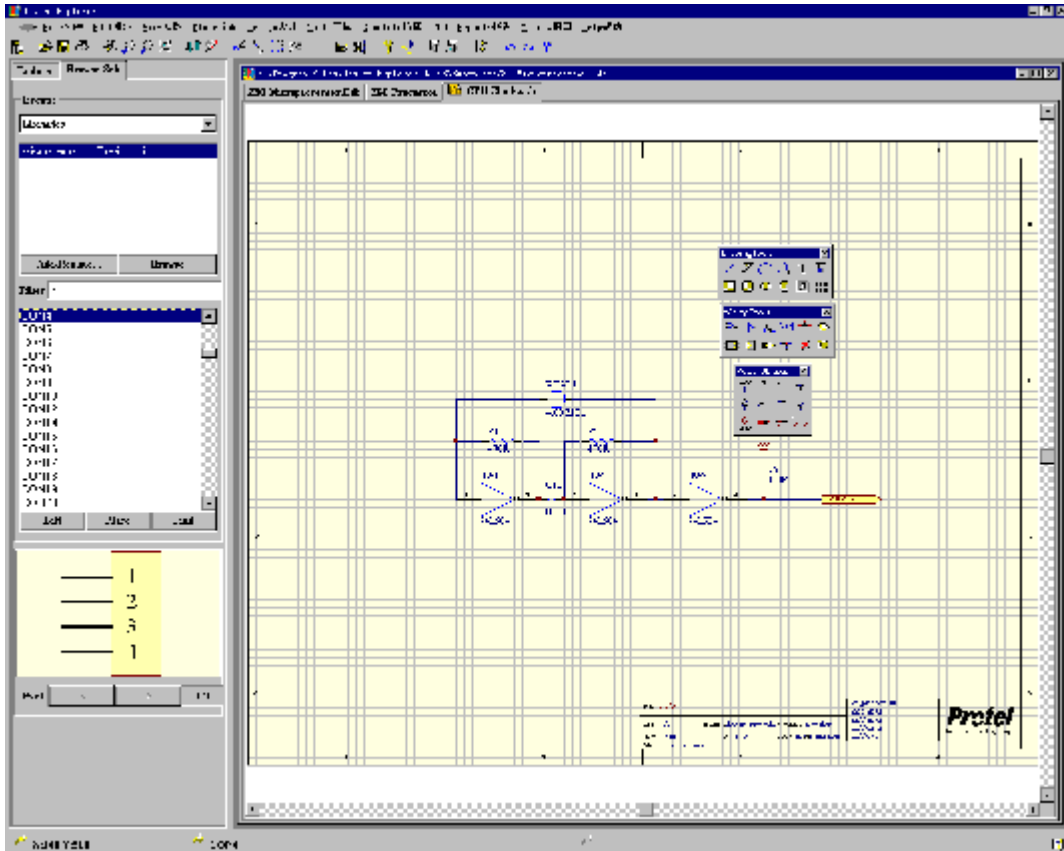
3. Advanced

输入要查找的文件类型和文件大小。

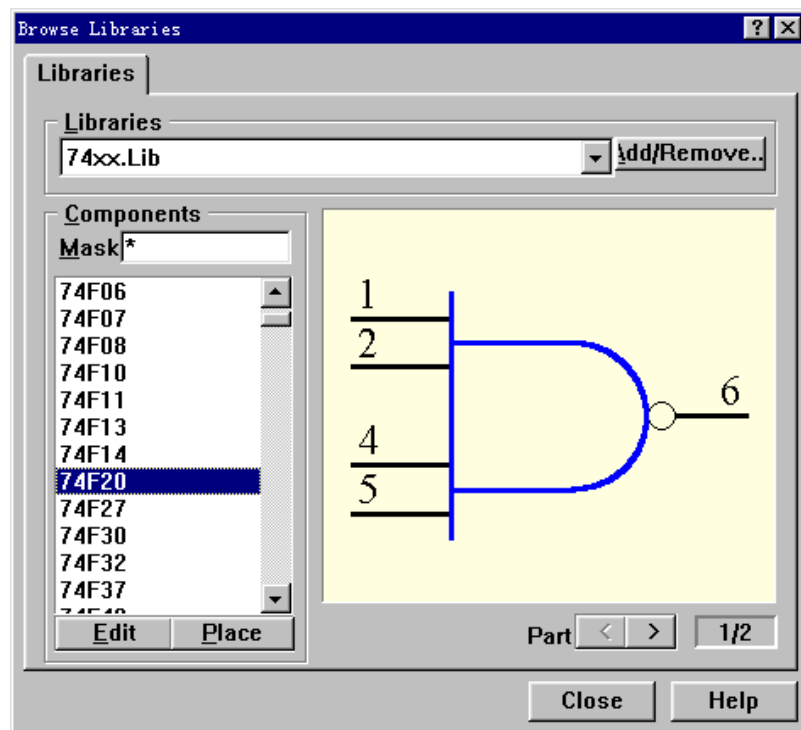
在查找过程中，我们可以随时停止查找过程。

三、直接浏览原理图库器件

1. 在原理图左侧操作面板底部，增加了库元件浏览窗口，通过浏览器可以直接看到在库列表中选中元器件的形状。



2. 增加库元件浏览对话框，点击 Design》Browse Library 菜单项弹出该对话框。

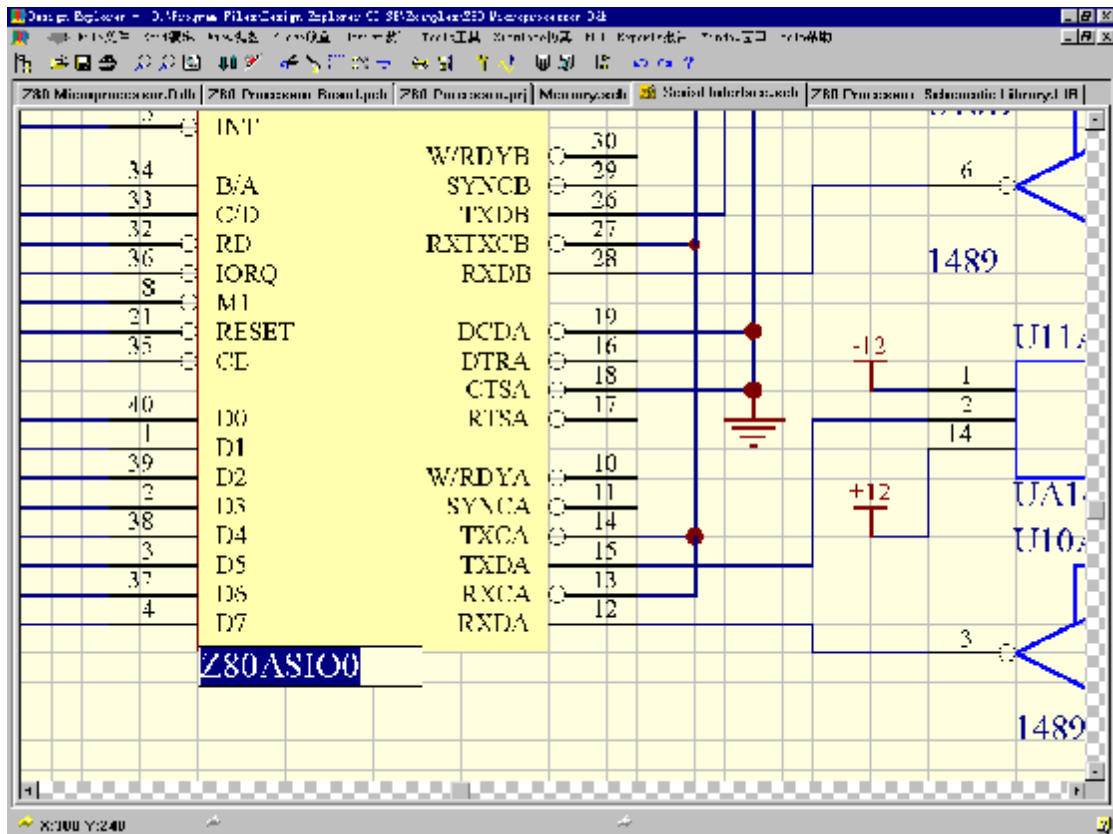


四、增强的选中功能

在原理图中选中一组器件，使用 Tools » Select PCB Components 菜单项，PCB 中相同的元件将被选中。

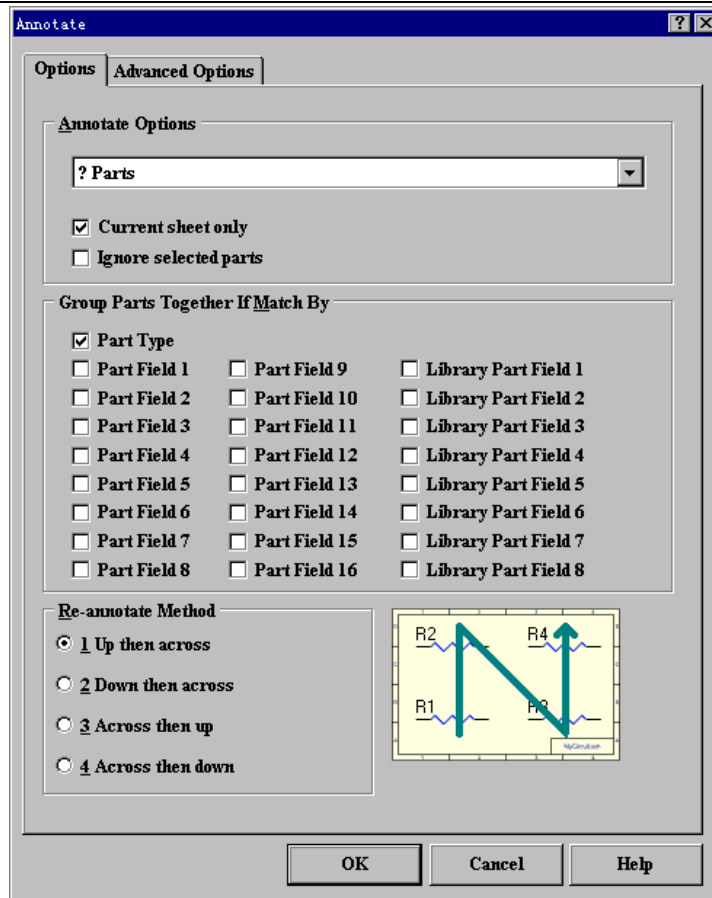
五. 文本字符在线编辑

在原理图图纸上可就地实现文本字符编辑。对字符单击，再击，进入编辑状态。

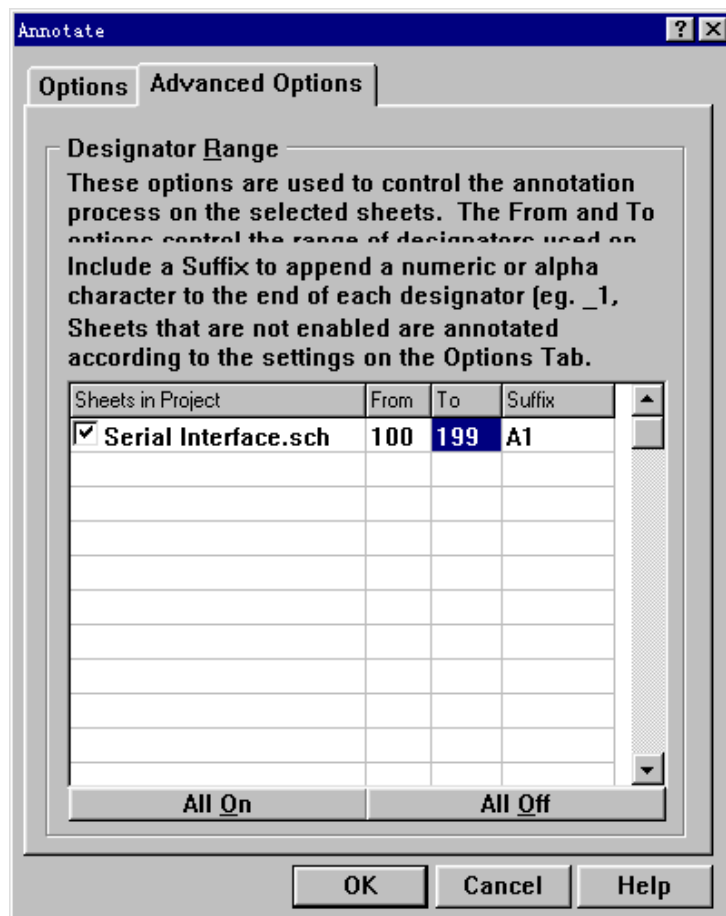


六、器件标号的重新注释

1. 器件标号可以按四种不同的顺序重新标注。使用 Tools » Annotate 菜单项。



2. 高级
Sheet-by-Sheet 注释特
性带有用户可定义的标志符范围和（或）后缀。



七、库中器件管脚的热点捕捉

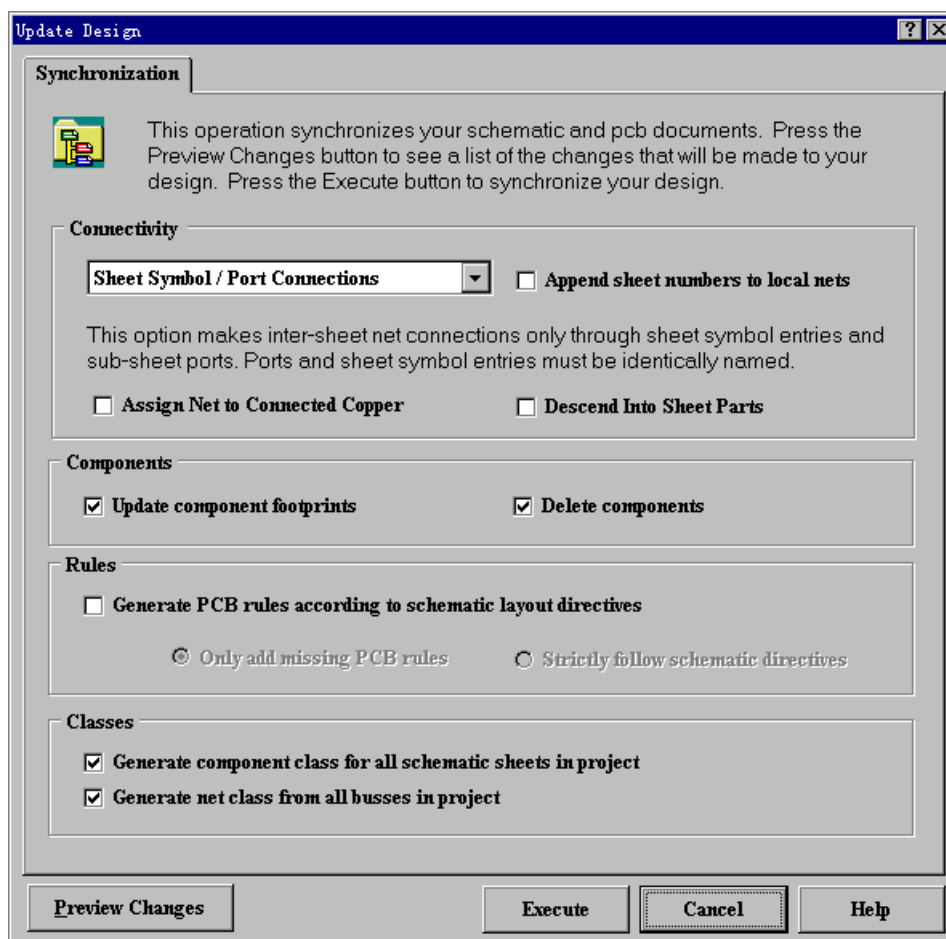
在原理图库中放置管脚时的热点捕捉功能，方便识别哪一端为电气连接端。

八、删除元件库中器件的确认功能

在原理图库文档中，删除器件，自动提示确认对话框，避免误删有用的器件。

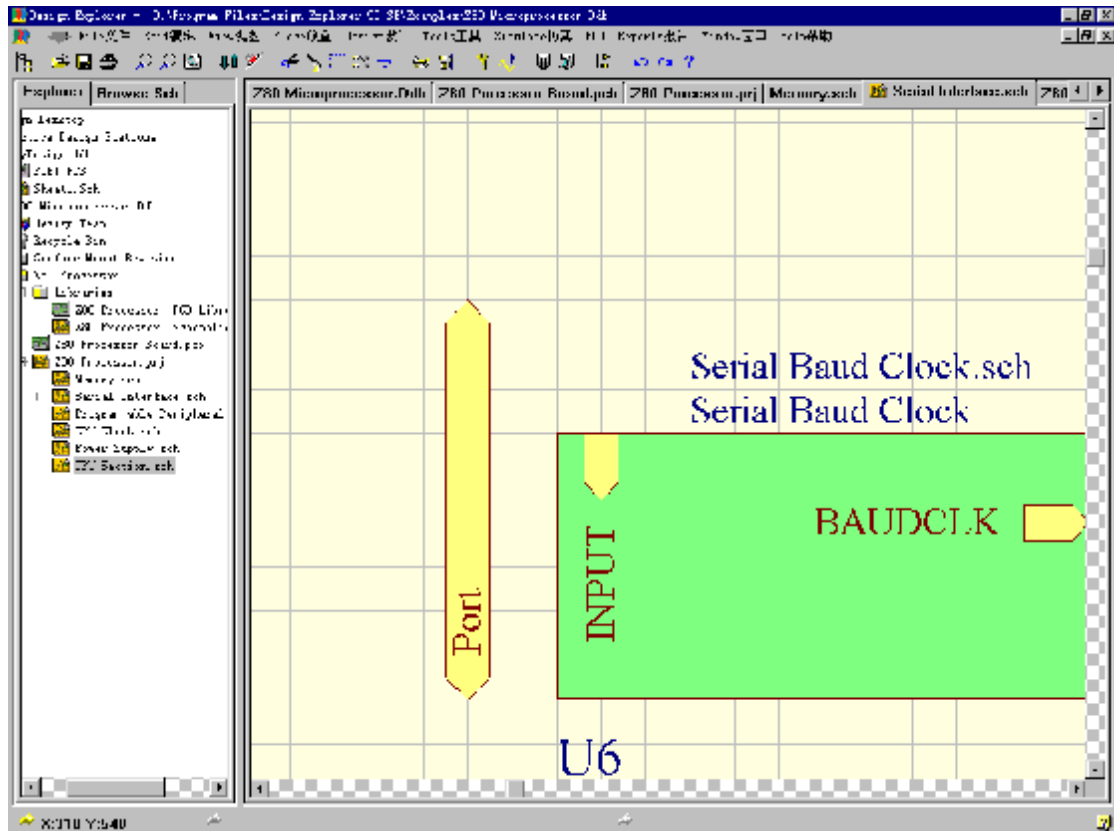
九、产生元件类和网络类

可以从原理图上建立 PCB 元件类，包括 PCB 上所有元件在内。可以从总线建立 PCB 网络类。点 Design » Update PCB 菜单项，在 Update Design 对话框 Classes 选项中实现。



十、端口、图纸入口功能增加

增加了垂直端口和图纸入口的顶部底部放置方式。



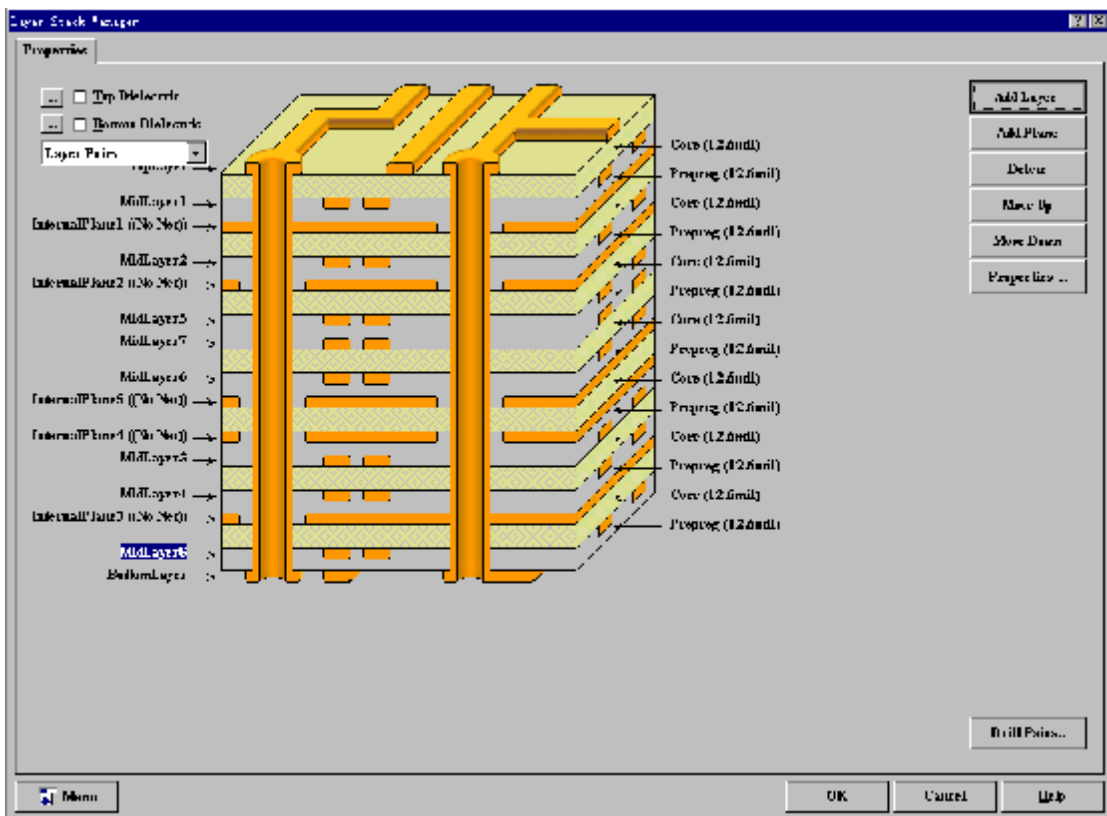
十一、丰富的输入、输出功能

1. 可读/写 AutoCAD(*.DXF、*.DWG)直到 2000 版所有格式文件。
2. 可读入 OrCAD Capture V7&9 版本原理图文件。
3. 可 Import/Export P-CAD 2000/ V1.5 版本的原理图文件。

第二章 PCB 设计

一、层管理功能

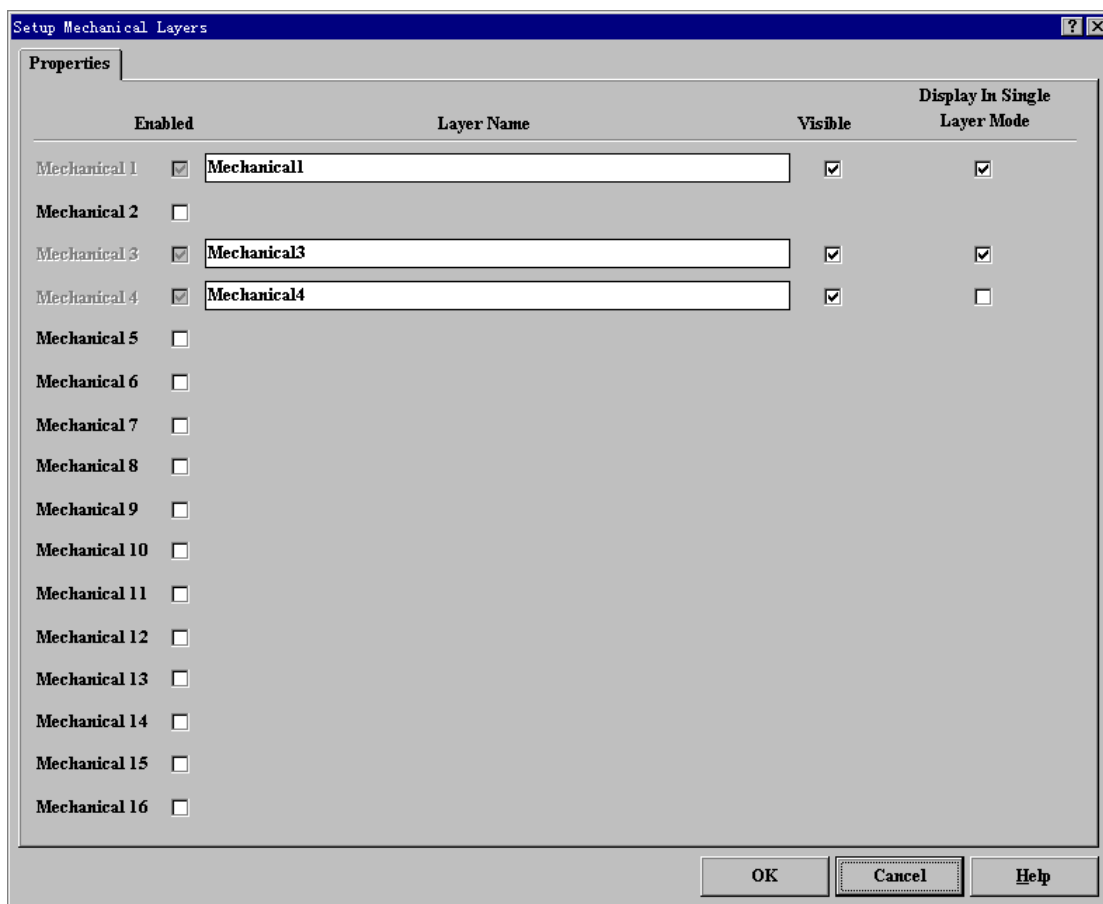
Protel 99 SE 现扩展到 32 个信号层，16 个内电层，16 个机械层，在层堆栈管理器用户可定义板层结构，可以看到层堆栈的立体效果。在开始一个新文件时，可以观看例子中的演示效果。层名称可以定义或重命名。可以修改介质参数，可以改变层的放置顺序。可以设置不同形式的钻孔层对。如：盲孔、埋孔。



菜单选项在 Design » Layer stack manager 中。

二、强大的机械层管理

在 Protel 99 SE 中最多可以设计 16 个机械层，用 Design » Mechanical Layers 可以选定使用哪一个机械层，Visible 确定可见方式，Display In Single Layer Mode，授权可否在单层显示时放到各个层上。



三、设计规则

规则增加许多，规则可以被命名，可以失效，规则可以导入导出，可以浏览，可以高亮，规则可以列出报告。可以选择适用规则巡视。新规则主要有：

1. SMD Neck-Down Constraint

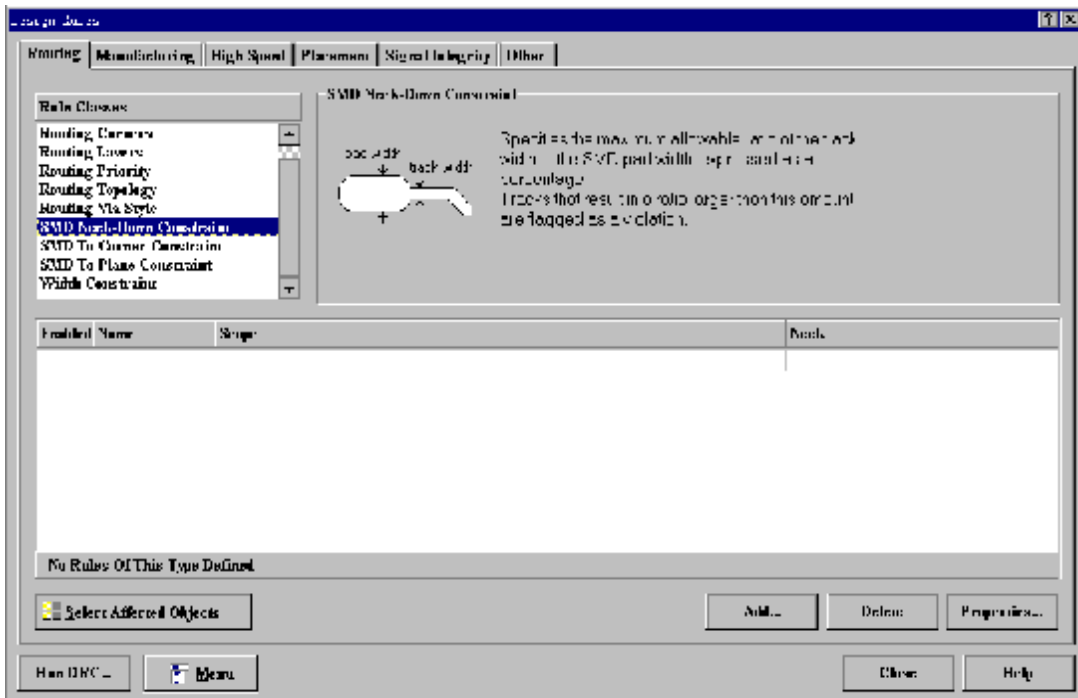
定义 SMD 的瓶颈限制。即 SMD 的焊盘宽度与引出导线宽度的百分比。

2. SMD To Plane Constraint

定义 SMD 到地电层的距离限制。

3. Hole Size Constraint

定义打孔尺寸限制。该规定制定最大和最小孔尺寸，且服从在线和批处理的 DRC。



4. Layer Pairs

层对规则。授权使用层堆栈管理器中设置的层对和钻孔层对。

5. Testpoint Style

测试点风格。设定测试点大小，所在的层面等。

6. Testpoint Usage

测试点用法。定义对指定的网络、网络类、或整板加测试点。

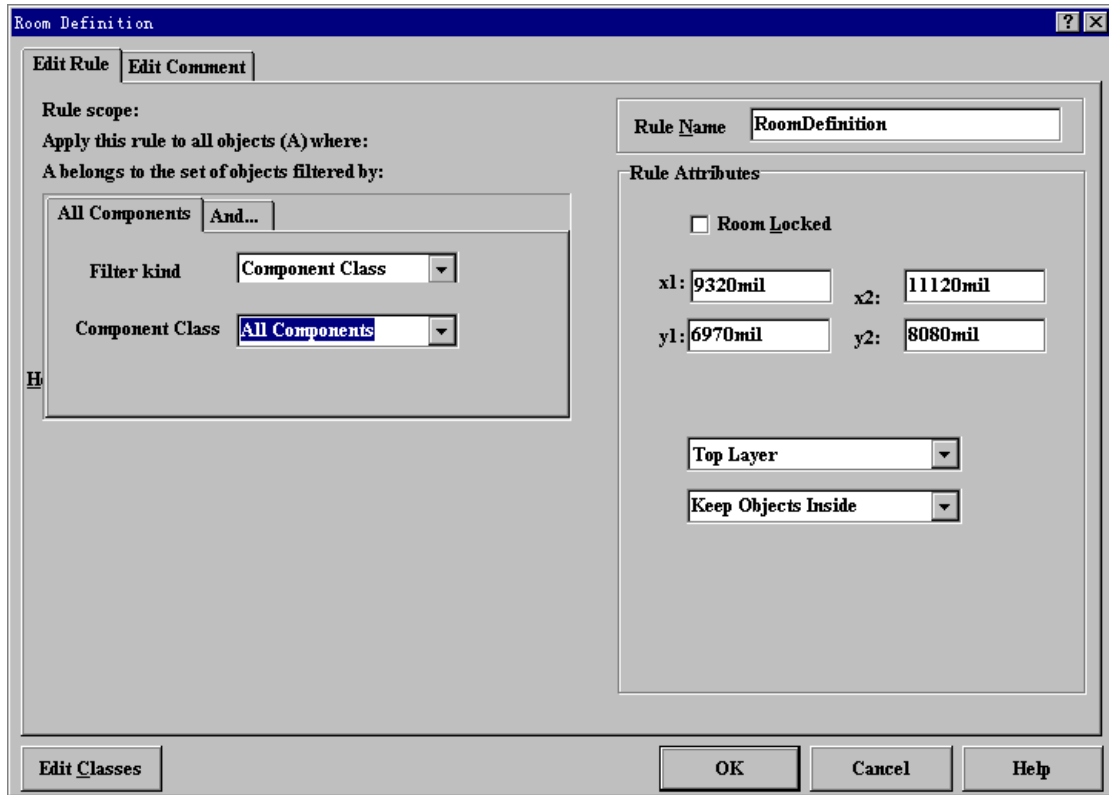
7. Room Refinement

房间定义规则。指定特定的元件放到特定的区域。

四、增强的元件布局

1. Room 用法

可以将元件、元件类或封装分配给一个房间，房间可以定义在顶层或底层，并且可以确定目标保持在其内或其外。当移动房间时，房间内的实体也随之移动。房间定义可以失效，可以被锁定。



操作方法：用放置工具条中的 Room 放置房间，双击这个房间定义属于这个房间的器件，也可以在规则中定义 Room。用布局工具条下面的放置到指定房间，可以快速将属于这个房间的实体放到房间内。

2. 手动布局时隐藏网络飞线功能

在进行手动布局时，移动器件期间，敲“N”可以使网络飞线暂时消失，当移动到指定位置后，网络飞线自动恢复。

3. 布局中的动态长度分析器

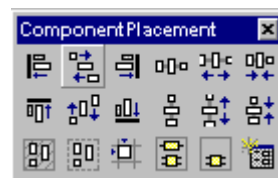
我们在移动元件时，99 SE 的基于连接长度动态分析器会自动分析布局好坏，并且动态显示绿线（好），红线（坏）。

3. 新增加 X 轴和 Y 轴元件布局格点

当元件移动或放置时，X、Y 方向可以按不同的格点移动。只要点 Design Options 菜单，在 Options 对话框中设置适合的格点就可以了。

5. 新增布局工具条

用 View\Tool bars\Component Placement 菜单切换布局工具条。利用布局工具条可以方便的将元件按顶部、底部、左边、右边对齐，还可



以将属于 Room 中的器件放到 Room 里。功能同 Tools\Interactive Placement 中的选项。

五、库编辑器增强的拷贝粘贴功能

元件可以从 PCB 中复制到 PCB 库中，也可以从 PCB 库中复制到 PCB 中。

操作步骤：选择 PCB 中的一些元件，复制，粘贴到 PCB 库元件列表中，则这些元件被建立在 PCB 库中。从 PCB 库元件列表中选择一组封装，复制，粘贴到 PCB 工作区，则该组元件一起放到 PCB 工作区中。

六、在 PCB 中修改元件封装

可以直接对 PCB 界面中的器件封装进行编辑。

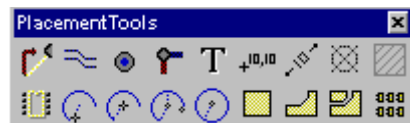
如对 PCB 中器件封装增加焊盘，操作步骤：

- ①增加焊盘，将焊盘设置为被选中状态；
 - ②将需要增加的元件设置为原始图素；
 - ③选 Tools》Convert》Add Selected Primitives to Component；
- 提问要增加焊盘的元件，确认即可。

七、放置工具条增加功能（Place）

1. Interactive Routing

用于画电气连接线。例如：连接焊盘、过孔之间的走线。



2. Line

用于画非电气连接线。例如：在机械层画外形线。

3. Arc

新增以边放置任意角度弧和放置整圆弧两项功能。

4. Keep Out

可以将禁布区放到任意布线层上，如顶层、底层，并且可以用线、圆、圆弧、填充来方便的定义。

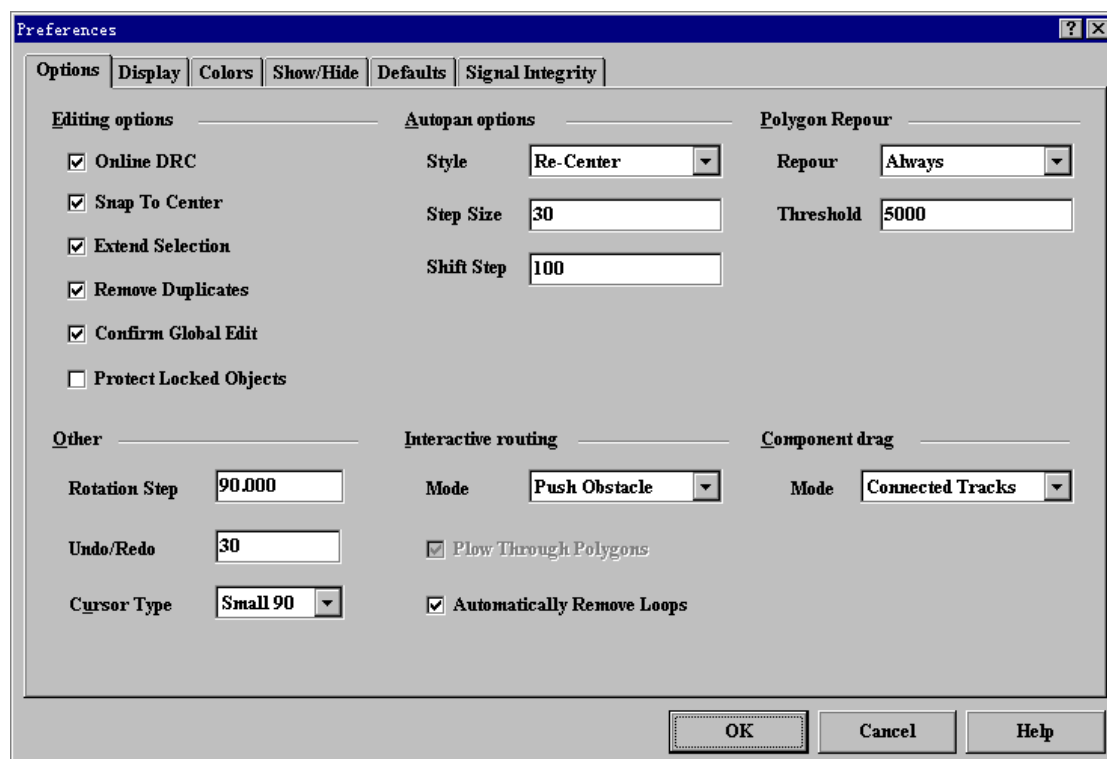
八、Option 中只显示用到的层

在 Protel 99 SE 的 Option 功能选项中只显示用到的信号层、电源层、机械层等。使我们很清楚地看到 PCB 文件的层数。

九、在已覆铜区域放线条，可以自动重新铺铜

此功能适用于交互布线中的避免障碍和推挤布线方式。

操作方法：选择\Tools\Preferences\Option 中的 Polygon Repour 中选为 Always。如果布线方式为避免障碍，则应选择 Plow Through Polygon 打对勾。这时，如果在已铺铜的 PCB 中修改走线，铺铜会自动重铺。



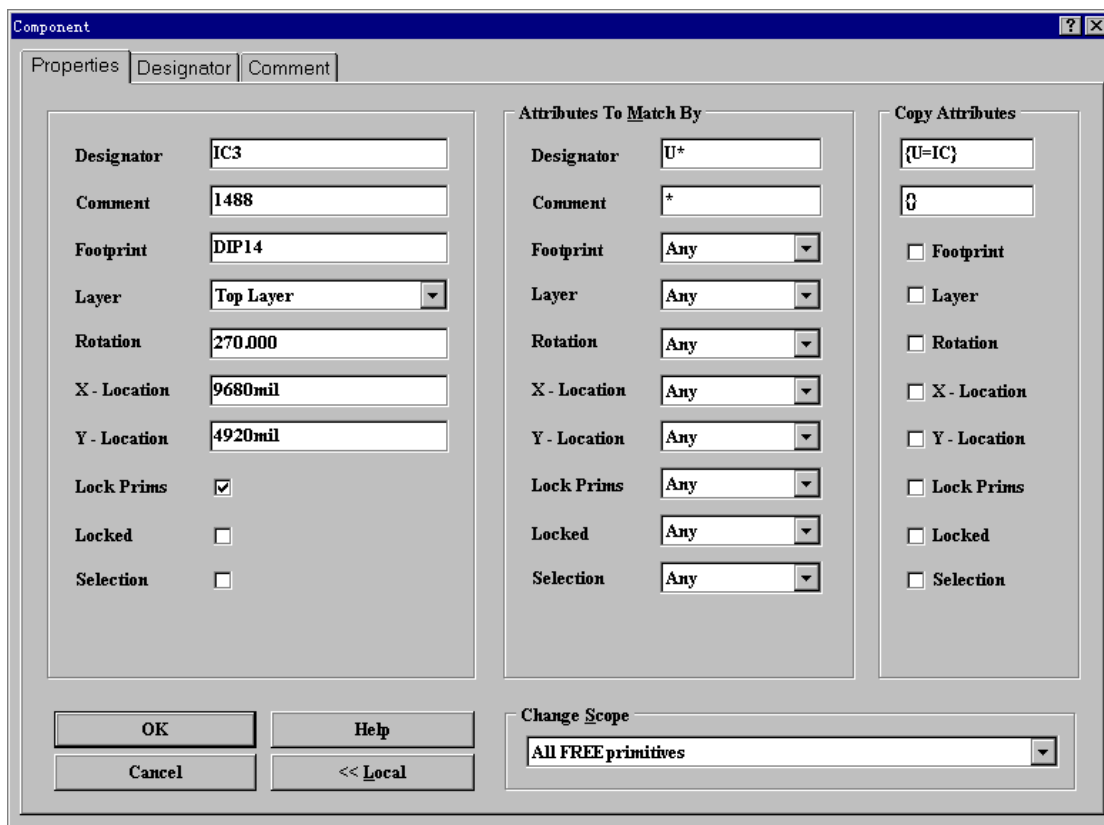
十、过孔显示网络名称

过孔可以直接连接到内电层，且显示网络名称。过孔可以设计为盲孔、埋孔，在层管理的钻孔层对中设置。

十一、强大的全局编辑功能

元件全局编辑能力加强，支持元件标称全局调整。

操作方法：在元件对话框中把其标志符由 U 变成 IC，然后单击对话框全局编辑按钮扩展改变。在匹配属性列 Designator 域输入 U*（意味着找到所有标志符以 U 字符开始的元件），在拷贝属性列 Designator 域设置 { U=IC }（意味着将所有标志符以 U 字符开始的元件改变为相应的以字母 IC 开始）。然后按 OK 键执行改变。



十二、选择功能加强

1. 可以直接在左侧导航面板上选择实体，PCB 工作区内的相应实体将被选中。
2. Create Union
可以建立基于选择的联合，联合可以被解散。在 Tools》convert 中。
3. Find Selections

使用 Toolbars 菜单中能激活 Find Selection 工具条从一个选择物体（或属性）到下一个。工具条上的钮允许你从一个选择物体以向前或向后的方向走向下一个。这种方式是有用的，你既能在选择的属性中也能在选择的元素中普查。



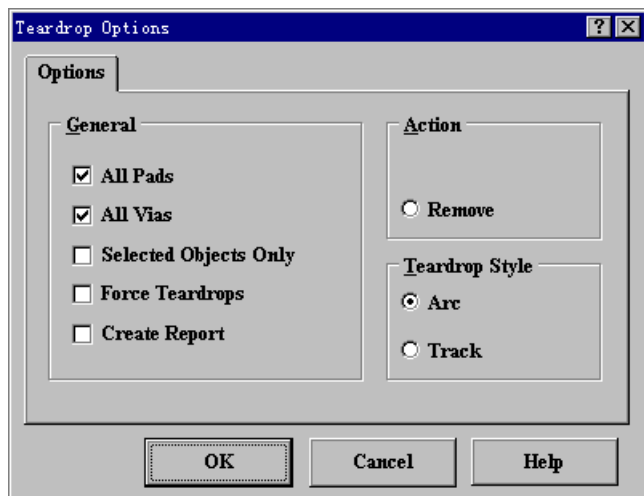
十三、增强的解散功能

元件、尺寸标注、坐标和多边覆铜都可以被解散。选择\Tools\Convert Group/Ungroup 可以解散这些实体。用这个功能可以在英制工作区建立公制尺寸，移动坐标字符串而不改变坐标位置。

十四、增强的补泪滴功能

泪滴焊盘形状可以定义为弧形或线性，可以对选中的实体，也可以对所有过孔或焊盘。选项 Tools\Teardrop Options.

要对单个焊盘补泪滴，先将焊盘双击作为选中状态，然后选择补泪滴工具条中的“**All Pads**”和“**Selected**



Objects Only”为选中状态，“Ok”即可。

十五、布线在焊盘上时，切换层不增加过孔

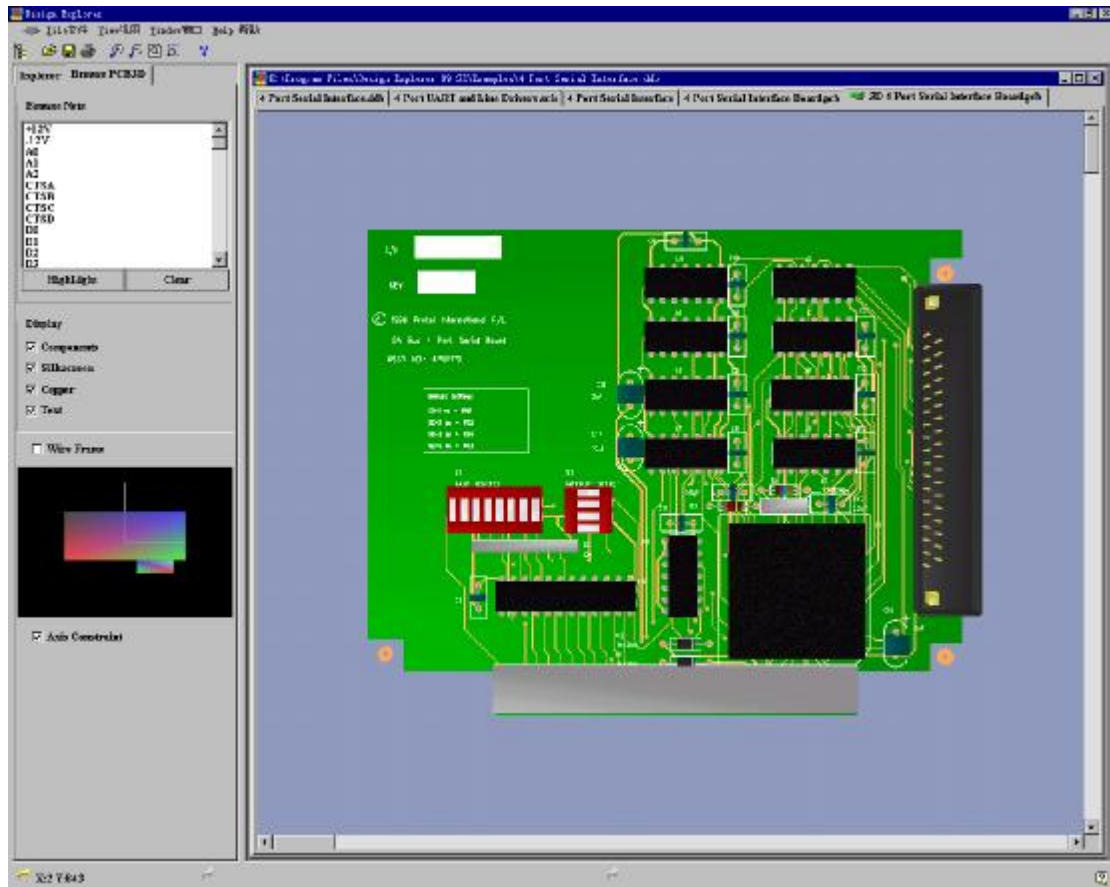
在手动布线过程中，光标在焊盘上时，用*切换层，则在焊盘上不增加过孔。这样可以避免重孔。

十六、状态条信息的增强

当光标放在 PCB 的实体上时，在 PCB 界面底部状态条显示光标位置所盖图素的属性。

十七、3D 显示

增加 3D 显示功能。可以显示清晰的三维立体效果，不用附加高度信息，元件、丝网、铜箔均可以被隐藏。可以随意旋转、缩放，改变背景颜色等。
选项 View\Board in 3D



十八、新的自适应移屏方式，与板尺寸无关

在优选项对话框中 Autopan Style 有许多种移屏方式，可根据设计需要选择不同移屏方式。

1. Disable 方式

自动移屏方式失效，光标只在当前范围内移动。

2. Re-Center 方式

自动移屏方式自动以光标所在位置为中心显示。

3. Fixed Size Jump 方式

自动移屏方式自动以适合尺寸滚动。

4. Shift Accelerate 方式

加快滚动方式。

5. Shift Decelerate 方式

减慢滚动方式。

6. Adaptive 方式

自动移屏聚焦方式。自动移屏速度与设计尺寸和显示内容无关。

十九、可以对个别焊盘或过孔设置阻焊

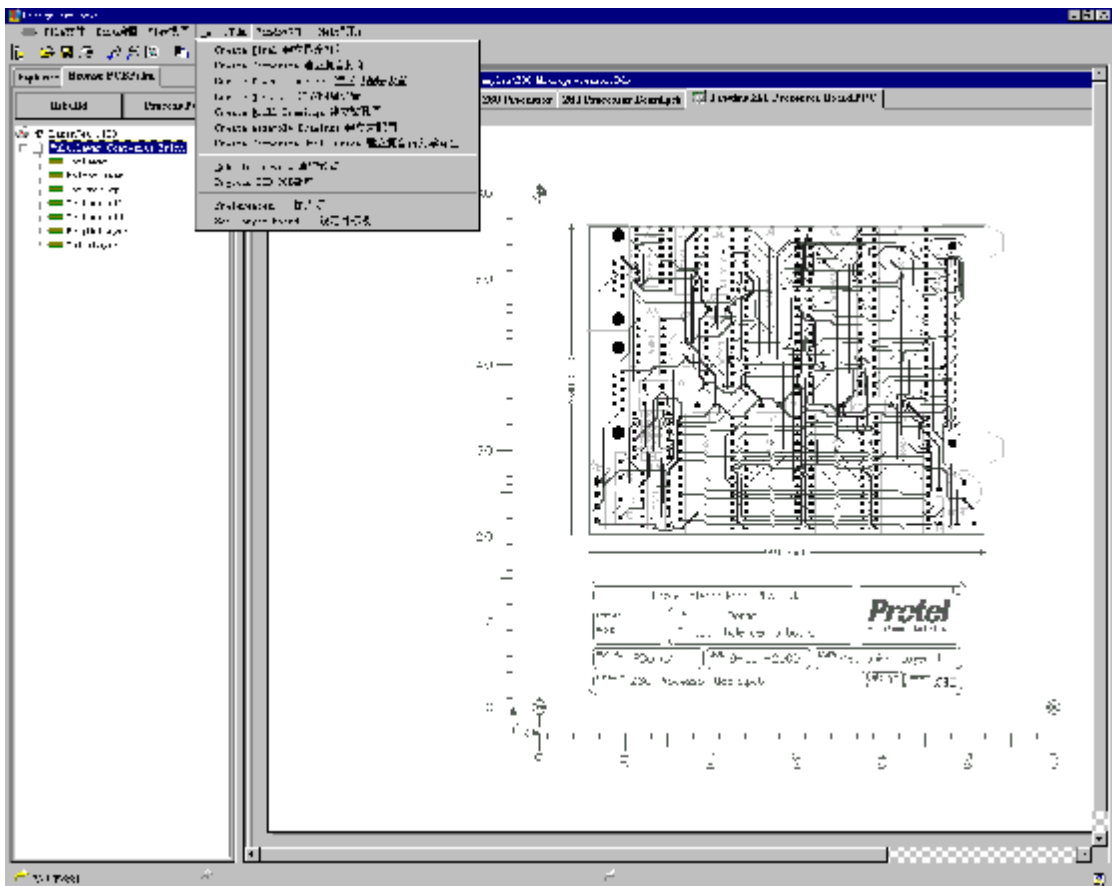
双击焊盘或过孔就可以修改 Advanced 中的 Override 阻焊延伸值。这种功能对于设置 SMD 的 Mark 点非常有用。

二十、PCB 封装库增加 Redo、Undo 功能

在建立 PCB 封装时，不再担心误操作，Redo、Undo 帮我们轻松实现取消、重做功能。

二十一、打印功能增强

可以在打印设置中添加或删除要打印的层，控制打印位置、比例、分页，并且可以预览打印结果。



在编辑选项中，我们可以方便地插入层，删除层。用 Change 可以修改层内焊盘、走线、字符串等的形式。打印设置可以作为文件存储，可以输入、输出到其它设计文件中。

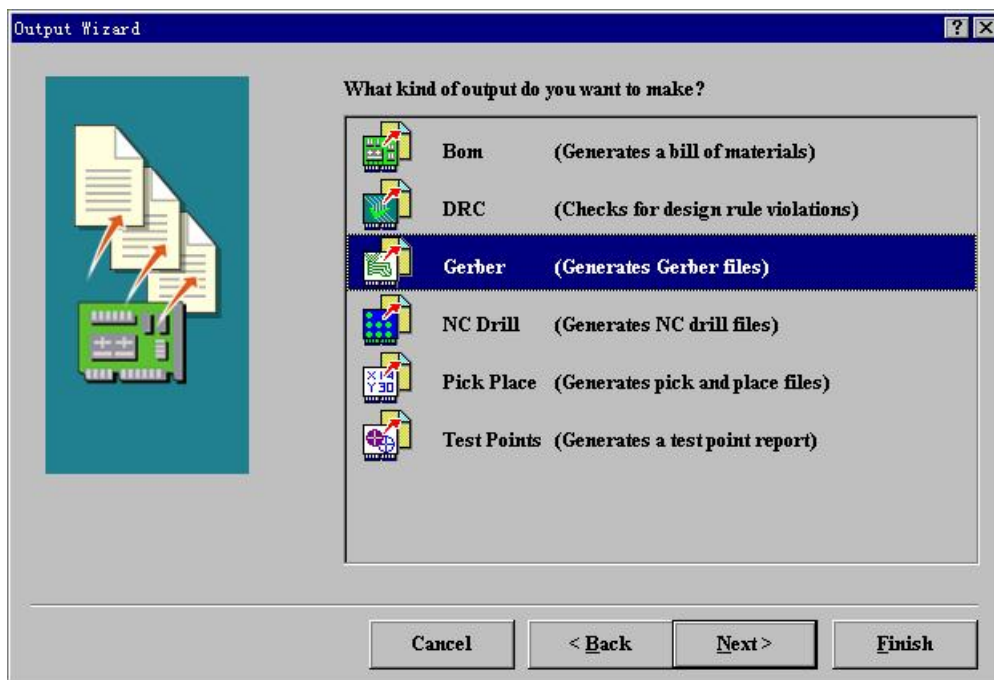
利用 Tools 工具条中的选项可以设置不同的打印形式。例如：我想将 PCB 文件分层打印，则选择 Create Final 设置。要想将所有层合起来打印，则选用 Create Composite 设置。还可以直接打印钻孔图、装配图等。

二十二、第三方接口增强

1. 在 PCB 界面用 Import 可以读取 Orcad Layout V9 (*.max);
2. Import/ Export P-CAD 2000/V1.5 PDIF(*.PDF);
3. Import PADS ASCII 一直到 PowerPCB V.2 的所有版本;
4. A Import/ Export AutoCAD 一直到 R14 版的(*.DWG, *.DXF)文件;
5. 在自动布线器中增加与 Specctra 布线器的接口。

二十三、强大的 CAM 管理功能

CAM 管理器是一个配置和生成 PCB 生产文件的强大控制中心。CAM 的输出配置文档可以随时修改，可以根据不同的厂家不同的生产工艺，建立不同的



输出设置文件。CAM 配置文件可以从一个文件复制到另一个文件中。CAM 管理器可以集中产生包括光绘文件、钻孔文件、材料清单、DRC 报告文件、拾放文件和测试点报告等。所有输出文件自动存到 CAM 文件夹中。

根据导航面板我们很容易产生需要的输出文件。下面我们以产生光绘文件和钻孔文件为例。

当我们根据导航提示选择 Next 选好 Gerber 文件制式（默认英制 2: 3），设计的层次等等后，出现 Gerber Output1-----Gerber 时，选择 Tools》Preferences 》 Export CAM Outputs 设置输出文件夹，点击右键或选择 Tools 工具条中的 Generate CAM Files 产生光绘文件到 CAM 文件夹中。然后选择 Edit 》 Insert NC Drill 产生钻孔文件。将所有的 CAM 文件夹下的文件压缩给印制板厂家就可以加工印制板了。我们还可以用 PCB 界面中 File 》 Import 输入每层光绘文件检查是否正确。

第三章 原理图仿真

Protel 99 SE 可以对模拟和数字信号混合电路仿真。其仿真引擎使用的是伯克利分校的 SPICE /XSPICE。它可以让我们精确地仿真由各种器件，比如 TTL、CMOS、BJT 等构成的电路。


Protel 中支持的电路分析类型有：静态工作点分析，交流小信号分析，瞬态分析，付立叶分析，噪声分析，直流分析，参数扫描分析，温度扫描分析和蒙特卡罗分析。

可用于仿真的电路，必须满足以下条件：

1. 首先，必须用仿真库中的器件（或用户自己建的器件仿真模型和器件符号）搭成电路，仿真库在 \\Design Explorer 99 SE\Library\Sch\Sim. ddb 文件中；
2. 其次必须有激励源；
3. 对所关心的节点建立网络标号；
4. 如需要，设定初始条件。

一、仿真（Simulation）菜单项

1. Run

运行仿真命令，同工具条上的  按钮，

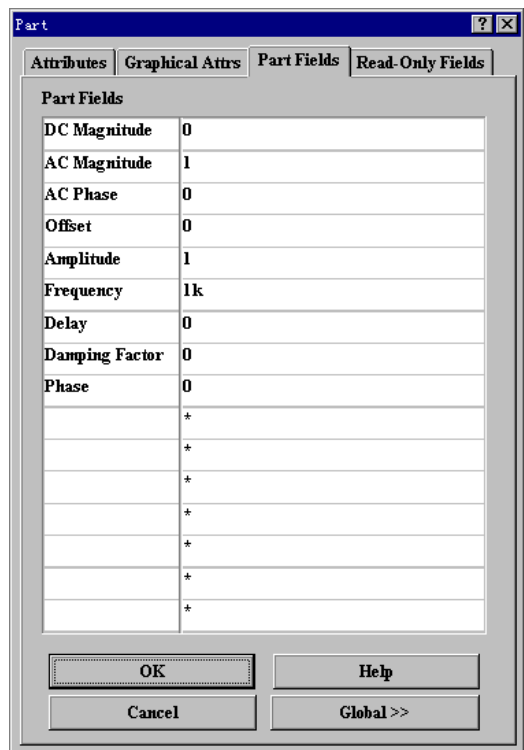
如想终止仿真过程，() 按钮。

2. Sources

此子菜单罗列出了较常用的激励源。我们在搭电路时，可以从这里找到常用的直流信号源、正弦信号源、脉冲信号源。除了这些常用的信号源外，Protel 99 SE 还支持指数源、分段线性源、单频率调频源、多项式源。下面将分别介绍：

① 正弦源 (Sin)

只要简单的双击激励源，就可以看到它的



属性选项。

DC Magnitude DC 幅度（忽略）

AC Magnitude AC 幅度（交流小信号分析时，通常为 1V）

AC Phase AC 相位

Offset 偏置电压

Amplitude 振幅

Frequency 频率

Delay 延迟时间

Damping Factor 阻尼因子

Phase 初始相位

在 Protel 99 SE 中正弦电压源的名称为 VSIN，正弦电流源为 ISIN。

② 脉冲源

DC Magnitude

DC 幅度（忽略）

AC Magnitude

AC 幅度（交流小信号分析时，通常为 1V）

AC Phase

交流相位

Initial Value

初始电压

Pulsed Value

脉冲电压值

Time Delay

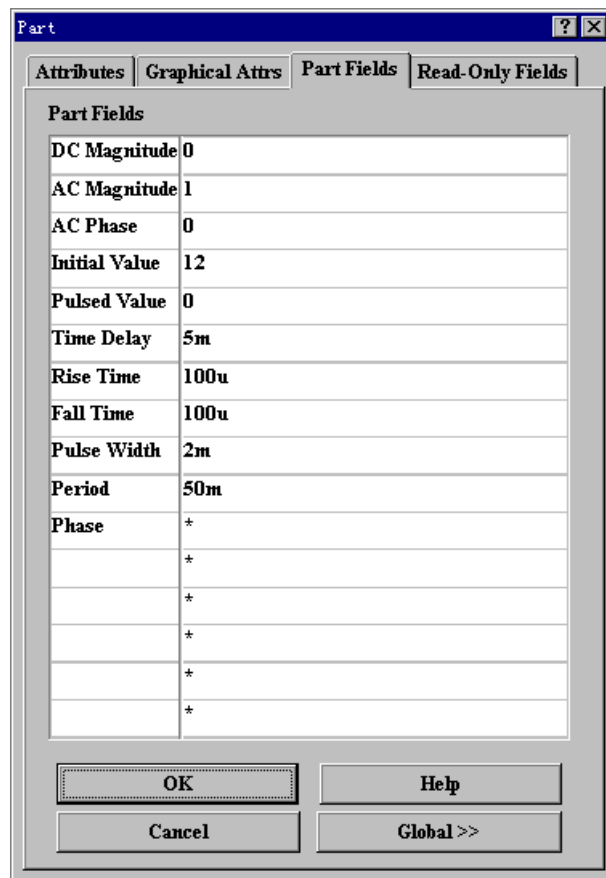
延迟时间

Rise Time

上升时间

Fall Time

下降时间



Pul se Wi dth

脉冲宽度

Period

脉冲周期

Phase

脉冲相位

在 Protel 99 SE 中，脉冲电压源为 VPULSE，脉冲电流源为 IPULSE。

③ 指数源

前面三个参数同上。

Ini ti al Val ue 初始电压

Pul se Val ue 峰值电压

Ri se Del ay 上升延迟时间

Ri se Ti me 上升时间常数

Fal l Del ay 下降延迟时间

Fal l Ti me 下降时间常数

在 Protel 99 SE 中，指数电压源的名称为 VEXP，指数电流源为 IEXP。

④ 分段线性源

分段线性源形中的每一点可由 (T_i, V_i) 描述，并且每一对值 (T_i, V_i) 表明信号源在时刻 T_i 的值。

在 99SE 中，分段线性电压源的名称为 VPWL，分段线性电流源名称为 IPWL。

可在分段线性电压源属性对话框的 Time/Vol tage 区域中输入各时刻所对应的电压值。如是分段线性电流源则输入各时刻所对应的电流值。

File Name 区域，用户也可以通过文件输入的方法给出分段线性电压源的波形数据。此法对波形复杂、数据量大时使用。用户只需把分段线性源的波形数据存于一个扩展名为 .pwl 的文件即可。

⑤ 单频调频源

Offi set

偏置电压

Ampl i tude

振幅电压

Carrier Frequency

载波频率

Modulation Index

调制系数

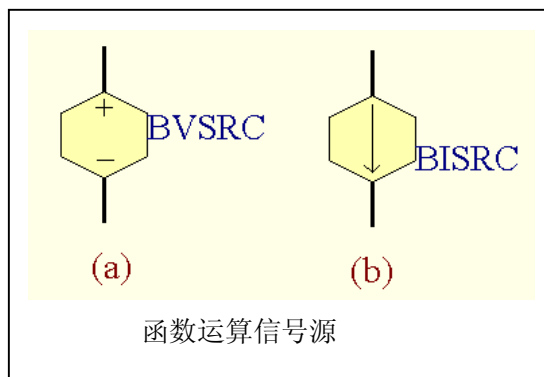
Signal Frequency

信号频率

在 Protel 99SE 中，单频调频电压源的名称为 VSFFM，单频调频电流源的名称为 ISFFM。

⑥ 多项式源

在 Protel 99 SE 中，也为用户提供了更加方便、更加复杂的函数运算信号源（自然包括了多项式源）。如下图所示是其符号和名称。图中 (a) 是函数运算电压源，名称为 BVSRC；(b) 为函数运算电流源，其名称为 BISRC。这此两



者都可以在 Simulation Symbols.lib 库中找到。

在 PROTEL 中，如果使用了函数运算信号源，则必须设置其属性，请打开其属性对话框并按要求完成设置工作即可。

Designator: 设置函数运算电压源的名称；

Part Type: 函数表达式，如 $V(IN)^2$ 或 $ABS(V(IN)*5)+1$ （^ 表示幂运算）；

在此可使用的函数如下：

ABS(), LN(), SQRT(), LOG(), EXP(), SIN(), ASIN(), ASINH(), SINH(),
COS(), ACOS(), ACOSH(), COSH(), TAN(), ATAN(), ATANH()。

同时可以使用运算符：+，-，*，/，^（幂）等。

为了设置函数运算信号源，必须为相关节点设定网络标号，然后才能在属性

对话框中指定，其语法是：

V(NetLabel)：表明电压参考点在 NetLabel ；

I(NetLabel)：表明电流参考点在 NetLabel ；

例如，电路中有个节点的网络标号为 IN，那么就可以定义如下的表达式：

ABS(V(IN)*5)+1：表示节点 IN 电压的 5 倍的绝对值再加上 1 伏偏置电压。

V(IN)^3：表示节点 IN 电压的三次方。

COS(V(IN))：节点 IN 电

压的余弦。

⑦ 受控源

在 Protel 99 SE 中电压控

制电压源的名称为 ESRC；

电压控制电流源的名称

为 GSRC；电流控制电压源

的名称为 HSRC；电流控制电流源的名称为 FSRC。它们的符号如右图所示。

Protel 99 SE 受控源器件在 sim.ddb 中的 Simulation Symbols.lib 里面可

以找到。

3. Create SPICE Netlist

建立 SPICE 网表，Protel 99

SE 在仿真之前要生成网表

文件，然后传递给 SPICE

去仿真。

5. Setup

仿真设置。仿真设置是否合

理，直接影响到仿真结果。

下面我们将对仿真参数设

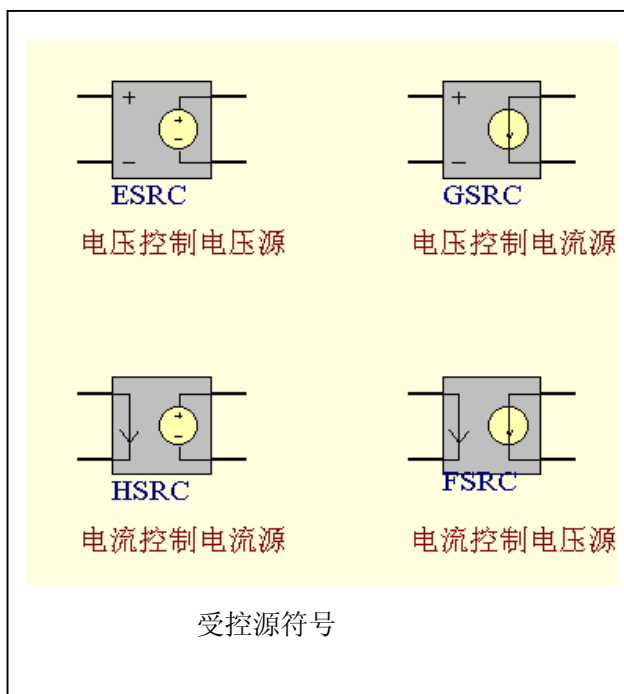
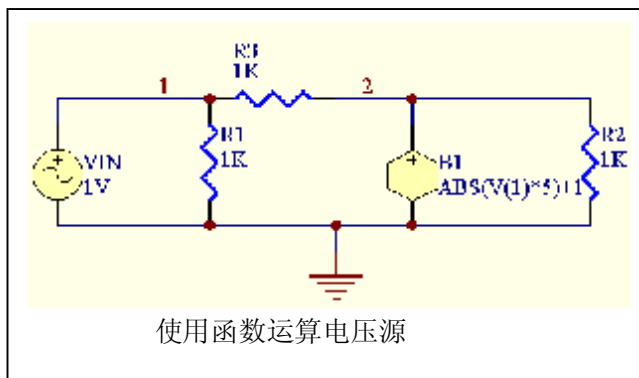
置加以说明。

① 静态工作点分析

静态工作点是在分析放大电路中提出来的，它是放大电路正常工作的重要条

件。当把放大器的输入信号短路，则放大器处于无信号输入状态，称为静态。

如果静态工作点选择不合适，则输出波形会失真，因此设置合适的静态工作点



是放大电路正常工作的前提。

②直流扫描分析

直流扫描分析就是直流转移特性，当某输入在一定范围内步进变化时，计算电路直流输出变量的相应变化曲线。例如某个电压源从 1V 到 20V 变化，步长可由用户设定，在每一个相应的电压将计算出一套电路参数，并显示。

说明：在 Source Name 域中选择一个欲对其扫描的独立电源；在 Start Value 域中设置扫描的开始值；在 Stop Value 域中设置扫描结束值；在 Step Value 域中设置步长。

主独立源（primary source）是必须的，而次独立源（secondary source）是可选的（随需要而定）。若设置了次独立源，需输入其变量名和相应的起始、终止值和步长。通常第一个扫描变量（主独立源）所覆盖的区间是内循环，第二个（次独立源）扫描区间是外循环。

③交流小信号分析

交流分析是在一定的频率范围内计算电路和响应。如果电路中包含非线性器件或元件，在计算频率响应之前就应该得到此元器件的交流小信号参数。在进行交流分析之前，必须保证电路中至少有一个交流电源，也即在激励源中的 AC 属性域中设置一个大于零的值（在本电路中，设为 1V）。

说明：

在 Start Frequency 域中指定起始频率（1.00Hz）；在 Stop Frequency 域中指定终止频率（150Meg）；在 Test Points 域中指定扫描的点数（100）；在 Sweep Type 框中指定扫描类型。扫描类型只能确定 Linear、Octave 或 Decade 中的一个。

Linear、Octave 和 Decade 扫描类型特点如下：

- I Linear 为线性扫描，是从起始频率开始到终止频率的线性扫描。Linear 适用于带宽较窄情况。
- I Octave 为倍频扫描，频率以倍频进行对数扫描。Octave 用于带宽较宽的情形。
- I Decade 为十倍频扫描，它进行对数扫描。Decade 用于带宽特别宽的情况。

对交流分析，Protel99 SE 可以方便地查看单个输出变量的一个或两个交流分析

Y 轴输出类型，如输出的虚部、实部，幅值（幅度或分贝数），相位（度或弧度），缺省 Y 轴是幅度。X 轴比例可以是线性的或对数的。同时 Protel99 SE 版本还提供了丰富的波形运算函数。

④温度扫描分析

温度扫描是指在一定的温度范围内进行电路参数计算，用以确定电路的温度漂移等性能指标。下面我们对 simpleBJT 的输出进行从 -10℃ 到 100℃ 温度扫描，步长为 30℃ 观察此电路的特性。

由于显示比例太小，它们好象一重叠在一起曲线，几乎看不出它们的任何区别，因此请读者对其进行单独显示，并进行局部放大。

⑤瞬态分析和付立叶分析

瞬态响应分析是对时域中的输入信号确定时域中的输出。计算机瞬态偏置点的方法与直流偏置点不同。直流偏置点被看作固定偏置点。对于固定偏置点，电路节点的初始值对计算偏置点和非线性元件的小信号参数时节点初始值也考虑在内，因此有初始值的电容和电感也被看作是电路的一部分而保留下来。

瞬态分析的输出量可用离散形式表示，这些数据即用于计算付立叶级数的系数。一个周期波形可以用如下的付立叶级数表示：

$$V(q) = C_0 + \sum_{n=1}^{\infty} C_n \sin(nq + j_n)$$

$q = 2\pi ft$ ，f 是频率，以 Hz 为单位； C_0 直流分量； C_n 为次谐波分量。利用瞬态分析结果进行付立叶分析计算直到九次谐波或十个系数。

说明：

- I 在 Transient Analysis 组中，Time Step 是时间步长；Stop Time 终止时间（或停止时间）；Maximun Step 是时间步长的最大值，一般取两者相等。
- I 瞬态分析总是从时间 t=0 开始，然而，可以从时间 Start Time 开始打印结果。Start Time 是瞬态响应的初始时刻。事实上从 t=0 到 t= Start Time 时间内也分析了电路，只是没有输出或存贮这些结果而已。
- I 如果 Use Initial Condition（使用初始条件）作为选择项在 .TRAN 命令结束时被指定，那么在瞬态分析开始前不计算瞬态分析的偏置点，而是

直接使用电容上的初始电压和电感中的初始电流值。因此，如果指定使用初始条件，必须提供电容和电感的初始值。

- I 在 Fourier 组中，Fun. Frequency 指定付立叶分析的基频，缺省值为信号源的频率。Harmonics 指定付立叶分析的谐波次数，也即付立叶分析的系数个数，缺省值是 10，也即是 9 次谐波 (0~9)。
- I 在 Default Parameter 组中，其前面有个检查框，当其被选中（前面有对勾号）时，所有参数都将不能修改（不能修改的区域显示为灰色），而必须使用缺省参数值。但用户可能通过此组中的参数 Cycles Displayed 和 Points Per Cycles 来指定这些缺省参数值。Cycles Displayed 用于指定波形中显示的信号周期个数；Points Per Cycles 用于指定每个波形周期中显示的点数。设定完成后，单击 **Set Defaults** 即可。如果用户觉得没必要使用缺省参数值，则去掉 Default Parameter 前面有对勾号（即让它为空）即可，同时会发现所有数据输入区域均变亮了，此时表明可以随意设定相应的参数值。在本例中，我们使用缺省参数，但只显示两个周期波形数据。

单击 **Run Analyses** 按钮，就会得到瞬态分析和付立叶分析结果。

在给出波形的同时，Protel 99 SE 还产生了一大堆付立叶分析的相关数据，并存于 .sim 文件中。在此文件中，Protel 99 SE 为每个端口都列出了其相应的付立叶分析数据。

分析结果给出了直流分量为 0 伏，同时给出了基波和 2 到 9 次谐波的幅度、相位值以及归一化的幅度、相位值。同时还列出了总的失真系数 THD，THD 的计算公式如下：

$$THD \approx \sqrt{\frac{V_{f2}^2 + V_{f3}^2 + \dots + V_{f9}^2}{V_{f1}^2}}$$

其中， V_{f1} 是基波幅度，而 V_{f2} 到 V_{f9} 分别代表 2 到 9 次谐波的幅度。

⑥ 噪声分析

电阻和半导体器件等都能产生噪声，噪声电平取决于频率。电阻和半导体器件产生不同类型的噪声（注意：在噪声分析中，电容、电感和受控源视为无噪声

元器件)。对交流分析的每一个频率，电路中每一个噪声源（电阻或晶体管）的噪声电平都被计算出来。它们以输出节点的电平通过将各均方根值相加得到。噪声分析在电路设计中较为常见，下面我们将对其详细讲解。

在 Protel 99 SE 中，我们可以测量和分析以下噪声：

输出噪声：在某个特定输出端口上测量噪声。

输入噪声：从输入端口上测量得到的噪声。输入噪声可以通过输出噪声和电路的增益来求得。如，输出噪声为 100p，电路的增益为 100，那么等效的输入噪声为 1p。

器件噪声：每个器件对输出噪声的贡献，输出噪声大小即为所有产生噪声的器件噪声的叠加。

参数说明：

- (1) Noise Sources 区域：选择一个用于计算噪声的参考电源（独立电压源或独立电流源）；
- (2) Start Frequency 区域：指定起始频率；
- (3) Stop Frequency 区域：指定终止频率；
- (4) Test Points 区域：指定扫描的点数；
- (5) Points/Summary 区域：指定计算噪声范围。在此区域中，输入 0 则只计算输入和输出噪声；如输入 1 则同时计算各个器件噪声。后者适用于用户想单独查看某个器件的噪声并进行相应的处理（比如某个器件的噪声较大，则考虑使用低噪声的器件换之）。
- (6) OutPut Node 区域：指定输出噪声节点；
- (7) Reference Node 区域：指定输出噪声参考节点，此节点一般为地（也即为 0 节点）；
- (8) 在 Sweep Type 框中指定扫描类型，这些设置和交流分析差不多，在此只作简要说明。Linear 为线性扫描，是从起始频率开始到终止频率的线性扫描，Test Points 是扫描中的总点数，一个频率值由当前一个频率值加上一个常量得到。Linear 适用于带宽较窄情况。Octave 为倍频扫描，频率以倍频程进行对数扫描。Test Points 是倍频程内的扫描点数。下一个频率值由当前值乘以一个大于 1 的常数产生。Octave 用于带宽较宽的情

形。Decade 为十倍频扫描，它进行对数扫描。Test Points 是十倍频程内的扫描点数。Decade 用于带宽特别宽的情况。

⑦ 传递函数分析

传递函数分析用于计算电路的直流输入、输出电阻和直流增益。

以下是设置参数说明：

(1) Source Name 区域：指定参考的输入信号源。

(2) Reference Node 区域：指定参考节点。

我们可方便地查看整个电路的直流输入、输出电阻和直流增益。

⑧ 参数扫描分析

参数扫描分析它可以与直流、交流或瞬态分析等分析类型配合使用，对电路所执行的分析进行参数扫描，对于研究电路参数变化对电路特性的影响提供了很大的方便。在分析功能上与蒙特卡罗分析和温度分析类似，它是按扫描变量对电路的所有分析参数扫描的，分析结果产生一个数据列表或一组曲线图。

同时用户还可以设置第二个参数扫描分析，但参数扫描分析所收集的数据不包括子电路中的器件。

以下是设置参数说明：

Parameter 域列表中选择欲对其扫描分析的参数，本例中选择了晶体管电流放大系数（BF）。

Relative Values 选择项：如果选择了此选项，则在 Start Value 和 Stop Value 域中所输入的值是一个相对值，而不是绝对值，也即在器件参数或缺省的基础上变化。

不同的参数值所画出来的曲线不一样。曲线之间偏离的大小表明此参数对电路性能影响的程度。

⑨ 蒙特卡罗分析

蒙特卡罗分析是一种统计模拟方法，它是在给定电路元器件参数容差为统计分布规律的情况下，用一组组随机数求得元器件参数的随机抽样序列，对这些随机抽样的电路进行直流、交流小信号和瞬态分析，并通过多次分析结果估算出电路性能的统计分布规律。下面只简要地讲解其在 PROTEL99 SE 中设置步骤和方法。

以下是设置参数说明：

I 缺省容差

在 PROTEL99 SE 中，用户可对 6 种器件进行容差设置，即：电阻、电容、电感、晶体管、直流电源和数字器件的传播延迟(propagation delay for digital devices)。对这些器件的缺省容差为 10%，用户可以更改。同时用户可以设置为百分比或绝对值。如一电阻器标称值为 1K，那么当用户在电阻容差中输入 15 或 15%均可，但表示的意义不一样，前者此电阻将在 985 和 1015 欧之间变化；而后者此电阻可在 850 欧和 1150 欧之间变化。

I 缺省容差分布

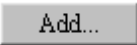
在蒙特卡罗分析中，有三种分布供选择：均匀分布（Uniform）、高斯分布（Gaussian）和最坏情况分布（Worst Case）。

I Simulation

在此用户可以设定随机数发生器的种子数（通常设为-1）和设置运行次数。

I Specific Device Tolerance

可以为特定的器件单独设置容差。如想为特定的器件单独设置容差，则请进入下面的步骤：

单击  按钮，打开设置窗口。

以下是此窗口参数说明：

- I Designator: 在此下拉选框中选择所要特定设置容差的器件。
- I Parameter: 在必要时输入参数。电阻、电容、电感等不需要输入参数，但晶体管则需要输入参数。在本例中选择晶体管 Q1，且参数为 BF。
- I Device: 器件容差。
- I Lot: 批量容差。
- I Distribution: 容差分布。
- I Tracking#: 跟踪数（tracking number）用户可以为多个器件设定特定容差。此区域用来标明在设定多个器件特定容差的情况下，它们之间的变化情况。如果两个器件的特定容差的 Tracking# 一样，且分布一样，则在仿真时将产生同样的随机数并用于计算电路特性。

二、仿真库

Protel 99 SE 的仿真库在 Design Explorer 99SE\Library\Sch\Sim.ddb 中,前面我们说过要想对原理图仿真,必须用仿真库中的器件,因为仿真库中的器件定义了仿真模型所在的路径和仿真的参数信息。Sim.ddb 是仿真的符号库, Simulation Models.ddb 是仿真的模型库,在 Design Explorer 99SE\Library\Sim 目录中。Protel 99 SE 的仿真兼容 SPICE 模型,因此,只要有 SPICE 模型,我们就可以对其仿真。

1. Sim.ddb

双击器件,我们看它的只读域:

◆ Field 1

Field 1 包含的信息是类型
和该器件在 SPICE 网表文件
中的前缀字母,其语法为:

type=<DeviceType>

(<SPICE Prefix>)

Device Type 是器件类型;
SPICE Prefix 代表该器件在
SPICE 网表文件中的前缀字
母。例如: type=SUBCKT(X)
表示该器件所用的库是一个
子电路,在 SPICE 网表文件
其前缀字母为 X。

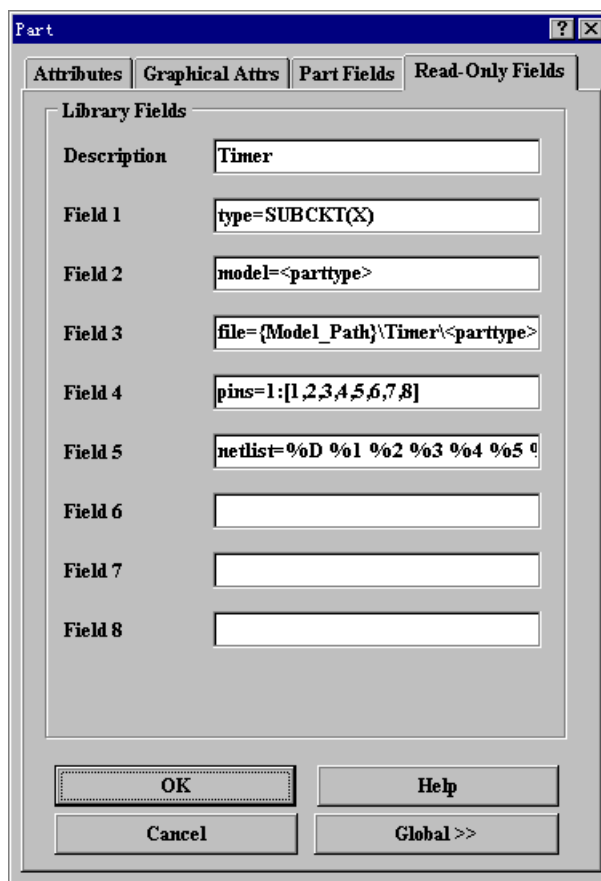
◆ Field 2

在 Field 2 中指明某些器件
所用的模型名称(因为在—

个库中可能会有多个模型),其语法如下: model=<model_name>。

model_name 是模型名称,但如果在这里出现类似: model=<parttype>,

它代表的意义为:其模型名由 Part Type 域中的字符串决定。



所有的模型定义都存放在以.mdl 或.ckt 为扩展名的文件中，同时这些文件要放在...\Library\Sim 目录下。但对于标准器件，如电阻、电容、电感和电源等，这些模型已经内嵌在 SPICE 中，因而没有相应的模型名称，也就无需填写 Field 2。

例如：model =CAPSEMI 意义：表示其模型名称为半导体电容。

model =<parttype> 意义：表示其模型名称由<parttype>中的字符串指定。

◆ Field 3

Field 3 指定了模型文件所在的路径。语法为：

file={model_path}\<subpath>\<model_name>.<ext>

model_path

此参数在安装 Protel 99 SE 时已经内定了，即为...\Library\Sim 文件夹（前面的...表示 Protel 99 SE 安装时所选的驱动器和目录名。

subpath

此参数代表 subpath 是{model_path}目录下的一个子目录，该子目录将包含模型文件。

model_name

此参数代表模型名称，它和 Field 2 中 model_name 是一致的。

ext

此参数代表模型文件的扩展名，只能为.mdl（SPICE 模型）或.ckt（SPICE 子电路）。对于数字器件，将用一个模型文件去调用一个微代码文件（SimCode file）。

◆ Field 4

在 Field 4 中包含器件的引脚排列信息。语法为：

pins=<part_no>: [<pin1>, <pin2>, <pin3>, ...]...

part_no

此参数代表器件编号，因为有时在一个封装中有多个同样的器件（如与非门集成块中有多个与非门）。

<pin1>, <pin2>, <pin3>, ...

此参数代表该器件的引脚号。

例如: `pin s=1: [1, 2, 3]` 意义: 它表示该封装形式只有 1 个器件, 其引脚有 3 个。双极型晶体管即为这样的管子。

`pin s=1: [3, 2, 4, 11, 1]2: [5, 6, 4, 11, 7]3: [10, 9, 4, 11, 8]4: [12, 13, 4, 11, 14]`

意义: 它表示该封装形式只有 4 个器件, 每个器件引脚有 5 个。4-741 运算放大器就是这样的封装形式。

◆ Field 5

Field 5 包含了 PROTEL99 SE 自动生成网表文件时的信息。其语法为:

```
netlist=<SPICE Data>|<SPICE Data line 2>|...
```

用“|”线分开表示多行 SPICE 网表信息。

在这里将用到一些特殊的符号和参数。百分号(%)表示引用别的区域(Field)的信息。百分号(%)后面还跟有字母或数字, 它们都代表不同的意义, 请看下面具体说明。

%D

即在生成网表文件时, 如果用户指它的器件名称不符合 SPICE 的前缀要求, 那么这时 PROTEL99 将自动插入由 Designator 域指定内容。如 Q 表示晶体管, R 表示电阻等。

%1, %2, %3, .. %n

列出了将被插入到网表文件中的引脚, 这些引脚已经在 Field 4 中列出。

%F1, %F2... to %F16

在生成网表文件时, 插入 Part Field 1 到 16 中的内容。

%M

在生成网表文件时, 插入由 Field 2 指定的模型名称。

%R

在生成网表文件时, 插入由 Lib Ref 域指定的库信息。

%V

在生成网表文件时, 插入由 Part Type 域指定的器件信息。

例如, 一个 4-741 运算放大器 (MC4741), 它的名称为 U1C (指第 3 个运

算放大器), 它的 Field 4 和 Field 5 内容如下:

```
pins=1: [3, 2, 4, 11, 1]2: [5, 6, 4, 11, 7]3: [10, 9, 4, 11, 8]4: [12, 13, 4, 11, 14]
```

```
netlist=%D %1 %2 %3 %4 %5 %M
```

那么在生成网表文件时, 它将被解释为:

- 1) %D 表示要插入 SPICE 前缀, 假如为 XU1C。
- 2) %1, %2, ..., 查找第 1, 2, 3, ...对应的引脚, 但由于这是 U1C 表示 U1 片子中的第 3 个运算放大器, 因此它的引脚由 Field 4 内容可知为: 10, 9, 4, 11, 8, 所以在网表文件中将出现 NetOnPin10, NetOnPin9, 等。
- 3) %M 表示插入由 Field 2 指定的模型名称, 在此为 MC4741。

最后生成的网表文件结果如下:

```
XU1C NetOnPin10 NetOnPin9 NetOnPin4 NetOnPin11 NetOnPin8  
MC4741
```

上面详细讲解了 Field1 到 Field5 所包含的信息以及它的意义, Field6 到 Field8 一般不常用, 是为了以后扩展使用的。

2. Simulation Models.ddb

打开 Simulation Models.ddb, 我们可以看到 Protel 99 SE 包含许多数字器件、模拟器件的仿真模型。有兴趣的设计者可以自己建立模型。

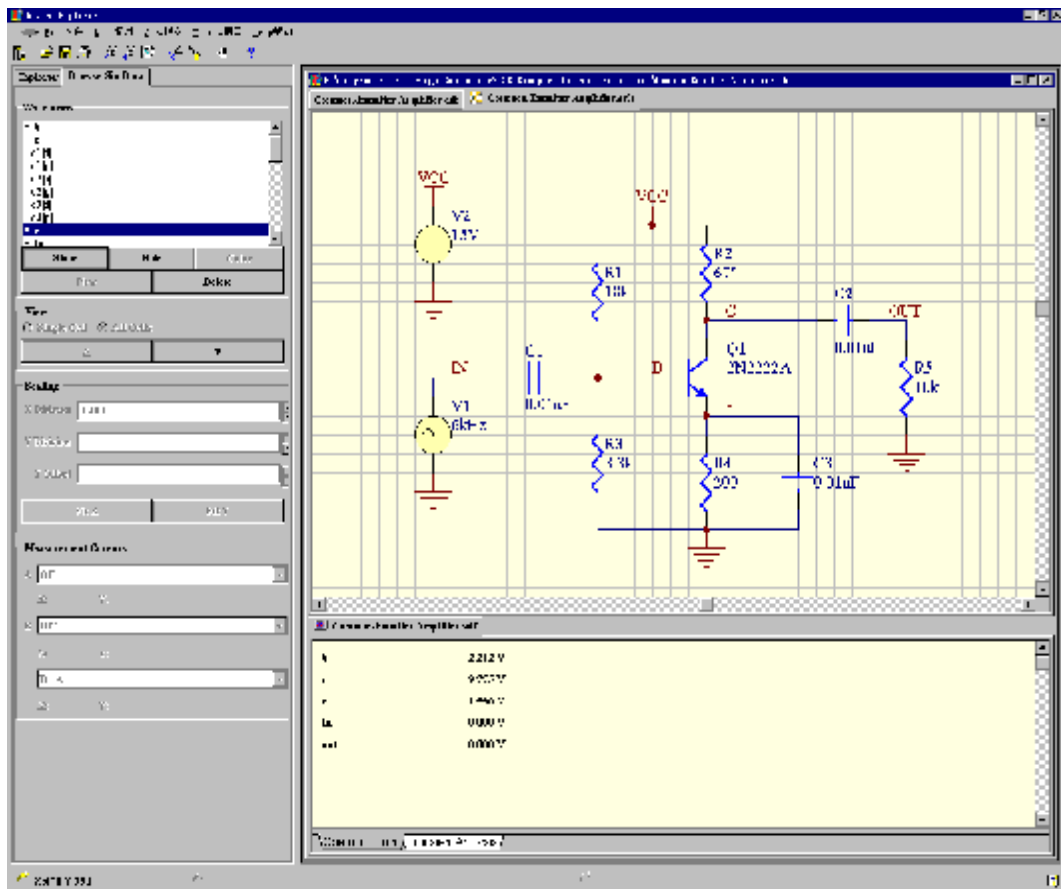
三、仿真电路分析

下面我们以 \\Design Explorer 99 SE \Examples\Circuit Simulation\Commom-Emmitter Amplifier.ddb 为例, 来加以说明。

1. 静态工作点分析

静态工作点分析是其它各种仿真分析的基础, 一般而言, 在进行各种分析之前, 应首先分析其静态工作点。此时, 所有电感视为短路, 所有电容视为开路, 对于二极管或三极管的电路元件参数与其直流工作点有关, 直流工作点也叫静态工作点或偏置点。我们要看它的静态工作点, 只要运行仿真分析, 点击仿真界面下面的 Operating Point 选项, 就可谈出不同节点

的静态工作点电压，在仿真界面的左侧“Waveforms”中，选择要看的节点，点击“Show”，仿真界面就会显示出选中点的静态工作点电压。

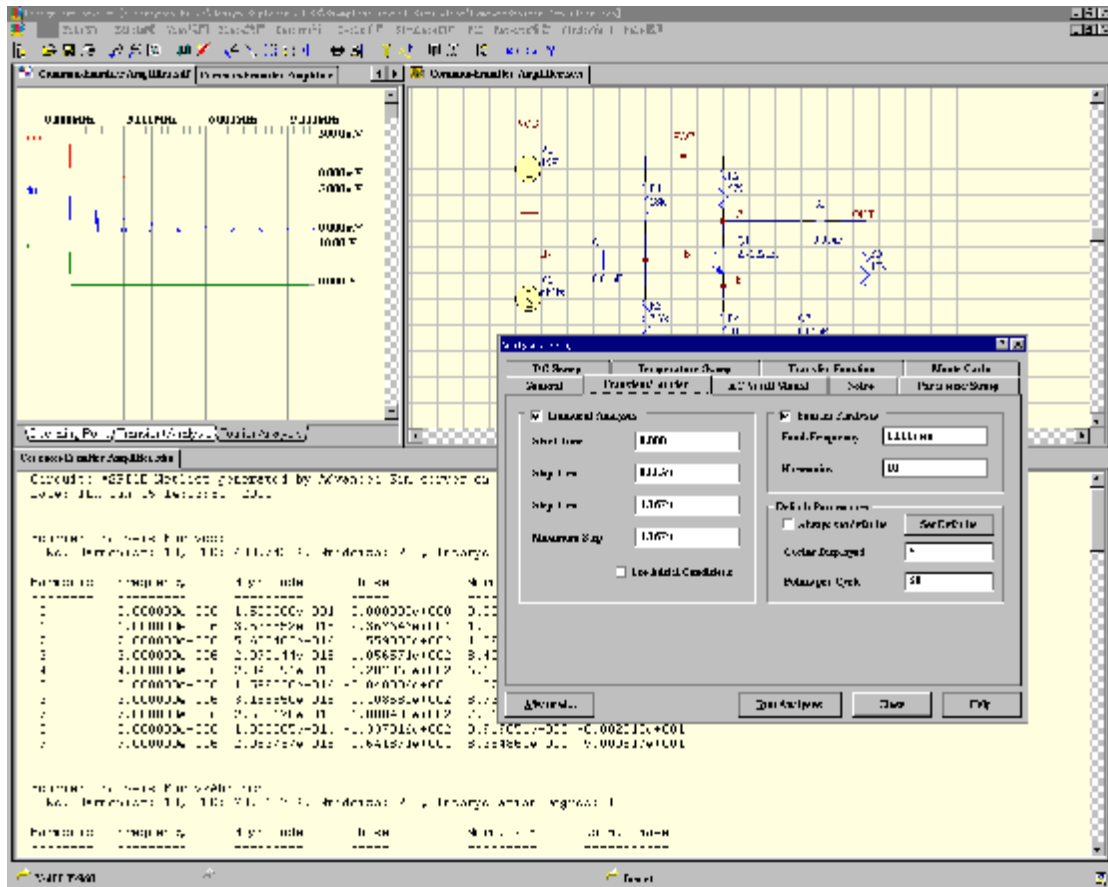


2. 瞬态分析和付立叶分析

在瞬态分析中，被分析的变量是时间的函数，所得到的是电路时域分析响应。瞬态分析的仿真参数设置十分关键，如果设置不合理，将影响仿真分析，得不到仿真结果。

付立叶分析是利用瞬态分析的输出结果用离散形式表示出来。付立叶级数的系数可用前面提到的仿真设置中的公式计算得到。因此，付立叶分析要结合瞬态分析同时仿真，利用 Protel 99 SE 就可轻松得到付立叶级数结果。

注意：在做付立叶分析时，主菜单设置界面中的“Collect Data For”选项中通常选择“Node Voltage and Supply Current”。



3. 直流扫描分析

直流扫描分析是使输入源电压从设定的初始值到终止值阶梯状改变，从而观察所关心节点的直流传输特性曲线，也就是电路的直流转移特性。如果分析一个三极管限幅器的限幅特性，利用直流扫描分析即可获得。在此电路中，我们设置 V2 为主独立源，在直流扫描对话框中输入起始电



4.



交流小信号分析是在一定的工作频率范围内分析电路的频率响应，被分析的变量是频率的函数。在交流分析中，电路中必须有一个交流电源。在交流小信号设置菜单中设置起始频率终止频率（参考前面的仿真设置章节），运行分析就可得到频率响应曲线。在选中的波形上点击鼠标右键可以观看输出的虚部、实部，幅值（幅度或分贝数），相位（度或弧度）和群时延。同时，我们还可以利用 Protel 99 SE 丰富的波形运算函数建立新的波形。可以利用左侧测量标尺 A、B 测量波形。X 轴可以是线性的也可以是对数的，Y 轴是幅度。在此电路中我们可以测量出交流小信号





5.



任何电路都会产生内部噪声，电路中每个产生噪声的元件都视为一个噪声源。在噪声分析中，电容、电感和受控源视为无噪声元件。输出节点的总噪声用每个噪声源的噪声电压的均方根值相加得到。利用噪声分析可以计算出噪声增益及输入等效噪声电平。特别是对于设计微弱模拟信



6.



蒙托卡洛来自欧洲著名赌城 Monte Carlo，后来就以通过随机模拟和统计实验来求解数学、物理和工程技术问题近似解的方法称作蒙托卡洛方



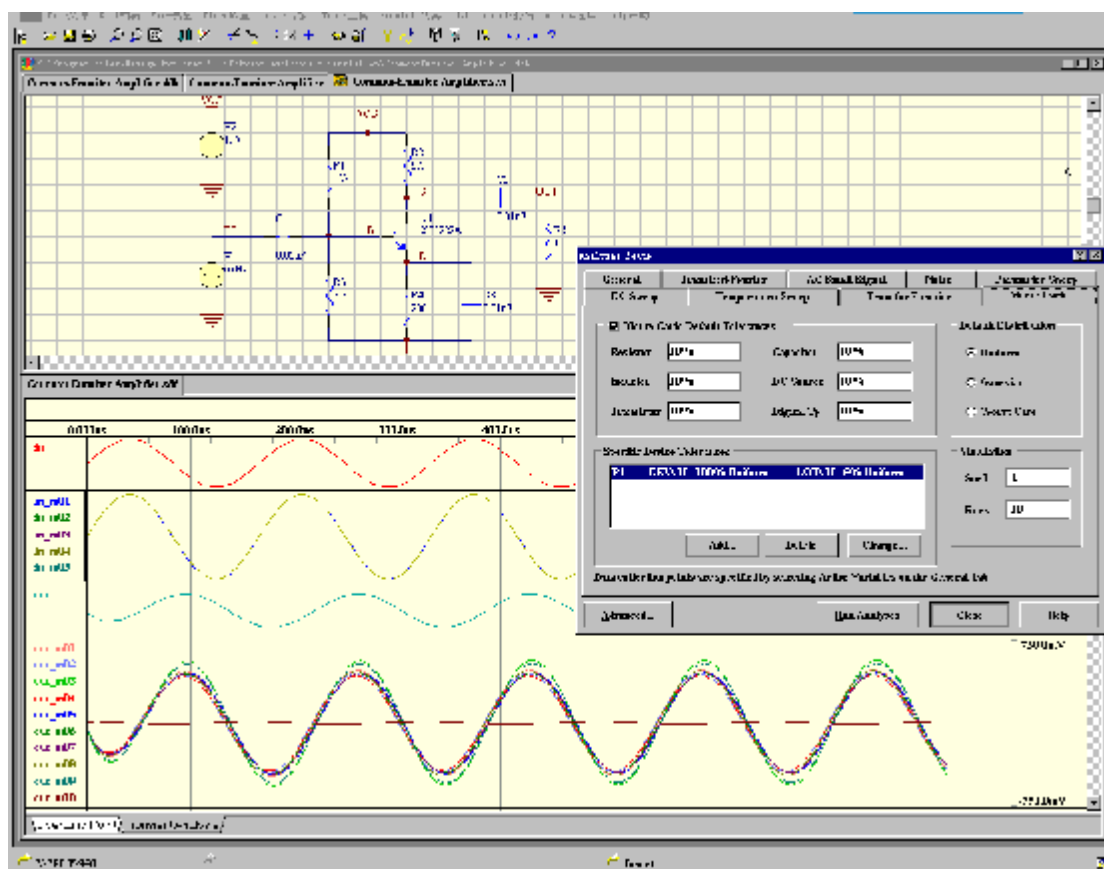
在电路中，电阻、电容、电感等器件都存在误差，碳膜电阻的相对误差



在容差分析中，做法之一就是先规定元件、电源或温度的容差，计算电路的特性容差，以验证是否符合设计要求。容差统计分析的方法之一就



在 Protel 99 SE 中可以用三种形式观看蒙特卡洛分析结果：均匀分布（Uni for）、高斯分布（Gaussi an）、最坏情况分布（Worst Case）。参数设置请参照前面的仿真设置章节。



7. 温度扫描

温度扫描分析用来确定温度漂移性能指标。我们只要简单的设置温度范围，运行分析就可得到仿真结果。如果波形重叠在一起不容易观测，可以调整 X、Y 轴比例，或用鼠标左键拉伸窗口放大显示。

8. 参数扫描

参数扫描分析是在用户指定的参数变化范围内，分析对电路特性发生的影响。扫描的参数对于电阻是它的阻值变化范围，对于三级管可以是放大倍数（BF）。参数分析通常与直流、交流或瞬态分析结合使用。

9. 传递函数

传递函数用于观测整个电路的直流输入、输出电阻和直流增益。

片的 PLD 器件集积了多片标准 TTL 或 CMOS 器件的逻辑功能。

在数字系统设计中，PLD 的应用越来越广泛。PLD 芯片上的电路和金属连线都是事先由半导体器件生产厂家做好的，其逻辑功能在出厂时没有确定，可以通过 PLD 开发工具来实现，并且一般都可以重复编程和擦除。PLD 通常都是二级结构，第一级为“与”，第二级为“或”。

在实际设计中，PLD 的应用千差万别，一般要经过几个步骤：设计构思，选择器件，进行软件编程，进行硬件编程，对硬件进行测试。

Protel 99 SE 支持两种 PLD 设计方式，一种为 CUPL 语言设计方式，另一种为原理图设计方式。

一、PLD 菜单项

1. Compile

对 PLD 设计进行编译。经过编译可以产生一系列附属文件，如：*.pld(逻辑描述文件)，*.jed(熔丝图文件)以及相应的注释文件等。

2. Simulate

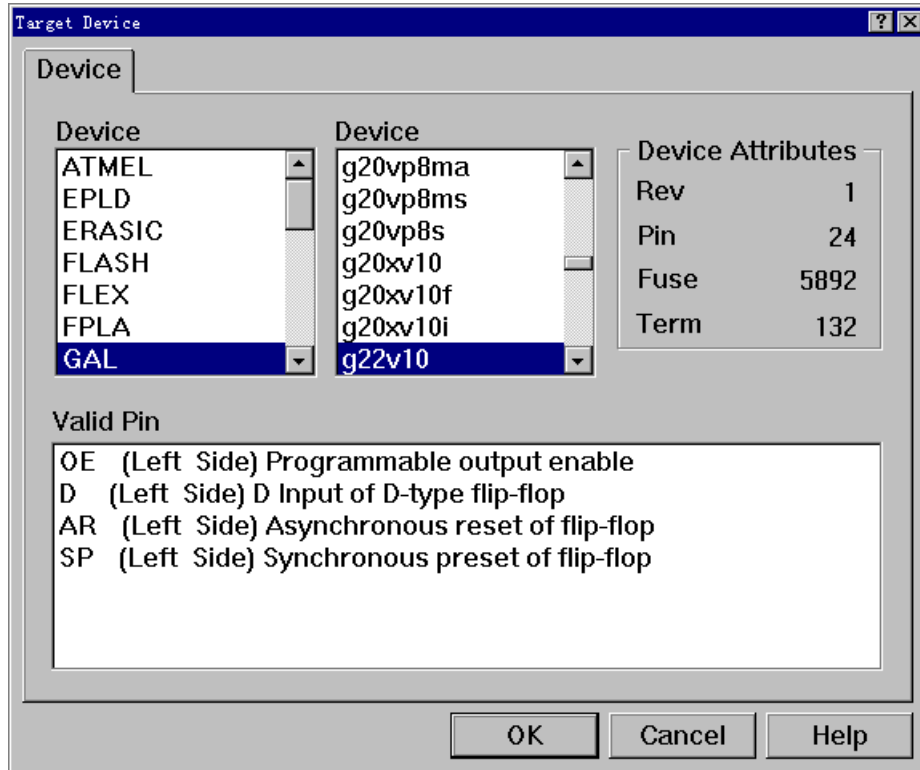
对 PLD 设计进行仿真。PLD 的仿真实际是模拟采用输入文件编程后的器件运行情况，并不是对布尔方程进行运算或给真值表及状态图提供输入向量。

要对 PLD 仿真，需建立仿真输入源文件（文件扩展名为.SI），并保存在与*.PLD 文件相同的目录下，然后，使*.PLD 成为当前文件，即可进行仿真。仿真结果被保存在*.SO 的文件中。

3. Configure

PLD 配置菜单。用来设置 PLD 设计文件的输出，配置目标器件类型。

Protel 99 SE 支持多种器件类型，我们可以根据需要选择适合的目标器件。



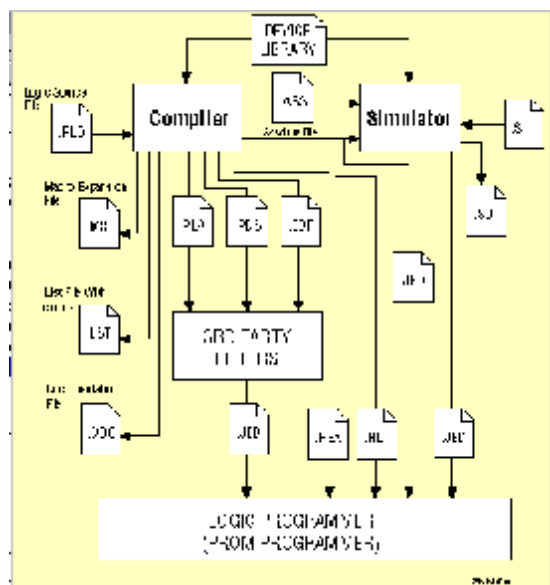
Rev 为版本号， Pin 为节点数， Fuse 为熔丝点数， Term 为乘积项数， Valid Pin 栏目列出了芯片的使能输出端， 寄存器输出端等特性。

4. Toggle Pin LOC
切换显示的管脚。

二、 CUPL 语言设计

CUPL 语言是一种硬件描述语言， 它的逻辑说明注释可放在程序中的任何地方。符号 ‘/*’ 表示逻辑说明注释的起始， 符号 ‘*/’ 是注释说明的结束。它的设计流程如右图所示。

Protel 99 SE 专门为用户提供了 CUPL 导航。它产生 PLD 的器件描述文件，



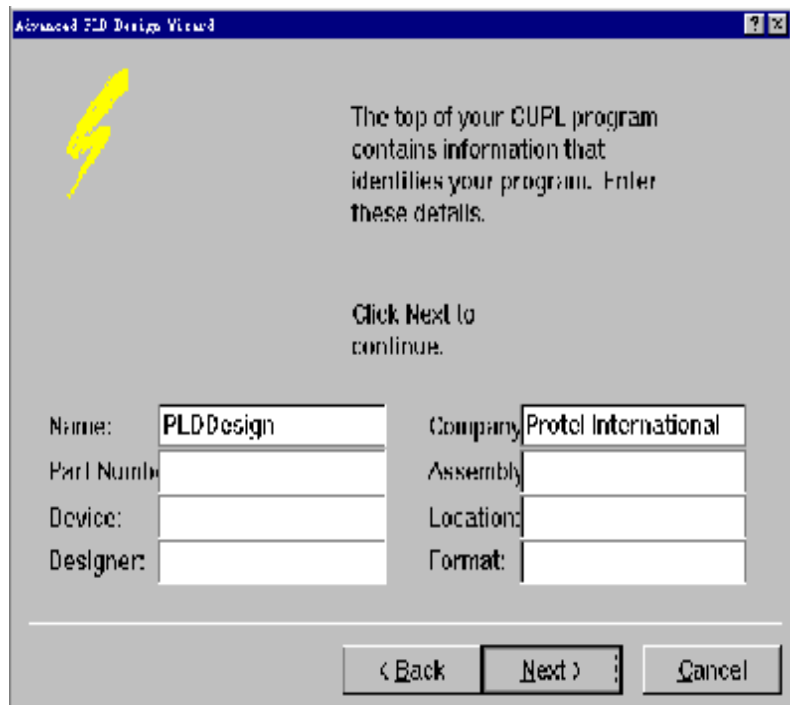
在文本文件中自动用不同颜色显示注释、符号、数字、字符串和保留字。

1. 头文件说明如下：

- Name: 产品名称
- Part Number: 序号
- Device: 器件型号
- Designer: 设计者
- Company: 公司名称
- Assembly: 功能描述
- Location: 地址

Format: 文档格式

用导航产生的 CUPL 语言描述文件, 对其进行配置、编译, 如果 PLD 程序中信号与实际器



件管脚对应无误, 编译器就会自动产生熔丝图文件。

CUPL 语言文本文件是由信息头、管脚信号声明和逻辑函数体及逻辑关系描述等几个部分组成。为了帮助理解, 程序自动插入注释, 编辑器会自动区分语法保留字、注释、变量和各种符号。关于 CUPL 语言的详细介绍, 用户还可参照在线帮助。

2. 引脚定义

输入输出逻辑信号要落实到目标器件的具体引脚, 语句格式为:

Pin [引脚号[, 引脚号]...]=[信号名[信号名]...];

CUPL 编译器只是把信号名当作互有区别的代号, 允许在低有效的信号名前加上“!”, 当然这决定于以后的逻辑表达式。

等式左边填引脚序号, 右边填自定义的信号名称, 信号亦可成组声明, 如:

Pin [1..4] = [X1..4]; 或 Pin [1..3, 4] = [X1..4]; 为了使逻辑关系简单明了, 提高编译速度和利用某些器件的内部掩埋功能, CUPL 还允许声明内部节点 NODE、引脚节点 PIN NODE。位段 BIT FIELD。

3. 逻辑关系描述

逻辑关系描述是程序最核心的部分, CUPL 允许用布尔方程 (逻辑表达式)、真

值表和状态机描述逻辑功能，布尔方程是信号名与运算符组成的等式。例如：
 $Out1 = Dinput \& Sel$ ；运算符包括逻辑运算和数字运算符，逻辑运算符如下所示：

Operator	Example	Description	Precedence
!	A	NOT	1
&	A & B	AND	2
#	A # B	OR	3
\$	A \$ B	XOR	4

数字运算符集如下所示：

Operator	Example	Description	Precedence
**	2**3	Exponentiation	1
*	2*1	Multiplication	2
/	4/2	Division	2
%	9%8	Modulus	2
+	2+4	Addition	3
-	4-i	Subtraction	3

和：

Function	Base
LOG2	Binary
LOG8	Octal
LOG16	Hexadecimal
LOG	Decimal

CUPL 支持的数字格式为 2、8、10 和 16 进制，示例如右。

Base	Base	Prefix
Binary	2	'b'
Octal	8	'o'
Decimal	10	'd'
Hexadecimal	16	'h'

逻辑表达式有三种基本形式：

标示符=逻辑表达式；

标示符.D=逻辑表达式；

标示符.OE=逻辑表达式；

第一种形式用于组合逻辑；第二种形式用于时序逻辑，只有当时钟脉冲上升沿到来，右边结果才赋予左边输出

Number	Base	Decimal Value
'b'0	Binary	0
'B'1101	Binary	13
'O'663	Octal	435
'D'92	Decimal	92
'h'BA	Hexadecimal	186
'O'[300..477]	Octal (range)	192..314
'H'7FXX	Hexadecimal (range)	32512..32767

变量；第三种形式用于三态逻辑关系，右边的逻辑结果为“真”，左边的输出变量才接受另式定义的电平。

APPEND	FORMAT	OUT
ASSEMBLY	FUNCTION	PARTNO
ASSY	FUSE	PIN
COMPANY	GROUP	PINNODE
CONDITION	IF	PRESENT
DATE	JUMP	REV
DEFAULT	LOC	REVISION
DESIGNER	LOCATION	SEQUENCE
DEVICE	MACRO	SEQUENCED
ELSE	MIN	SEQUENCEJK
FIELD	NAME	SEQUENCERS
FLD	NODE	SEQUENCET
		TABLE

象其他语言要求的一样，变量的定义要避免同保留字冲突，左面是 CUPL 语言的语法保留字和几何专用符号集。

&	#	()	-	\$	*	+	[]
/	^	:	.	..	/*	*/	=	;	,
!	.	@							

函数的定义对描述复杂的逻辑关系具有重要的应用价值，从结构上看，函数体包含名称定义字段、参数表和作为实体的逻辑表达式组。如下所示：

```
FUNCTION name ([parameter0, ..., parameterN])
{
    body
}
```

请看下面的实例，函数 `adder_slice` 是 1 比特全加器：

```
function adder_slice(X, Y, Cin, Cout) {
    Cout    = Cin & X           /* Compute carry */
    # Cin & Y
    # X & Y;
    adder_slice = Cin $ (X $ Y); /* Compute sum */
}
```

参数表中 X、Y 分别是两个加数，Cin 是输入进位位，Cout 是输出进位位，`adder_slice` 是和。

同其它高级语言一样，函数直接引用，示例：

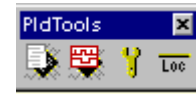
```
Z2 = adder_slice(X2, Y2, C1, C2);
```

4. CUPL 语言中的工具条

在 CUPL 语言编辑器界面中，使用 View\Tool bars 可以切换主工具条、CUPL 编辑工具条、PLD 工具条、宏调试工具条。

PLD 工具条:

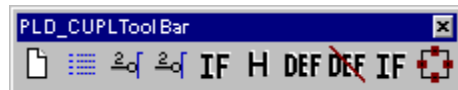
是对设计好的 CUPL 文本文件进行编译、仿真、配置的快捷方式。从左至右，依次为编译、仿真、配置、管脚切换。



CUPL 工具条:

能够帮助你快速的编写 CUPL 代码。这些

工具依次是：CUPL 代码导向器、CUPL 语



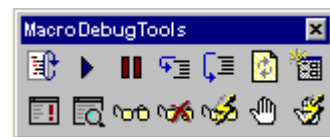
法帮助、引脚语句、引脚节点语句、节点语句、头信息、变量定义语句、消除变量语句、条件转折语句、状态机代码导向器。

宏调试工具条:

依次是：对当前打开的宏复位、在最后一个断点

运行宏、暂停执行宏、按步骤调用子程序、执行

宏停止在下一行源码上、单步执行宏、运行基本



对话框编辑器、用窗口显示断点、显示观测窗口、添加观测变量、删除观测变量、删除所有的观测变量、切换当前行断点、删除所有的断点。

三、原理图设计 PLD

Protel 99 SE 支持用原理图方式进行 PLD 设计。Protel 99 SE 有一个专用的 PLD 库，在目录\Design Explorer 99 SE\Library\SCH\PLD.ddb 中。我们如果用原理图方式设计，所用的逻辑符号必须来自 PLD.ddb。用户可以参照 \\Examples\PLD 目录中的例子设计。设计好原理图，就可以对其编译仿真，产生熔丝图文件。

当我们画好原理图后，就需要对其配置, 运行 PLD》Configure 菜单项。

1. 配置

I Options 栏目

A. 目标器件设置:

可在下拉列表中选择具体目标器件或虚拟器件。

B. Optimizations 逻辑优化方式

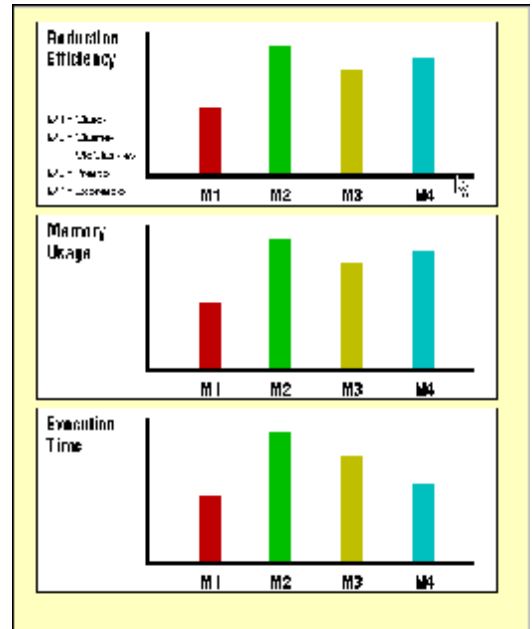
德摩根方式优化生成项；德摩根方式优化所有信号和变量；保持异或门；分享生成项；

C. Logic Minimization 逻辑化简方式

提供四种方式，如下所示：

- Quick
- Quine - McCluskey
- Presto
- Espresso

化减效能比较，如右图：



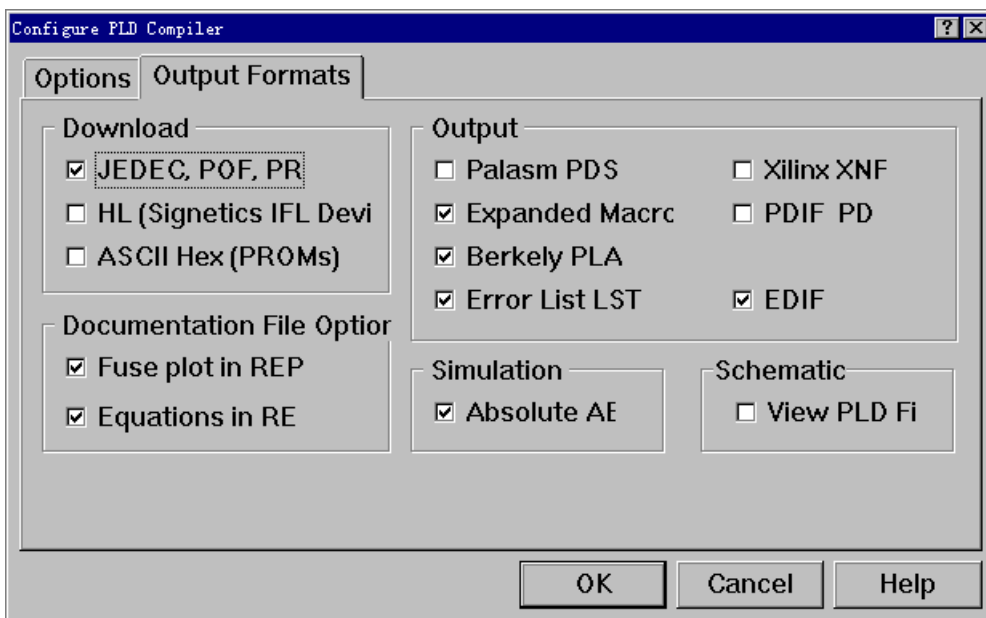
D. Options 选项

器件加密；剔除空闲的或项；有利于某些 FPGA 器件的“热位状态机”；在 IFL 器件中，抑制合并生成项。

E. Schematic 选项

用于控制 PLD 编译器识别单元图纸或方案图纸之间的连接关系。

2. Output Formats (输出文档格式)



Download (下载文档格式)

可以选择通用的 JEDEC/POF/PRG 文件；适宜 IFL 类器件的 .HL 文件；适宜 PROM 器件的 16 进制码文件。

Documentation File Options (文档选项)

输出文档包含熔丝分布信息和逻辑表达式;

Output (输出文档格式)

可输出的适配器文件格式有: PDS、XNF、MX、PDF、PLA、EDIF 和错误报告文件 LST。

Simulation (仿真)

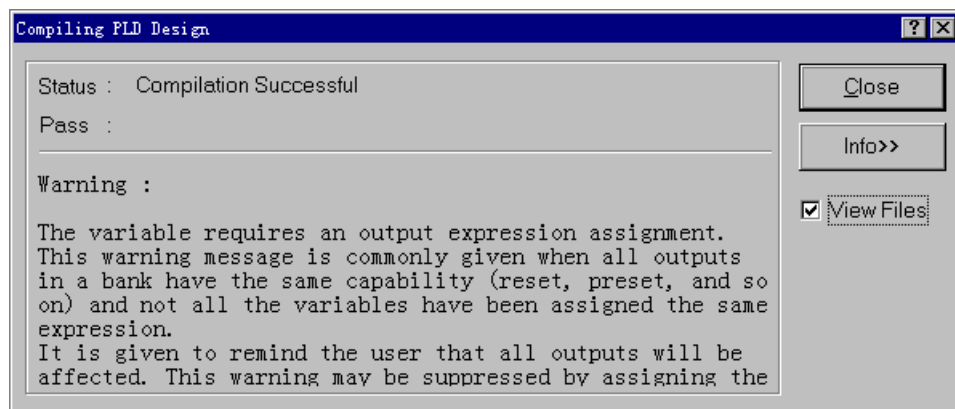
选择此项将运行逻辑仿真验证表达式, 生成 .ABS 文件。

Schematic (原理图)

如果用原理图设计 PLD, 选择此项用于观看 PLD 源文档。

2. 编译

当目标器件管脚与实际器件管脚对应正确后, 编译才会成功, 产生注释文件、仿真文件、熔丝图文件等。因此, 配置适合的 PLD 器件是设计的关键。



3. 仿真

PLD 的仿真需要建立仿真输入源文件 *.SI 文件。*.SI 文件是专门用于仿真的第二源代码。这种文本文件结构简单, 非常类似于 *.PLD, 由三部分组成: 信息头、向量序列和向量描述段。

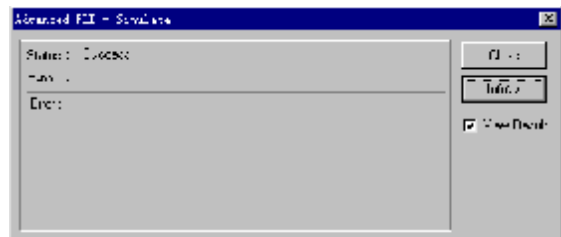
信息头必须与 *.PLD 完全一致。向量序列的 ORDER 与描述 VECTORS 是两个最基本的语句, ORDER 语句的作用是定义其后罗列的输入、输出矢量以及中间变量在真值表中的排列顺序、极性和彼此间隔的空格数。间隔数用 “%” 后跟数字, VECTORS 语句的作用是定义仿真输入值和响应值。

在 VECTORS 语句和真值表数据之间可以用注释语句来给出测试向量的表头信息，使程序具有良好的可读性，便于将真值表中的数据与相应的变量/信号名对照，在真值表中列出的数据必须遵守 ORDER 语句中关于格式的规定。

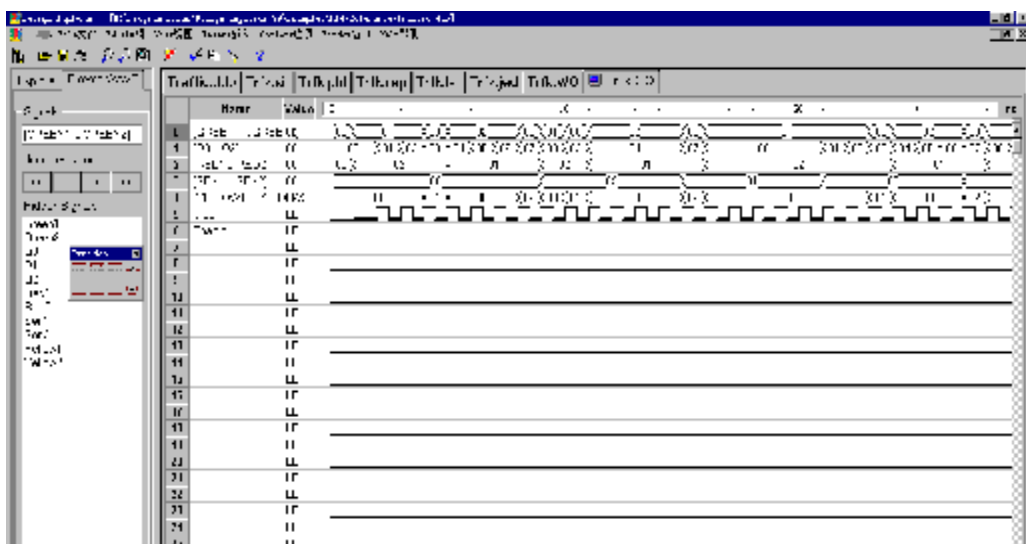
真值表中，CUPL 语言接受如下缺省定义：

- “H” 逻辑 1（正逻辑）
- “L” 逻辑 0
- “X” 任意值
- “Z” 高阻输出
- “C” 时钟上升沿到来
- “K” 时钟下降沿到来
- “N” 不测试


*.PLD 的逻辑表达式只有完全符合这些输入输出关系，仿真才能执行，仿真对话框出现完成提示。



仿真波形图保存在*.S0 文件中。信号波形提供了输入输出逻辑信号（引脚）对应关系的直观表达。仿真左边的面板可以方便地加入信号，事务工具条用来编辑现有的信号波形。利用主菜单的 EDIT 项可以完成对选定信号的复制、剪切、粘贴等常规操作，还能测量时间长度。利用主工具条的观测按钮可以对信号波形横轴缩放。



也可使用鼠标操作波形窗口的滚动条以观测信号的各段。主菜单的 OPTIONS 项用来设置显示信号的数据格式、字体和线形的样式和颜色。

如果用户在设计过程中还有不清楚的地方，可随时参阅在线帮助或点击界面右下脚的  用英文输入问题，寻求帮助。