

## 半导体器件的静电损伤及防护

半导体器件在制造、测试、存储、运输及装配过程中，仪器设备、材料及操作者都很容易因摩擦而产生几千伏的静电电压。当器件与这些带电体接触时，带电体就会通过器件引出脚(Pin)放电，导致器件失效。静电放电(Electro-Static-Discharge)损伤不仅对 MOS 器件很敏感，而且在双极(Bipolar) 器件中同样也存在 ESD 损伤问题。

### 1. 静电的产生

- (1) 摩擦起电
- (2) 感应起电
- (3) 人体静电

表 1-1 列出了活动人体身上的典型电压。

表 1-1 活动中人体身上的典型电压

人体活动	电压 (KV)	
	相对湿度 20%	相对湿度 80%
在人造地毯上走动	35	1.5
在聚乙烯地板上走动	12	0.25
在工作台上工作	6	0.1
坐在人造革椅上	18	1.5
拿乙烯包	7	0.6
拾起乙烯袋	20	1.2

### 2. 影响摩擦起电电荷量的因素

- (1) 相对湿度
- (2) 材料
- (3) 接触面积
- (4) 摩擦频率

### 3. 静电能量与电荷量

(1) 静电能量  $E=1/2CV^2$

(2) 电荷量  $Q=CV$

#### 4. ESD 的危害性

在典型工作环境中，人体电容约为 150pf，如果感应的电荷量约 0.6μC，那么就会导致 4 KV 的静电势，这时人体所带静电能量是 1.2 毫焦耳。我们试想带电人体作用在集成电路上，会发生什么呢？它会产生一个强电场然后击穿集成电路内部的一些绝缘体或 PN 结；它会对集成电路内部的元器件放电，虽然时间非常短，典型值约 10ns~100ns，但瞬间电流可达 1A~10A，这足以造成半导体器件的热破坏。因为人体活动范围大，而人体静电又容易被人们忽视，所以人体静电放电往往是引起半导体器件静电损伤的主要原因之一，它对半导体器件的危害最大。

#### 5. ESD 损伤模型与测试方法

(1) HMB(human Body Model)

HBM 是根据带静电的操作者与器件的引出脚接触，通过器件对地放电，使器件失效而建立的。等效电路如图 4-1 所示。

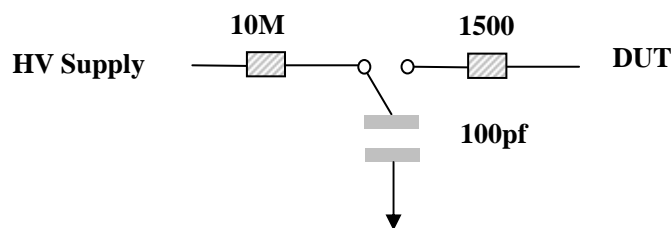


图 4-1 HBM 模型

(2) CDM(Charged-Device Model)

CDM 是基于已带电的器件通过引出脚对地放电引起器件失效。模型如图 4-2 所示。

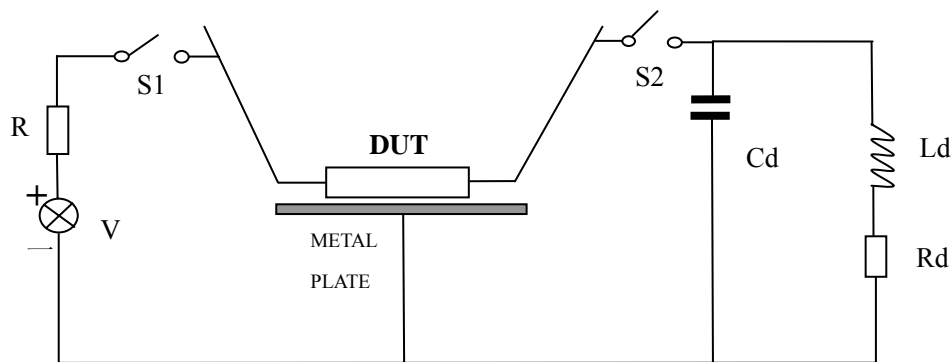


图 4-2 CDM 模型

### (3) MM(Machine Model)

MM 可模拟 HBM 最恶劣之情形，模型如图 4-3 所示。

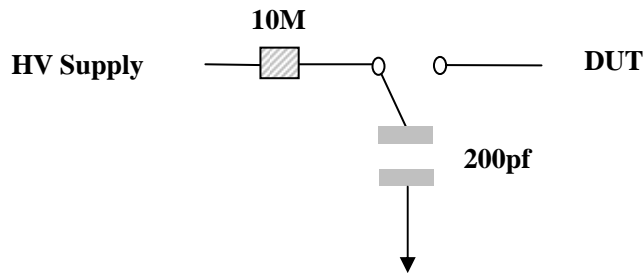


图 4-3 MM 模型

### (4) FIM(Field-Induced Model)

当器件处于静电场环境中，在器件内部将感应出电位差，从而引起器件 ESD 失效，这就是电场感应模型(FIM)

### (5) 失效判据(Failure Criteria)

在给定电压下受 ESD 过应力后 PIN 上的漏电电流通常被作为失效判据。请注意不是用受应力后集成电路的所有功能参数来评价。

### (6) 测试程序

选取测试方法（如常用的HBM与MM）->测试标准（常用 $U_{HBM} > \pm 2000V$ ； $U_{MM} > \pm 300V$ 或 $250V$ ）与样品数目->确定PIN的组合、相邻两次测试时间间隔（让DUT冷却）以及Zap的次数。

## 6. 静电损伤的失效模式

### (1) 突发性完全失效

突发性完全失效是器件的一个或多个电参数突然劣化，完全失去规定功能的一种失效。通常表现为开路、短路以及电参数严重漂移。

半导体器件 ESD 损伤失效现象主要表现为：

- ◆ 介质击穿
- ◆ 铝互连线损伤与烧熔
- ◆ 硅片局部区域熔化
- ◆ PN 结损伤与热破坏短路
- ◆ 扩散电阻与多晶电阻损伤（包括接触孔损伤）
- ◆ ESD 可触发 CMOS 集成电路内部寄生的可控硅(SCR)“闩锁”(Latch-up)效应，

导致器件被过大电流烧毁。

## (2) 潜在性失效

如果带电体的静电势或存储的静电能量较低，或 ESD 回路有限流电阻存在，一次 ESD 脉冲不足以引起器件发生突发性完全失效。但它会在器件内部造成轻微损伤，这种损伤又是积累性的。随着 ESD 脉冲次数增加，器件的损伤阈值电压逐渐下降，器件的电参数逐渐劣化，这类失效称为潜在性失效。它降低了器件抗静电的能力，降低了器件的使用可靠性。

## 7. 静电损伤的失效机理

### (1) 电流型损伤机理

- ◆ PN 结短路--ESD 引起 PN 结短路是最常见的失效现象。失效是由 PN 结二次击穿时产生的焦耳热导致局部温度超过铝硅共晶温度，引起合金钉穿透 PN 结而失效。版图设计对 PN 结短路有很大影响，最敏感的是接触孔尺寸、形状及位置。较好的办法是在一个扩散区内设置多个小接触孔，以便增加孔周长；用圆形接触孔可避免电流的非均匀流动；增加接触孔与扩散区的间距，可防止电流在接触孔角落处集中。
- ◆ 铝互连线损伤--铝互连线在大电流 ESD 脉冲的过功率作用下容易引起熔化开路，尤其是台阶处铝条。ESD 损伤有时可使铝互连局部区域发生球化（局部电流集中处），造成氧化层击穿，影响电路可靠性。铝互连线承受大电流能力依赖它的横截面积，因此输入保护结构应尽量靠近压焊点(PAD)以缩短铝互连线长度，铝互连走线应做得足够宽，以提高抗电过应力的能力。
- ◆ 电阻损伤--大电流下的电阻 I-V 特性会呈现 Snapback 现象。一旦出现 Snapback，在强电场下电子与空穴都参与导电，进而由于热导致硅熔化。电阻抗电过应力的能力取决于其端头、接触孔的大小以及电阻条宽与长度。扩散电阻的抗静电能力优于多晶电阻，这是由于多晶电阻的散热性能比扩散电阻差。

### (2) 电压型损伤机理

- ◆ 栅氧穿通--由 ESD 产生的强电场会引起栅氧(Gate oxide)穿通。当栅氧有针孔(pin hole)时，击穿首先在针孔处发生。所以在 MOS 或 BiMOS 集成电路中必须对 I/O 处的 MOS 晶体管施以保护电路。

- ◆ 铝互连线与扩散区短路--短路常发生在键合点(PAD)连接的扩散电阻和横跨其上的电源铝条之间。由于它们之间是热氧化层且厚度较厚，所以这种短路失效几率比较小。
- ◆ 铝互连线与多晶电阻短路--短路常发生在键合点(PAD)连接的多晶电阻和横跨其上的电源或地互连线之间。由于铝互连线与多晶电阻之间介质击穿强度比热氧化低得多，当输入端引入 ESD 时可导致该处介质击穿短路，因此版图设计时输入端的多晶电阻条与铝条之间应留足够距离，更要防止多晶电阻条与铝条重叠。
- ◆ PN 结雪崩开通机构

## 8. ESD 保护电路中的元器件

- ◆ 雪崩二极管(Avalanche diode)-利用二极管反向雪崩击穿特性，使静电电压嵌位；由于反向击穿动态电阻小，能够泄放 ESD 能量。
- ◆ Snapback NPN 晶体管-因为 be 短路或 be 之间串有一个电阻的 ce 击穿存在负阻效应，Snapback 晶体管对 ESD 能量吸收效果很好。
- ◆ 电阻-与电容一起能减小 ESD 脉冲的斜率。
- ◆ Snapback 可控硅(SCR)-利用 Snapback 可控硅的负阻效应，能有效地吸收 ESD 能量。它常用在 CMOS 集成电路中。

## 9. Bipolar 集成电路中 ESD 保护电路设计与版图考虑

### (1) 基本的 ESD 保护电路设计

- ◆ I/O-pins ESD保护电路如图 9-1 所示。当一个晶体管且连接到PAD，而这个晶体管发射区面积 $\leq 140\mu\text{m}^2$ 时，这个晶体管必须被保护。

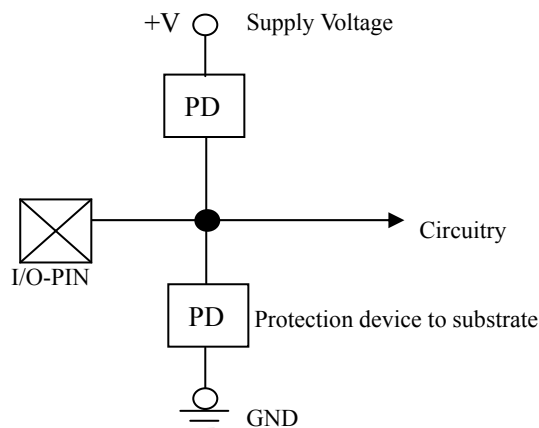


图 9-1 ESD protection circuit

- ◆ 第二个 ESD 保护电路如图 9-2 所示。当一个 PAD 上的电压大于电源电压或因电路性能要求不能施加对电源保护电路，如 HF 输入端因需要稳定时就采用这种保护电路。

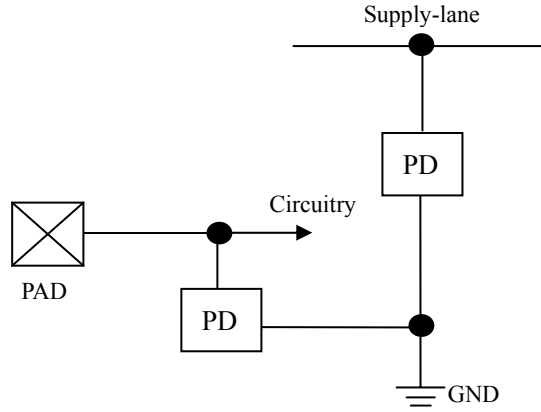


图 9-2 ESD Protection Circuit

- ◆ 第三个 ESD 保护电路如图 9-3 所示。这个保护电路既有电压限制也有电流限制。电阻与后面电路的输入电容一起能减小 ESD 脉冲的斜率。

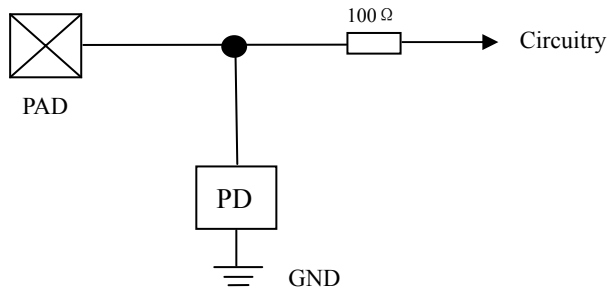


图 9-3 ESD Protection circuit

- ◆ 第四个 ESD 保护电路如图 9-4 所示。在大多数情形下电源与 Substrate 之间的寄生电容太小时需要这种电源对地的保护电路。

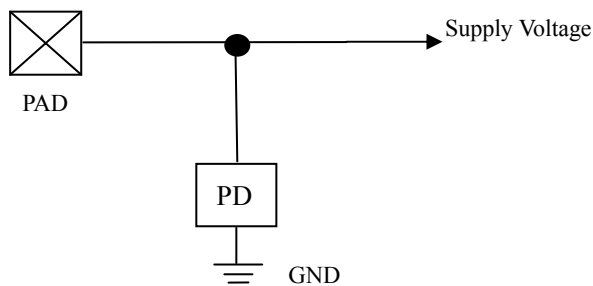


图 9-4 ESD-Circuit for supply pin

## (2) 版图考虑

- ◆ 应避免 PAD 与电源或地之间直接连接高掺杂的 PN 结 (NPN 的 be 结)。如有可能使用浮岛(floating island)上的电阻与 NPN 的基极或发射极串联。另有可能请用 PNP 代替 NPN。
- ◆ 为了减小所受应力 PN 结的电流密度 (如 NPN 的 eb 结), 请不要在输入 PINS 上使用最小尺寸的器件。
- ◆ 在与 PADS 接合的电路(interface circuits)中, 避免使用最小尺寸器件与薄氧化层的元器件。
- ◆ 直接连接到 PADS 上的所有电阻应有一个浮岛(floating island), 这个浮岛不应被电源线或地线覆盖。如果电阻/电阻头与隔离墙间距越大, 那么它抗 ESD 能力就越大。
- ◆ 在对 ESD 敏感的器件中不要使用接触孔-扩散区边缘间距最小设计规则。
- ◆ 通向对 ESD 敏感电路的铝互连与连接 PADS 的其它铝互连线的重叠部分必须最少化。
- ◆ 保护结构应靠近 PADS, 还必须有大的接地接触孔。
- ◆ 从 PADS 到保护器件的铝互连与从保护器件到电源或地的铝互连应尽可能短与宽。
- ◆ 从 PADS 到有源电路的 rails 应尽可能地小。这个措施增加了时间常数  $\tau$ , 结果衰减了输入器件上的峰值电压。如可能请用浮岛(floating island)上的电阻与基区接触孔相连。
- ◆ 为了使大电流下的 PN 结散热, 请使用宽的铝互连线与大的接触孔面积。
- ◆ 如果保护结构与器件没有被接地接触孔分开, 请不要将那些器件放在对地保护结构旁。环绕地线与保护器件之间也不应放置其它器件。
- ◆ 关注对 ESD 敏感的器件或保护器件的形状与铝互连走线形式, 要有利于电流的均匀(homogeneous)。

## (3) ESD 与性能折衷(tradeoff)

- ◆ 自我保护
- ◆ ESD 性能与速度折衷