

電路板EMC Layout 技術實務運用



主講人:姚啟元

財團法人台灣電子檢驗中心
電磁二部

電話:02-26023052分機18

E-mail:willyauo@seed.net.tw

課程目錄

1. EMC測試介紹
2. EMC原理說明
3. 電路圖的check
4. 佈線的基本原則
5. 整機的規劃
6. Placement的規劃
7. 接地的規劃
8. I/O Port接地切割
9. PCB EMC Layout範例
10. PCB實例分析與討論



1. EMC測試介紹

- 避免電子產品產生過高的電磁輻射
- 使得電子產品能抵抗外界電磁干擾
- 產品功能的不會受到影響而可正常使用

EMC的名詞

- EMC(電磁相容) = EMI(電磁干擾) + EMS(電磁耐受)
 - ◆ EMC : Electromagnetic Compatibility
 - ◆ EMI : Electromagnetic Interference
 - ◆ EMS: Electromagnetic Susceptibility
 - ◆ CE : Conducted Emission
 - ◆ RE:Radiated Emission
 - ◆ CS:Conducted Susceptibility
 - ◆ RS:Radiated Susceptibility

EMC的名詞說明

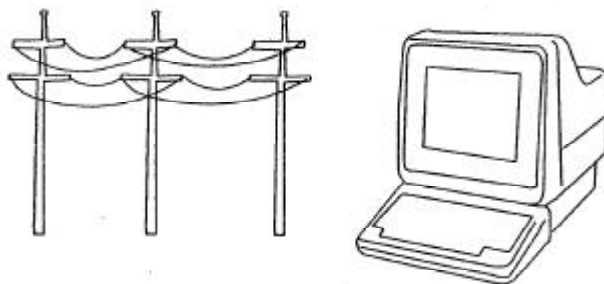
- EMC: 某一設備或系統在電磁環境之下可以正常的運作而且不對此環境的任何設備產生難以忍受的電磁干擾之能力
- EMI: 由於電磁擾動所引起設備傳輸通道或系統性能降低
- EMS: 一個裝置設備或系統在存有電磁干擾的環境下其性能部會因此而劣化的能力
- CE: 能量經由一種以上之導體轉移
- RE: 能量到空中以電磁波的型態發射
- CS: 抵抗外界能量經由導體轉移到設備內
- RS: 抵抗外界能量以電磁波的型態發射到設備內

EMI的產生源

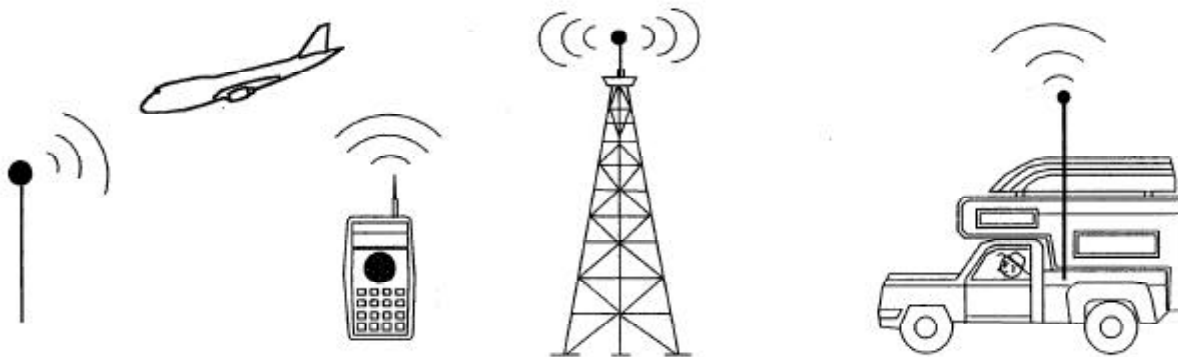
Natural



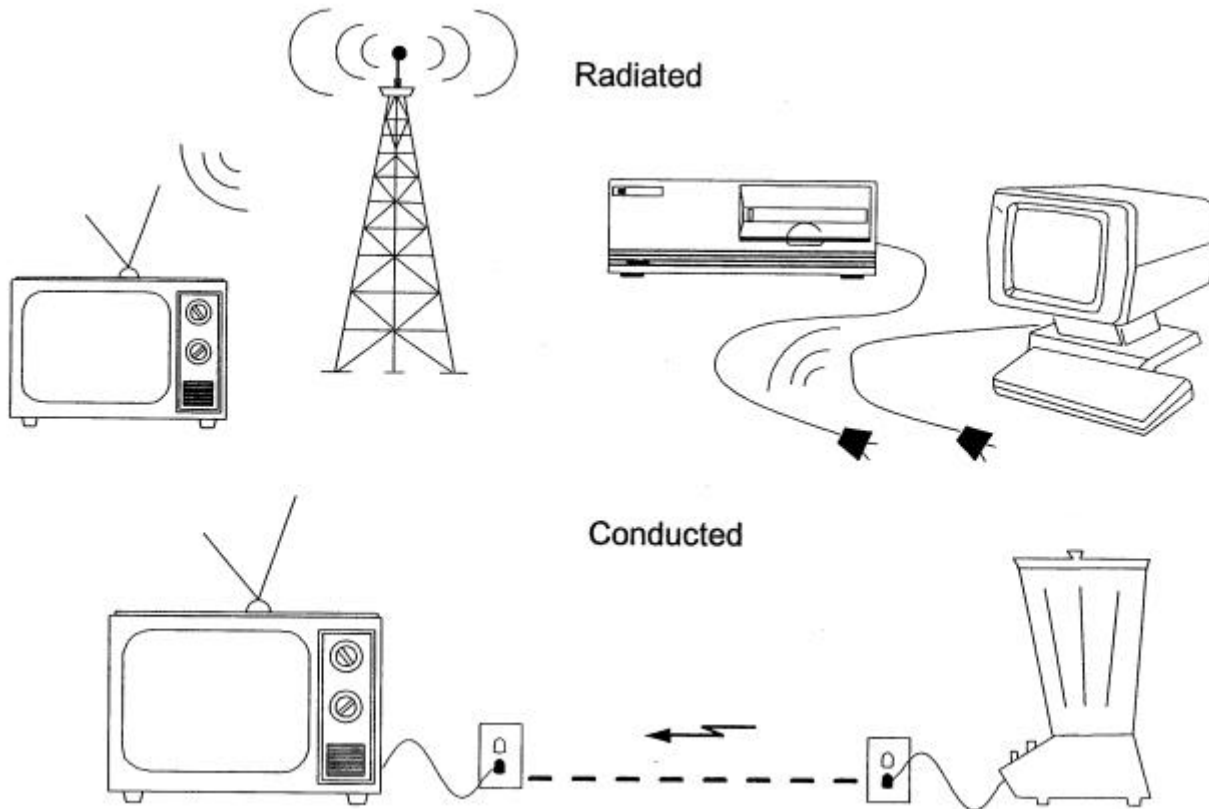
Man-Made Unintentional



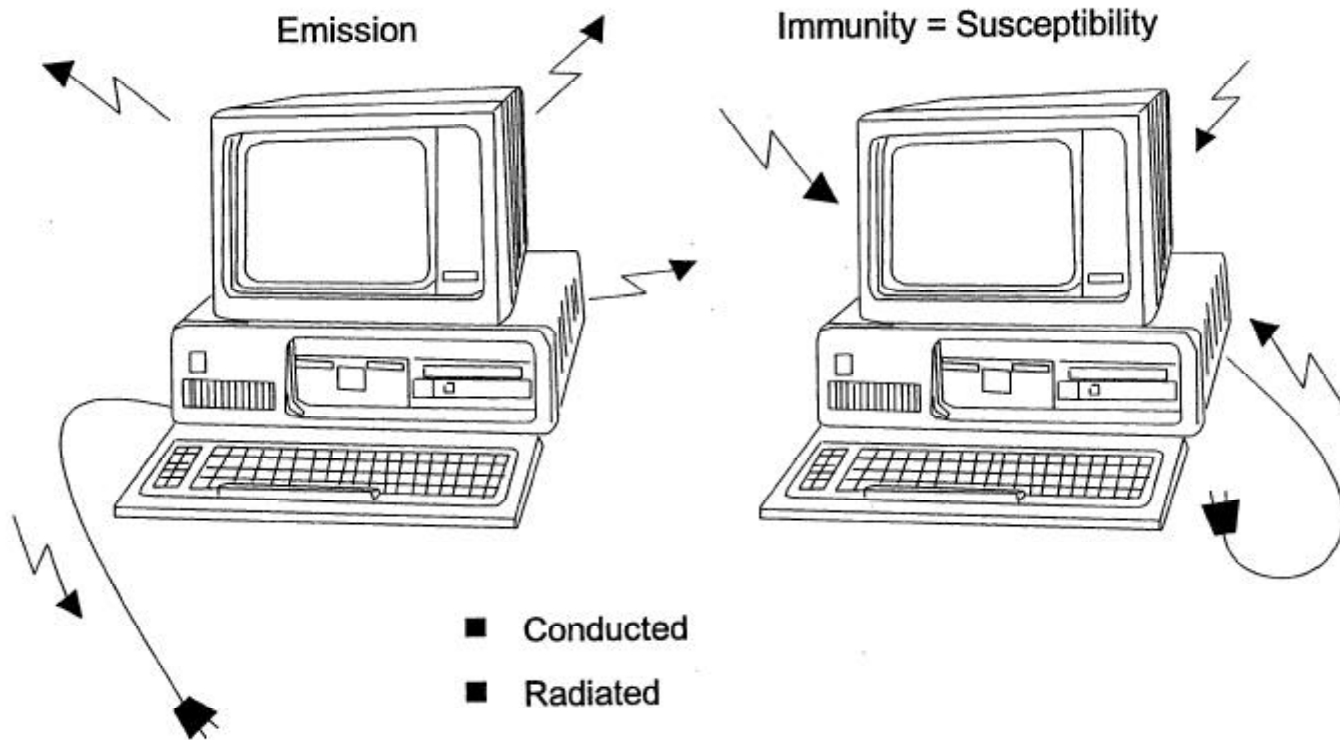
Man-Made Intentional



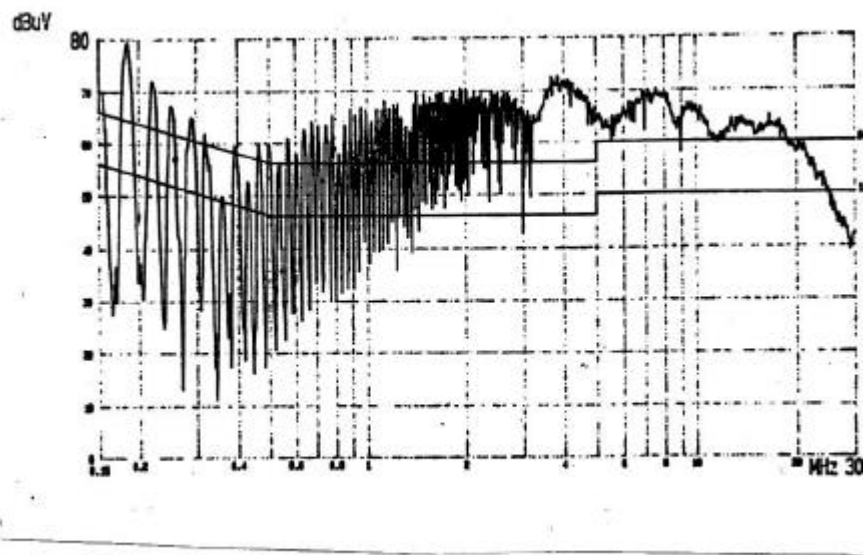
EMC的耦合機制



EMC的現象說明

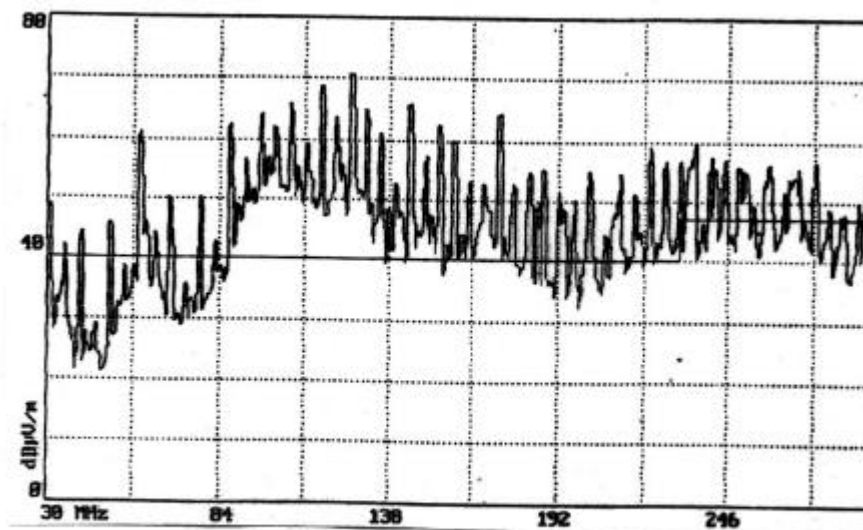


傳導測試之目的



說明：避免雜訊經由公共電力線之間相互傳遞而造成電子設備的干擾問題

輻射測試之目的



說明：避免雜訊經由空中發射傳遞而造成電子設備的干擾問題

EMC的測試頻帶要求範圍

■ EMI

- ◆ 傳導測試 (Conduction Test) 150kHz-30MHz
- ◆ 輻射測試 (Radiation Test) 30MHz-2000MHz

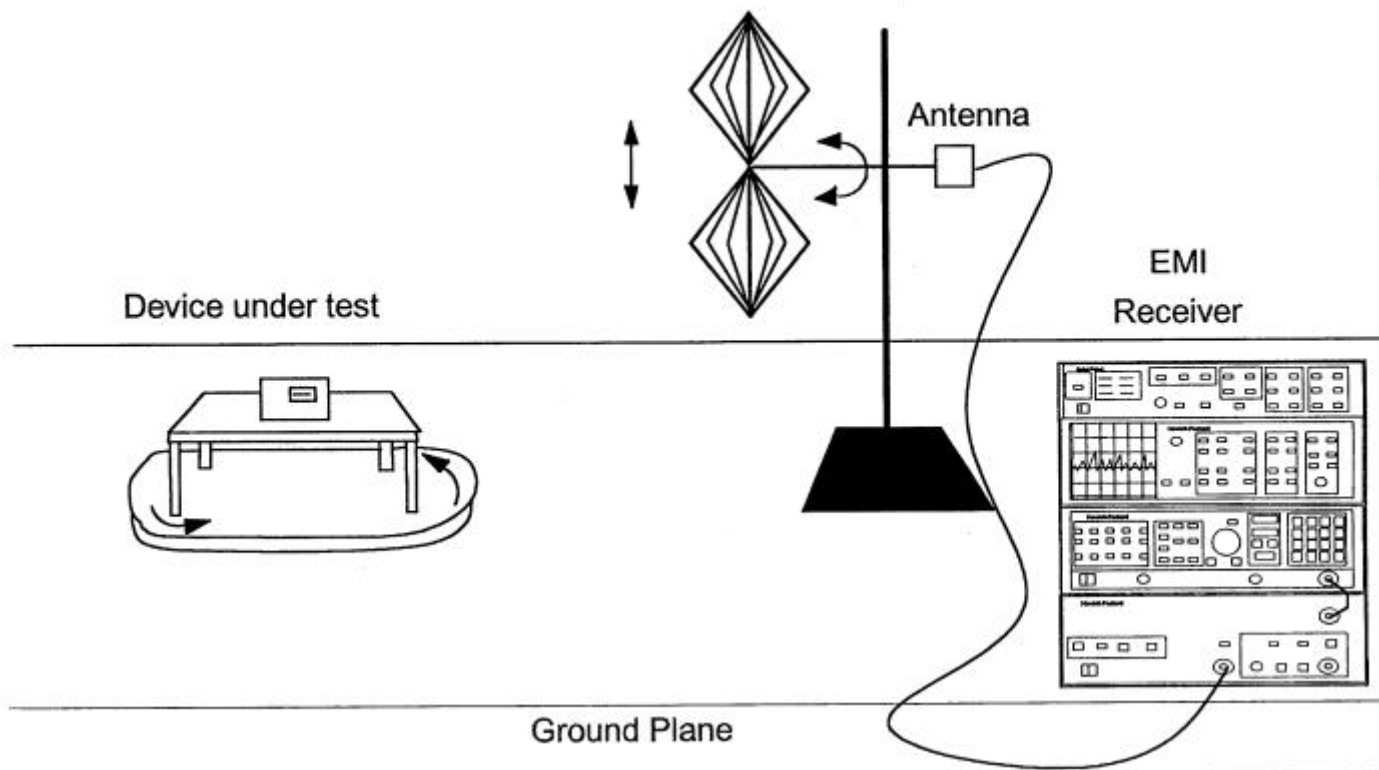
■ EMS

- ◆ 傳導耐受 (Conduction Susceptibility) 150kHz-80MHz
- ◆ 輻射耐受 (Radiation Susceptibility) 80MHz-2000MHz

各國EMC規格介紹

- 美國FCC(Part 15 Subpart B)
- 歐洲CISPR(CISPR22)
- 日本VCCI
- 台灣BSMI(CNS13489)
- 澳洲C-Tick(AS/NZS 3548 已改成AS/NZS: CISPR22)

EMI測試方法說明



美國EMI限制值規格

	Class A	Class B
Frequency(MHz)	Limit(dBuV)	Limit(dBuV)
0.45-1.705	60	48
1.705-30	69.5	48
Frequency(MHz)	Limit(dBuV/m)	Limit(dBuV/m)
30-88	39	40
88-216	43.5	43.5
216-960	46	46
Above 960	49.5	54

說明：1. Class A 為產品在商業與工業區域使用
2. Class B 為產品在住宅及家庭區域使用
3. Class A 輻射測試距離為 10m Class b 則為 3m
4. FCC 傳導測試已採用 CISPR 的測試規格
5. FCC 輻射測試接受使用 CISPR 的測試規格

歐洲EMI限制值規格

	Class A		Class B	
Frequency(MHz)	Limit(dBuV)		Limit(dBuV)	
	Q.P.	Ave.	Q.P.	Ave.
0.15-0.5	79	66	66-56	56-46
0.5-5.0	73	60	56	46
5.0-30	73	60	60	50
Frequency(MHz)	Limit(dBuV/m)		Limit(dBuV/m)	
30-230	40		30	
230-1000	47		37	
說明：1.Class A 為產品在商業與工業區域使用 2. Class B 為產品在住宅及家庭區域使用 3.輻射測試距離為 10m				

其他地區EMI限制值規格

- 目前整個EMI的規格分為美國與歐洲兩大類
- 日本、澳洲、台灣所使用的EMI規格皆與歐洲相同

歐洲EMS限制值規格

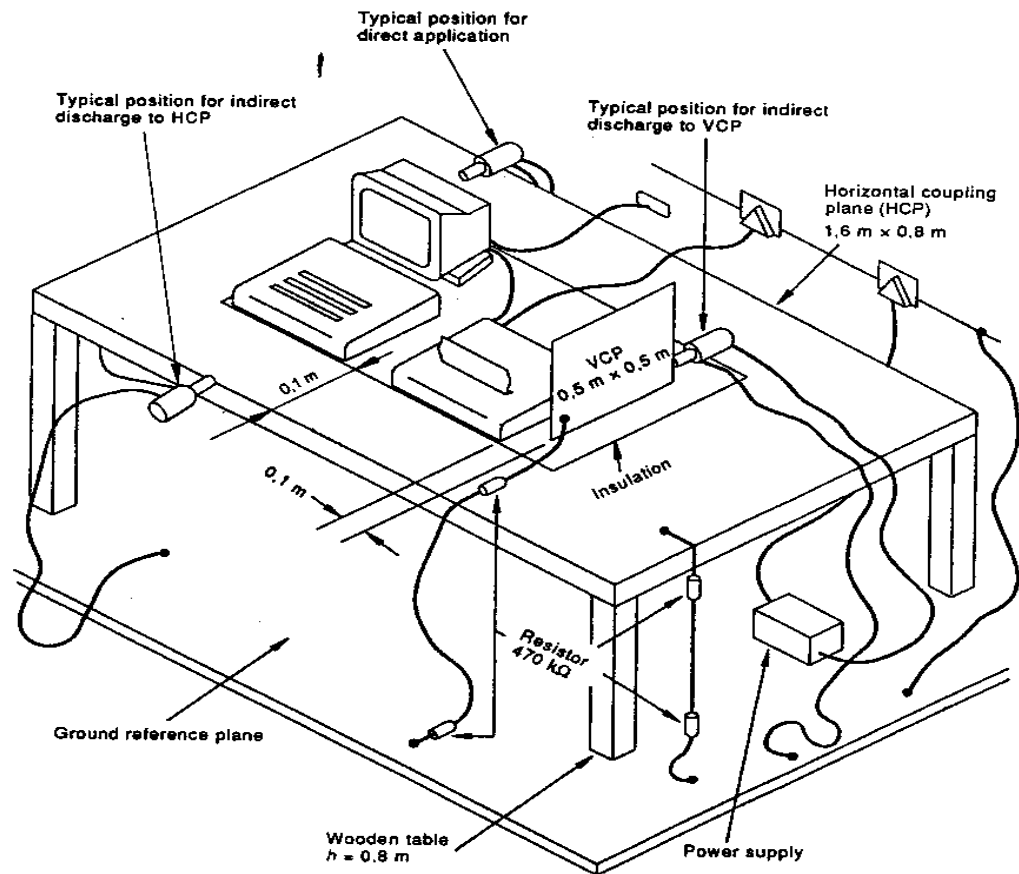
- 歐洲對EMS的要求如下
 - ◆ 靜電放電(ESD) EN 61000-4-2
 - ◆ 輻射免疫力(RS) EN61000-4-3
 - ◆ 快速暫態叢訊(EFT) EN61000-4-4
 - ◆ 雷擊突波(Surge) EN61000-4-5
 - ◆ 傳導免疫力(CS) EN61000-4-6

靜電放電(ESD) EN 61000-4-2規格

接觸放電		空氣放電	
位準	測試電壓 kV	位準	測試電壓 kV
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
x	特定值	x	特定值

備註：X 開放的測試位準，可由產品規格中訂定

ESD測試方法說明



IEC 083/88

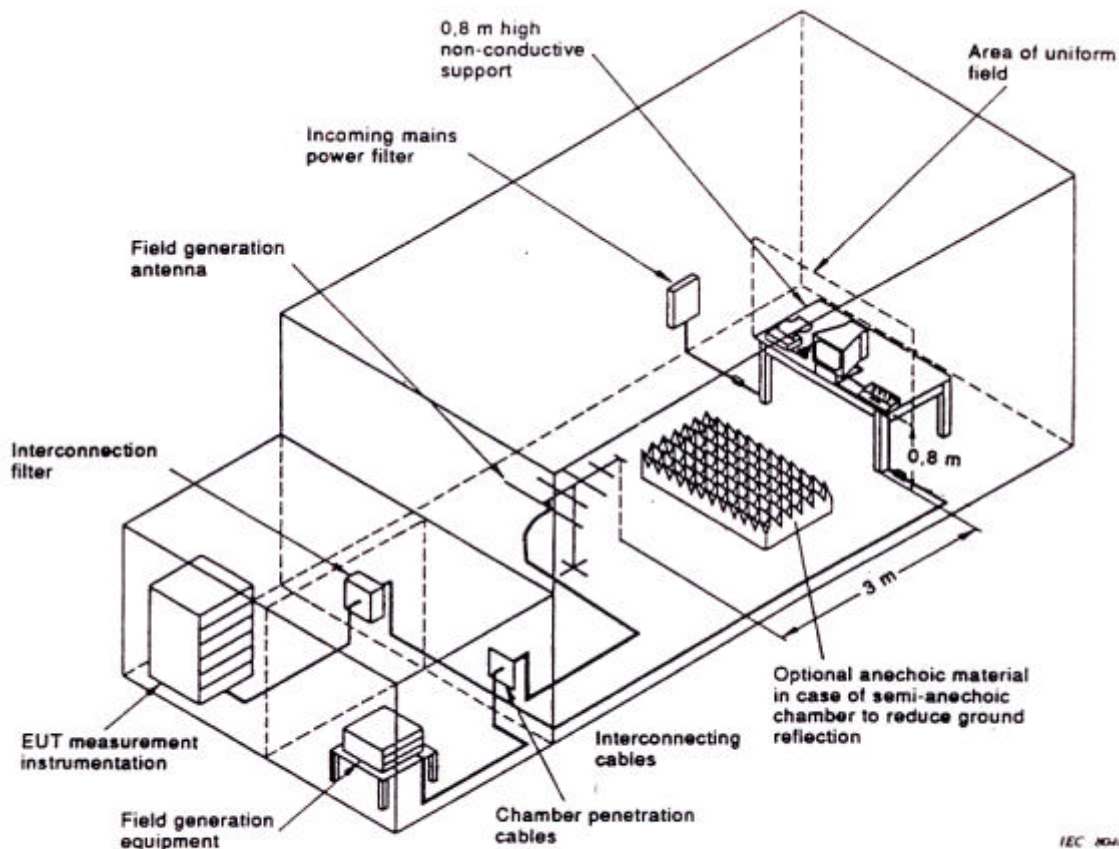
Dimensions in metres

輻射免疫力(RS) EN61000-4-3

頻率範圍 80MHz-1000MHz	
位準	測試場強 V/m
1	1
2	3
3	10
X	特定值

備註：X 開放的測試位準，可由產品規格中訂定

RS測試方法說明



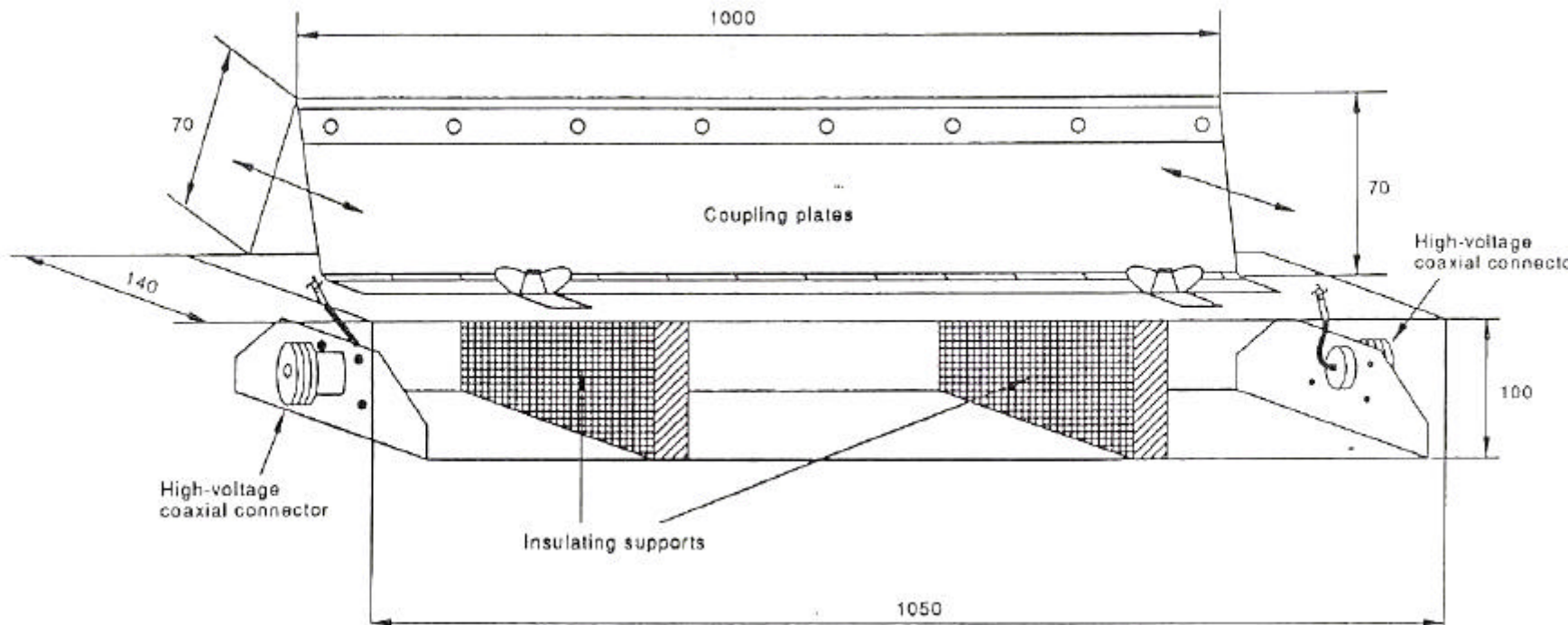
NOTE - Anechoic lining material on walls and ceiling has been omitted for clarity.

快速暫態叢訊(EFT) EN61000-4-4

位準	在電源供應端及接地		在 I/O 信號、資料及控制埠	
	電壓峰值 kV	重覆率 kHz	電壓峰值 kV	重覆率 kHz
1	0.5	5	0.25	5
2	1	5	0.5	5
3	2	5	1	5
4	4	2.5	2	5
X	特定值	特定值	特定值	特定值

備註：X 開放的測試位準，可由產品規格中訂定

EFT測試方法說明

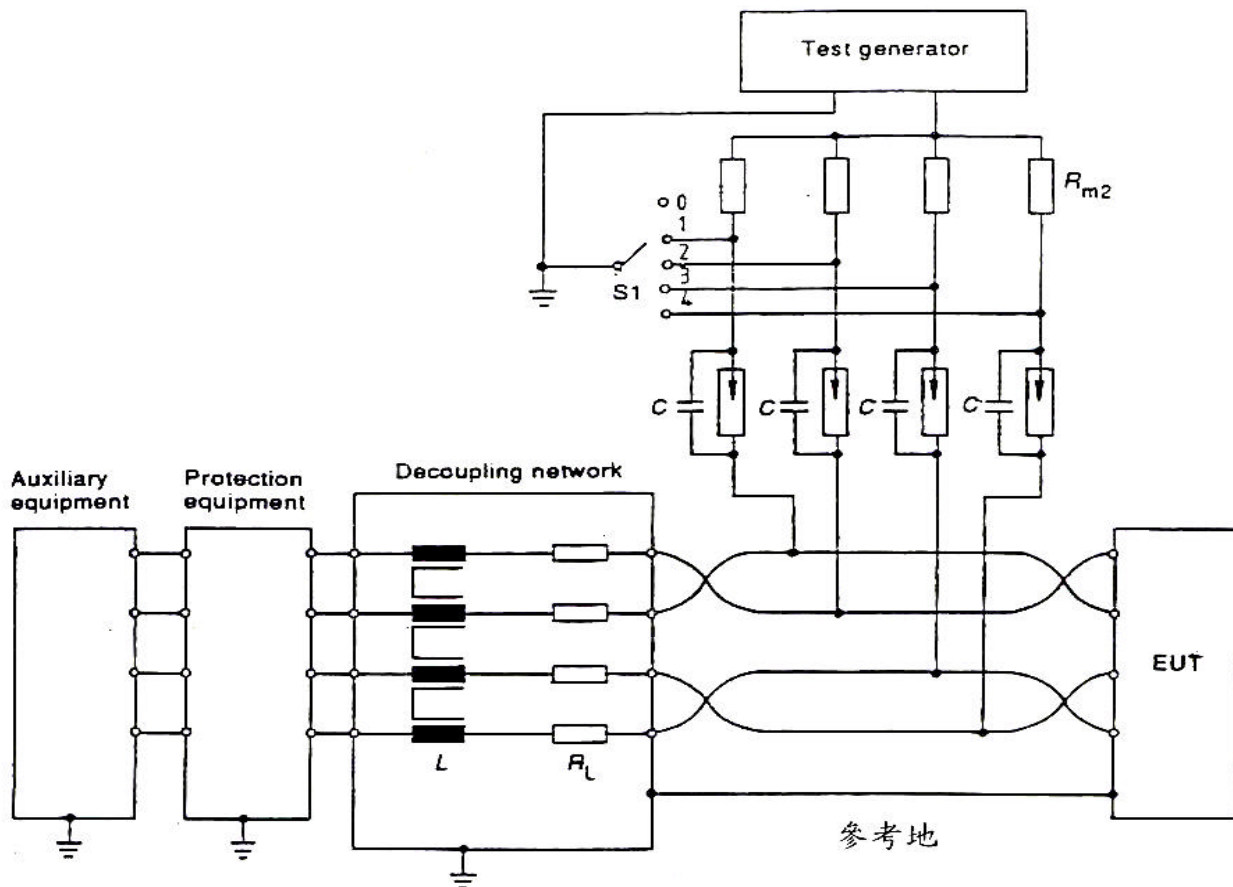


雷擊突波(Surge) EN61000-4-5

位準	開路測試電壓±10% kV
1	0.5
2	1.0
3	2.0
4	4.0
X	特定值

備註：X 開放的測試位準，可由產品規格中訂定

Surge測試配置說明

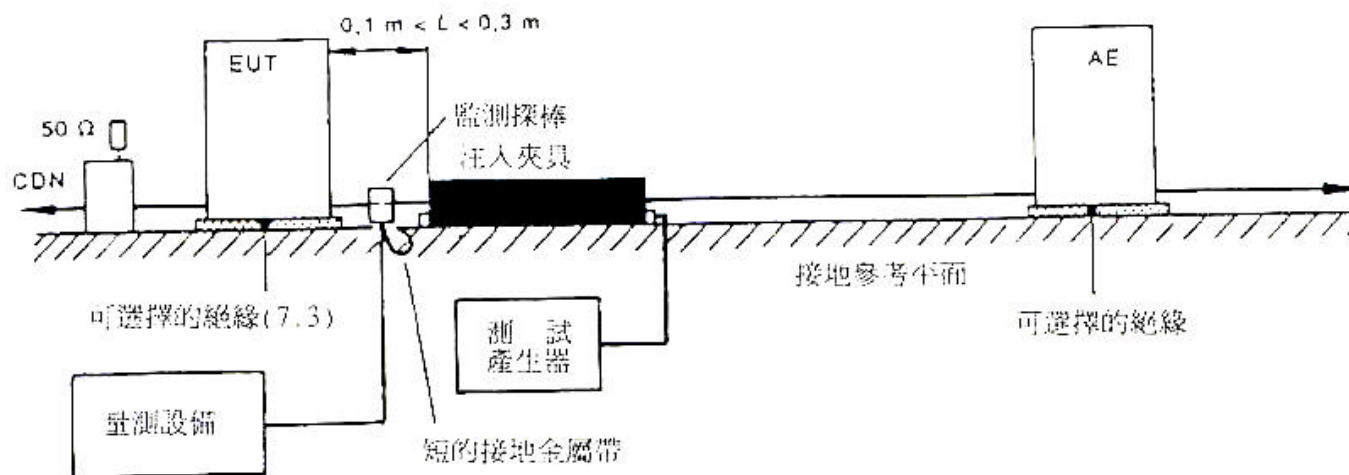


傳導免疫力(CS) EN61000-4-6

頻率範圍 150kHz-80MHz		
位準	電壓位準(e.m.f.)	
	Uo[dB(uv)]	Uo[V]
1	120	1
2	130	3
3	140	10
X	特定值	特定值

備註：X 開放的測試位準，可由產品規格中訂定

CS測試方法說明



EMI及EMS測試判定說明

■ EMI 判定原則

- 傳導及輻射雜訊必須小於所規定的限制值。

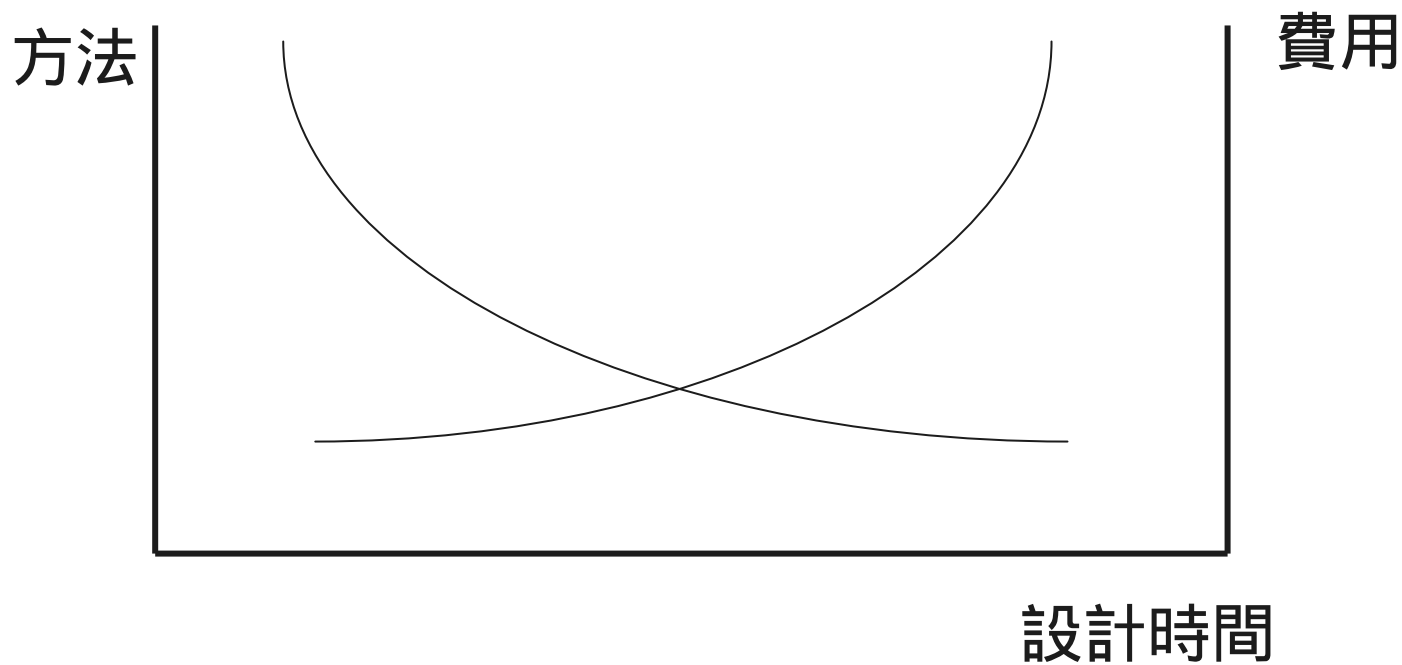
■ EMS 判定原則

- (1)在製造商和採購者所定的規格要求內性能正常。
- (2)性能暫時喪失或劣化在干擾停止後也停止，而且不需要操作者處理即可自行恢復正常功能。
- (3)暫時的劣化或性能的喪失，需要操作人員處理或系統重新設定方能恢復。
- (4)性能的劣化或喪失，是因硬體或軟體的損壞或是因資料流失，以致無法恢復。

EMC和產品的關係

- 如果產品無法符合EMC標準的測試就必須重新設計或修改否則無法銷售到市場上
- 所以EMC雖然並不會和產品的性質品質有明顯直接的影響但是其有決定了是否能進入該國家市場上銷售的關鍵因素

設計週期和EMC的關係





PCB與EMC

- 節省費用
- 增強產品性能
- 提高產品的可靠度
- 降低測試及對策修改的時間
- 縮短產品上市的時機

2. EMC原理說明

- 干擾的種類
 - ◆ 射頻干擾
 - ◆ 靜電放電干擾
 - ◆ 電力干擾

射頻干擾

- 由於無線電發射機的使用增加，因此所產生的射頻干擾會使得電子系統運作可能受到威脅
- 例如手機、無線遙控器、無線對講機等
- 典型的設備故障出現在場強為1-10 V/m的範圍，例如一個功率為1W的無線電發射機，在距電子設備1m處大約有5V/m的場強

靜電放電(ESD)干擾

- 放電以直接或輻射的方式引起
- 直接接觸的靜電放電一般引起設備永久性的損壞
- 輻射引起的靜電放電可能引起設備不正常，但不會引起系統的永久性損壞

電力干擾

- 由於電子設備連接到電源上，其所存在的潛在干擾，例如電源干擾、快速暫態變化、突波、雷擊電壓變化和電源諧波
- 對於使用高頻切換式電源(S.P.S)來說，這些干擾就會有明顯的影響
- 數位電子設備受到電力系統的尖峰雜訊(EFT及閃電)則容易導致故障

電磁干擾的模式



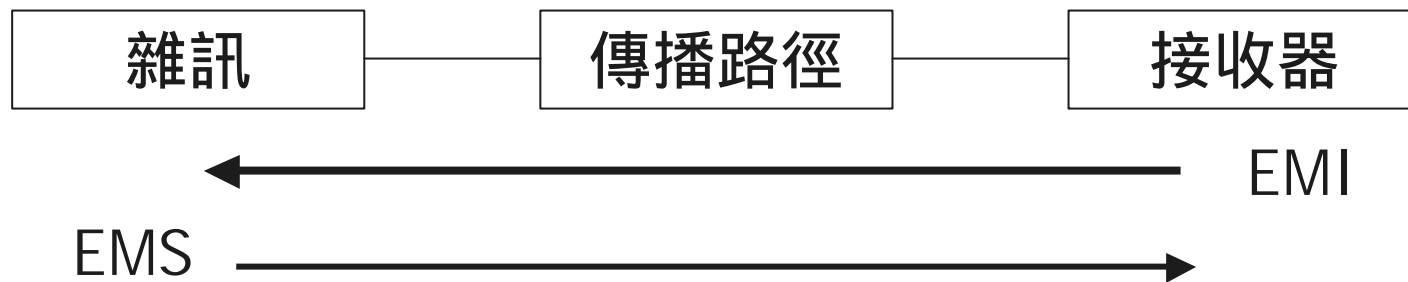
- 只有三者條件同時都存在干擾才會發生
- 工程師的任務就是決定那一個要素是最容易消除
- 設計一個PCB來消除大多數射頻干擾源是最經濟的途徑

PCB上的干擾模式分析

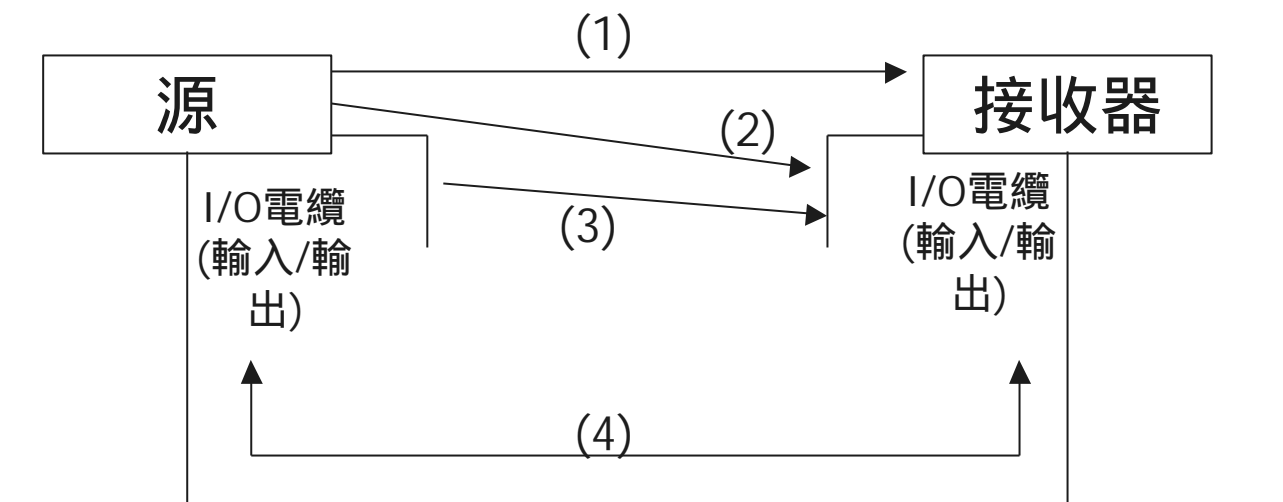
- Source : 時脈電路、元件輻射
- Path : 自由空間或是連接電纜
- Antenna : 不正確的布線、長的走線、內部電纜
連接線、I/O電纜線

雜訊的耦合法

- 產品的設計必須考慮兩種性能
 - ◆ 減小輻射洩漏的RF能量
 - ◆ 減小進入內部的RF能量



雜訊源傳播路徑的機制分析

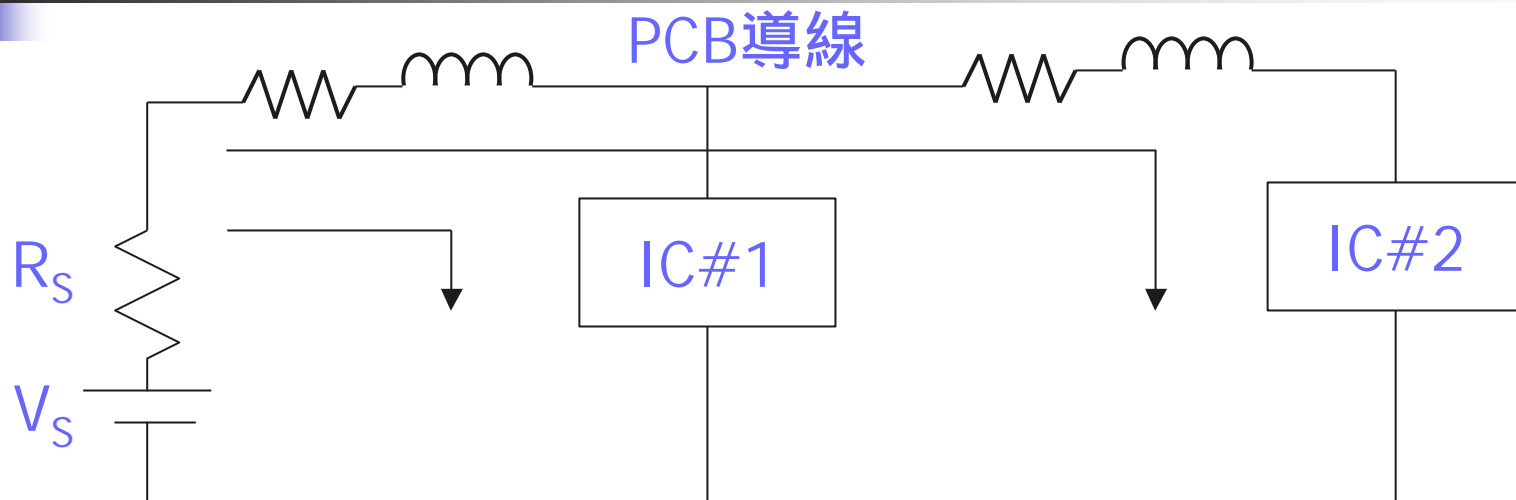


- (1) 雜訊源到接收器的直接輻射
- (2) 雜訊源輻射到AC電源和信號/控制電纜
- (3) 透過I/O電纜輻射到I/O電纜
- (4) 透過電源線或信號/控制電纜的直接傳遞

雜訊的耦合機制

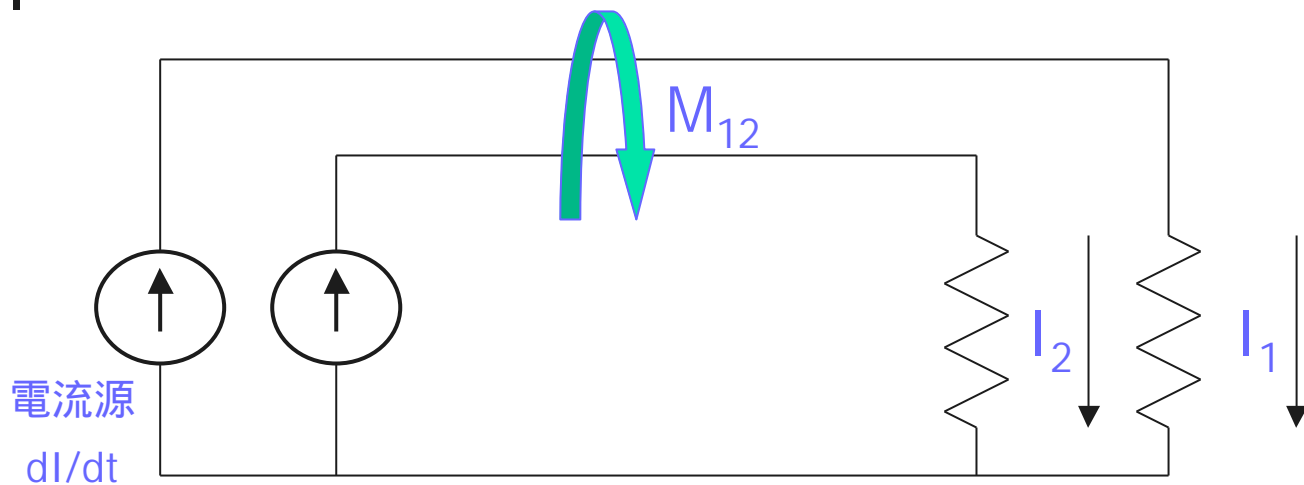
- 傳導耦合
- 電磁場耦合
- 磁場耦合
- 電場耦合

傳導耦合



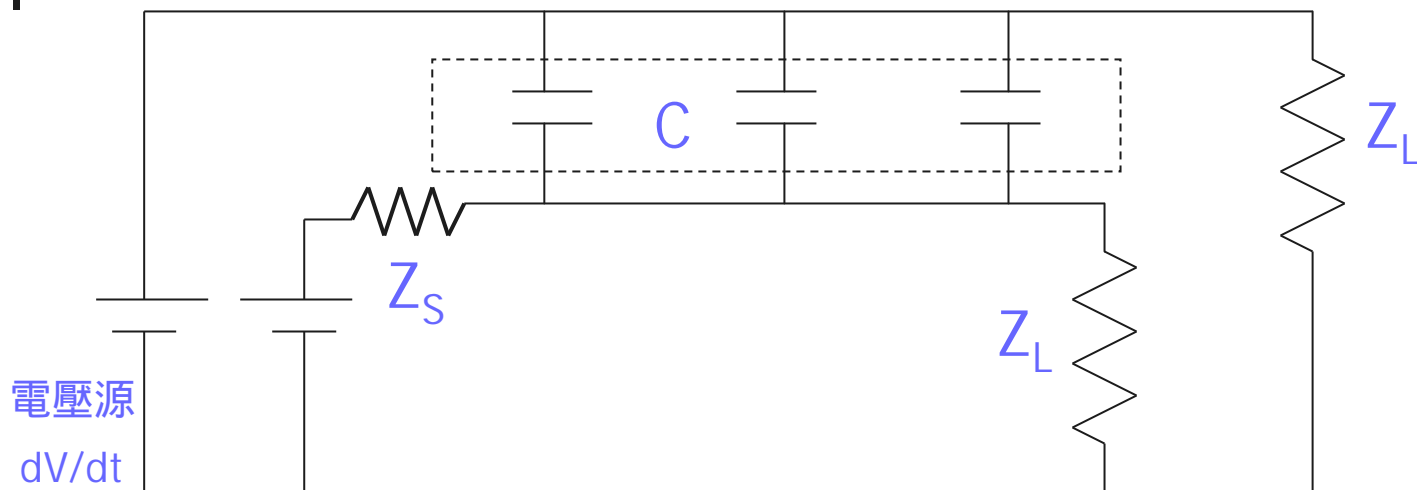
- 是一種共阻抗耦合，當雜訊源和敏感電路經由公共阻抗連接時便會發生耦合
- 上圖為兩個環路和一個電源每個環路的電流都必須流經電源系統的公共阻抗以及公共連線

磁場耦合說明



- 當一個電流迴路產生的一部份磁通量經過另一個電流路徑形成第二個環路時就會產生磁場耦合
- 磁通量耦合由兩個迴路之間的互感係數表示第二個迴路感應的電壓為 $V_2 = M_{12} \frac{dI_1}{dt}$
- M_{12} 為互感係數 $\frac{dI_1}{dt}$ 是路徑上的電流變化率

電場的耦合說明



- 在低阻抗電路內產生和其他耦合相比影響較小
- 在一個電路中如果高阻抗 Z_S 和 Z_L 並聯就會出現，當一個電路產生的電通量的一部份在另一個電路的導體結束就會出現電容耦合
- 電通量耦合由兩個電路的互電容來表示，流進一個敏感電路的雜訊電流為 $I = C dv/dt$

電磁場耦合

- 是電場和磁場同時影響電路的結合
- 依據雜訊源和接收器的距離電場合磁場影響是不同，取決於我們是在近場或是遠場
- 當雜訊頻率愈高時則輻射耦合的效率就愈高
- 頻愈低時傳導路徑的效率就愈高
- 因此在150k-30MHz主要是測量傳導干擾而在30MHz- 1000MHz則主要是測量輻射干擾

干擾的特質

■ 內部

- ◆ 傳輸路徑的鄰近電路之間的寄生耦合
- ◆ 內部組件之間的場耦合
- ◆ 信號沿著傳輸路徑的衰減

■ 外部

- ◆ 發射
 - 時脈或其他週期性信號耦合
- ◆ 敏感度
 - ESD或無線頻率干擾能量耦合到I/O線上傳輸到元件上

EMC的分析

- 頻率: 問題的頻譜出現在那邊
- 振幅: 能量的強度有多大
- 時間: 出現的問題是連續的或是僅在某個時期出現
- 阻抗: 源和接收單元的阻抗二者之間傳輸媒質的阻抗是什麼
- 尺寸: 輻射出現的發射設備的物理尺寸是多少PCB上線路的長度與RF電流的傳輸路徑的關係

傳輸線的考慮

- 走線長度在物理尺度上可以合某一特定頻率的波長相比擬
- 當上升時間小於信號源到負載間的傳播延遲時
- 為達到信號的最佳傳輸所有的傳輸線必須在終端接有與之特性阻抗匹配的負載

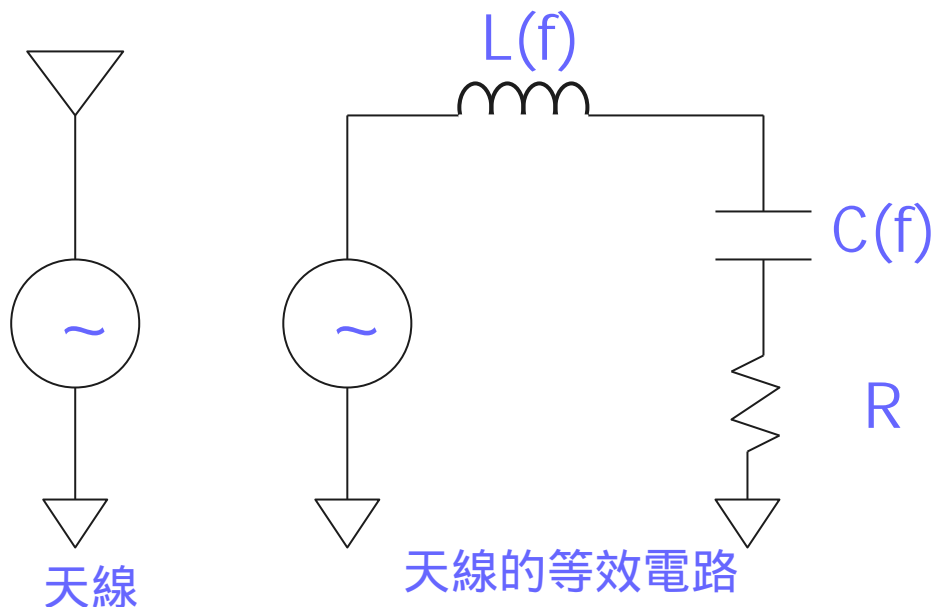
防止天線效應的產生

- 避免走線長度接近干擾緣信號的有效激勵長度
- 當走線接近干擾信號波長的某個特定波長(或波長的一部份)時，有效天線就會出現
- 當走線尺寸達到干擾信號的某一特定波長(或波長的一部份)時，一個高效天線就會形成

PCB和天線

- PCB可以通過自由空間像天線一樣發射RF能量或通過電纜耦合RF能量
- 天線效率是頻率的函數，當天線由電壓源驅動時，它的阻抗會有顯著的變化，而當天線共振時它呈高阻抗並且通常成電抗，特性阻抗方程式($Z = R + j\omega L$)中的電阻部分R稱為輻射電阻
- 輻射電阻是天線在特定頻率輻射RF能量的因子

天線輻射說明



天線

天線的等效電路

- 天線呈現隨頻率變化而變化的阻抗特性，共振時電抗元件 L 和 C 相互抵銷此時輻射阻抗最大RF能量就被輻射出去

RF電壓的存在說明

- 電路走線阻抗(來自引線電感)
- 接地點
- 用以降低天線驅動電壓的接地旁路和屏蔽

EMI產生的原因

- 外殼措施設計不佳
- 電纜與連接器之間的接地不良
- 錯誤的PCB佈局
 - ◆ 時脈和週期信號走線設定
 - ◆ PCB的分層排列及信號布線層的配置
 - ◆ 高頻RF能量分布元件的選擇
 - ◆ 共模與差模濾波
 - ◆ 接地迴路
 - ◆ 旁路和去耦合不足

抑制EMI的技術

- 屏蔽
- 導電墊或導電泡棉
- 接地
- 濾波
- 去耦合
- 適當布線
- 絕緣與分離
- I/O內部互連接設計
- 元件及內部的PCB抑制技術



- 降低RF源的強度(電壓電流的驅動電壓)
- 對高速信號使用差模和共模濾波，對於阻抗匹配的信號使用對稱差分濾波
- 減少耦合到天線裝置的能量
- 降低天線輻射RF能量特性的效能



- 天線上有高頻電流則會產生輻射

- ◆ 使用差模濾波和降低數位邏輯元件的邊緣速率可以減小RF電流

- ◆ 天線長度減為原來的一半也能降低輻射









- 兩個不同電路間有電動差存在則有RF能量存在

- ◆ 保持所有的金屬組件(接地面接地線底板機座等)有低阻抗的連接

元件在高頻時之特性

- 電阻器相當於一個電感串聯上一個電阻與電容的並聯結構
- 電容器就相當於一個電感電阻和電容器的串聯
- 電感器相當於一個電阻串上一個電感與電容的並聯結構

元件在高低頻的特性

元件	低頻特性	高頻特性
導線		
電阻		
電容		
電感		

導線和PCB走線

- 在低頻段導線主要呈現電阻特性而在高頻段則呈現電感特性
- 每條導線和走線都有潛在的寄生電容和電感，這些會影響到導線的阻抗以及頻率的響應
- 依據LC值(自諧振頻率)和PCB走線的長度在元件和走線之間可能會發生自諧振而產生了一個有效的輻射天線



- 金屬導線的阻抗包括電阻 R 和感性電抗 $X_L = 2\pi fL$ 在高頻時定義為 $Z = R + jX \cong j2\pi L$ ，容性電抗不包括在高頻時導線阻抗頻率響應的方程式中
- 在100kHz以上感性電抗 $2\pi fL$ 超過電阻，因此導線不在是一個低電阻的連接而是一個電感，並且可以看做是一個輻射RF能量的有效天線



- 大部分天線都設計成工作在特定頻率對應波長的 $1/2$ 或 $1/4$ 以成為一個有效的輻射器
- 在EMC領域則建議要求導線(或走線)小於特定頻率波長的 $1/20$ 以免成為輻射源
- 一條長 10cm 的走線具有 $57\Omega\text{m}$ $80\text{H}/\text{cm}$ 則在 100kHz 以上具有 $5\text{m}\Omega$ 的感性電抗當頻率為 150MHz 以上則該走線可以看成是一個有效的輻射性天線

電容器

- 電容器在其自諧振頻率時保持電容特性當頻率超過自諧振頻率時則會出現電感特性
- $X_C = 1/2 \pi fC$
 X_C :電容阻抗(Ω 單位) f : 頻率(單位MHz) C :電容(單位F)
- 一個10uF的電解電容在10kHz時電抗為1.6 Ω , 在100MHz時為160u Ω 故在100MHz時將會出現短路狀態

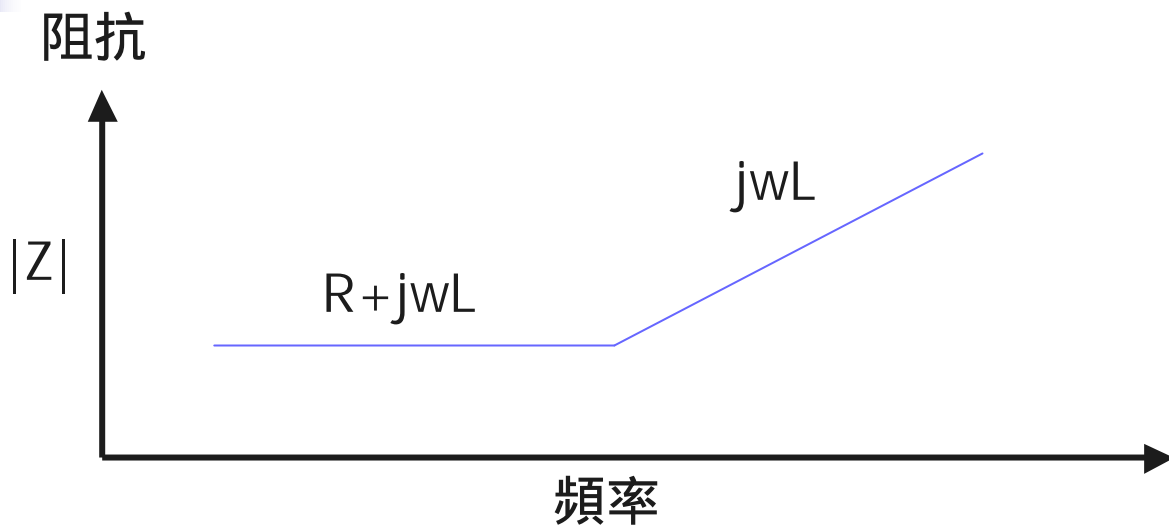
電感器

- 電感阻抗隨著頻率的增加而線性增加 $X_L = 2 \pi fL$
 X_L : 感抗(Ω 單位) f : 頻率(單位MHz) L : 電感(單位H)
- 一個10mH電感在10kHz時有682 Ω 的阻抗，在100MHz時阻抗為6.2M Ω 此時電感呈現斷路

鐵氧體(Ferrite Core)

- 在高頻時由於電感的線圈線阻之間的寄生電容效應使得電感在高頻時無法達到抑制的效果
- 鐵氧體可以解決這個問題，鐵氧體材料是鐵鎂合金或鐵鎳合金這種材料具有很高的導磁率，可以避免在高頻時電感產生的電容效應
- 鐵氧體在低頻時主要是由電感特性，高頻情況下主要是電抗特性且隨著頻率而改變
- 在實際應用中鐵氧體材料是最為射頻電路的高頻衰減器使用

鐵氧體材料的特性



- 在低頻下電阻被電感短路
- 在高頻下電感阻抗將變得相當高以至於迫使電流全部通過電阻
- 鐵氧體實際上是一個“消耗裝置”高頻能量在上面被轉化熱能

電磁理論

- 透過電磁理論可以了解PCB中的射頻能量是如何產生
- 馬克斯爾(Maxwell's)方程式由安培定律法，拉第定律以及高斯定律所推導出來
- 電導率 σ : $J = \sigma E$ → 聯繫電場與電流
- 磁導率 μ : $B = \mu H$ → 聯繫磁場與磁通量
- 介電常數 ϵ : $D = \epsilon E$ → 聯繫電荷儲存與電場
- $J =$ 電流密度 A/m^2 $E =$ 電場強度 V/m^2 $D =$ 電通密度度 庫倫/ m^2
 $B =$ 磁感應強度 Web/m^2 $H =$ 磁場強度 A/m^2

馬克斯爾方程式

電通量定律	$\nabla \cdot \mathbf{D} = \rho$	由高斯定律導出
磁通量定律	$\nabla \cdot \mathbf{B} = 0$	由高斯定律導出
電動勢定律	$\nabla \times \mathbf{E} = - \partial \mathbf{B} / \partial t$	由法拉第定律導出
電流定律	$\nabla \times \mathbf{H} = \mathbf{J} + \partial \mathbf{D} / \partial t$	由安培定律導出

馬克斯爾方程式的物理意義

- 電通定律: 產生靜電場的電荷累積
- 磁通量定律: 沒有磁荷存在只有電荷存在磁單極是不存在的磁場由電流產生電流和電磁就好像一個點發射源磁場沿著形成封閉迴路
- 電動勢定律: 穿過閉合迴路的磁場會產生電流
- 電流定律: 產生磁場的來源有兩個第一個是由運動電荷所構成第二個是由閉合迴路中變化的電場所構成

PCB電路中EMI產生的原因

- PCB電路中EMI產生的根本原因 ——→時變電流
- 靜態電荷產生靜電場而不產生磁場
- 恆定電流產生磁場而不產生電場
- 時變電流既產生電場又產生磁場

磁場源

- 這個迴路產生的場是和四個變數有關
 - ◆ 迴路中的電流幅度：場的強度與信號走線中的電流成比例
 - ◆ 天線的方向性：發射和接收天線極化必須相同
 - ◆ 迴路的尺寸：場的強度和迴路面積成正比
 - ◆ 距離：場強下降的速率與場源和天線之間距離有關

電場源

- 電耦極產生的場是和四個變量有關
 - ◆ 迴路中的電流幅度：場的強度與信號走線中的電流成比例
 - ◆ 天線的方向性：發射和接收天線極化必須相同
 - ◆ 耦極的尺寸：場的強度和迴路面積成正比
 - ◆ 距離：場強下降的速率與場源和天線之間距離有關

馬克斯爾方程式與PCB的關係

- 我們必須明白場是如何產生的如此對於PCB設計和布線將更有助於了解並且減小這些在PCB中產生的電磁場
 - ◆ 減少迴路中射頻諧波電流
 - ◆ 減小迴路面積

時域和頻域之歐姆定律

時域	頻域
$V = I \times R$	$V_{rf} = I_{rf} \times Z$

V: 電壓 I: 電流 R: 電阻 Z: 阻抗($R+jX$)

- 假設RF這條走線有固定的阻抗就會有RF電壓產生

阻抗方程式

- $Z = R + jX_L + 1/jX_C = R + j\omega L + 1/j\omega C$
- $X_L = 2\pi fL$ $X_C = 1/2\pi fC$ $\omega = 2\pi f$
- 對於幾kHz以上的頻率一般來說感抗的值會明顯超過電阻R的值
- 電流會沿阻抗最小的路徑流動，故在高於幾kHz以上的電流不一定會選擇電阻最低的路徑而是阻抗最低的路徑

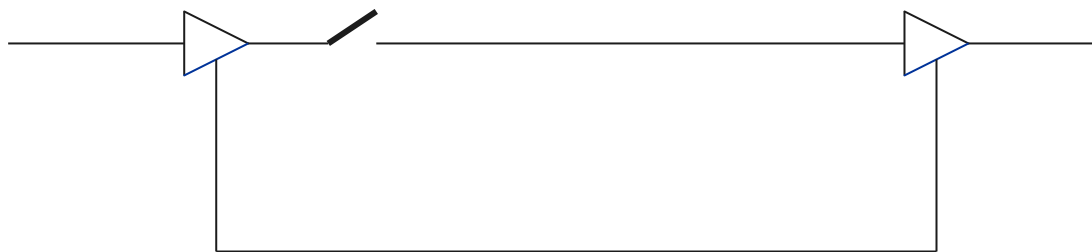
RF電流迴路

- 在一條走線中運動的電荷產生電流並產生磁場
 - ◆ 時變磁場產生橫向正交的電場
 - ◆ RF輻射包含了電場和磁場
- 由於磁場是閉合環路在PCB中RF電流是由驅動源產生並通過走線傳送到負載
- RF電流必須要通過回流系統返回它們的源(安培定律)因此也就有了RF電流迴路

遠場與近場

- 在近場區磁場成分佔主要的部分
- 在遠場區電場與磁場的比(波阻抗)大約為 $120 \pi \Omega (377 \Omega)$

封閉迴路

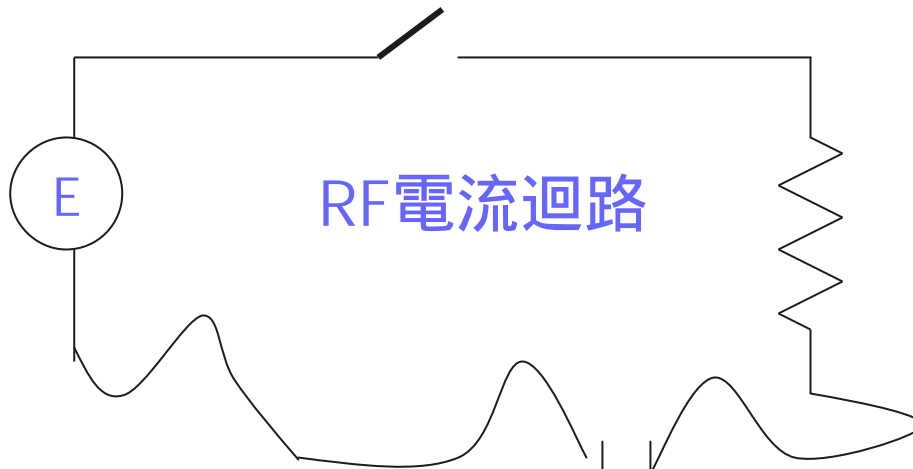


- 根據基爾霍夫定律和安培定律電路中存在閉合環路才能工作
- 基爾霍夫電壓定律說明言電路中任何一個閉合路徑的電壓代數和一定是零
- 如果沒有閉合迴路信號將不能通過傳輸線從信號源到達負載



- 在頻域中我們把電流看做RF能量因此對封閉迴路上從負載到源的RF回流路徑也必須存在否則電路不會工作
- 一般通過0V(接地)迴路結構RF電流從源流到負載並且必須沿組抗較低路徑返回此路徑經常是一個接地走線或接地平面

不佳的RF電流迴路



- 如果源與負載間不存在一條低組抗的直接通路若在接地面上有不完整的金屬導體或凹槽則射頻電流不能以最佳方式返回
- 如果不存在金屬迴路此射頻迴路只能經過自由空間(377Ω)返回此即產生了EMI的輻射問題



- RF能量存在各種傳輸路徑這些路徑可以是通過自由空間傳播或者通過相互連接的電纜傳播
- 在傳輸線中磁力線是沿著逆時針方向，如果我們把RF返回路徑與對應源路徑平行並與其靠近，則兩者之間的場就會相互抵銷此即通量消除的概念

消除或減小磁通量

- 在多層板中適當的分層和阻抗控制
- 安排時脈(clock)走線靠近返回接地平面(多層PCB)接地條格或一條接地線(單面和雙面板)
- 減小時脈產生電路中所產生的RF驅動電壓來減小走線中的RF電流
- 減小電源和接地平面結構中的接地雜訊電壓

共模和差模電流

- 在任何電路中都存在共模和差模電流，一般來說差模信號為數據或有用的信號，共模電流多是諧波雜訊
- 共模模式的電流大小要比差模的電流小的多，但是它能產生較高的輻射電場
- 這是因為共模電流不能在RF返回路徑中進行磁力線的抵銷

差模電流

- 差模電流是RF能量的組成部分它在信號通路和返回通路中均存在但彼此反相
- 差模信號的作用主要為傳送需要的信號
- 在差模下電路設備，輸出一個電流到負載同時存在一個等值的返回電流，這兩個大小相等沿相反方向流動的電流代表差模的工作方式

差模輻射

- 差模輻射是系統中的RF電流迴路中電流流動所引起對一個小的環型接收天線RF能量的場強可以近似如下

- $E = 263 \times 10^{-16} (f^2 \times A \times I_S) \times (1/r) \text{ V/m}$

A: 環型天線的面積 f: 頻率(MHz) I_S : 電流 r: 從發射源到接收天線之間的距離

最大的差模場強

- 由臨界面積的閉合迴路在PCB上產生的最大場強是

- $E = A f^2 I_s / 380r$

E: 最大輻射場強(uV/m) r: 迴路和測量天線之間的距離(m) f: 頻率(MHz) I_s : 電流(mA) A: 迴路面積(cm²)

- 假設PCB存在迴路面積的電路走線，若A=4cm² I_s =5mA : f =100MHz則在10m遠處的場強是52.6dBuV/m 超過EN55022 Class B的限制值30.6dBuV/m

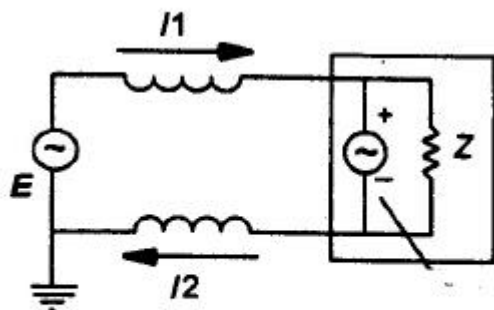
共模電流

- 共模電流是RF能量的組成部分它在信號通路和返回通路中存在一般是同相
- 它是RF輻射，尤其是I/O電纜輻射的主要原因
- 共模信號是輻射的主要來源其不包含有用的信號
- 共模是由於公共金屬結構(如電源面和接地層)中的電流

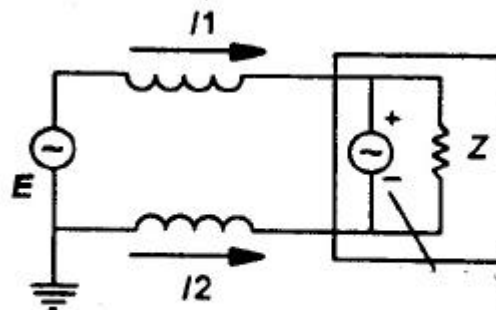
共模電流的產生

- 典型的發生條件是電流從導電平面內的路徑流過當返回的電流與它們原來的信號路徑不配對(如在平面內有裂縫等)或者幾個信號有公共返回區域共模電流就產生
- 由於這些平面具有有限的阻抗，共模電流就在上面造成RF電壓，此即為EMI輻射的主要來源

共模和差模電流結構說明



$$I_{\text{total}} = I_1 - I_2$$



$$I_{\text{total}} = I_1 + I_2$$

- 差模電流存在的條件為電場分量 I_1 和 I_2 的差，如果 I_1 正好等於 I_2 則電路就不存在差模電流輻射
- 共模電流產生的RF場就很難消除是主要EMI的輻射來源

共模輻射

- 共模輻射是由於在電路設計之外的電壓降造成的，電路的一些接地部分的電壓比真實的參考地面高與接地系統相連的電纜就成為天線輻射
- 電場可以以下列式子描述
- $E \cong (f I_{CM} L)/R$ (V/m)

L:天線長度 I_{CM} :共模電流 f: 頻率 R: 距離

差模與共模的抑制方法

- 差模主要是由時脈信號(clock)產生，由差模輻射場公式可看出有效降低迴路面積與電流則可降低差模輻射
- 共模則是由於迴路電流與迴路路徑上的阻抗而產生的共模電壓所造成，因此有效降低電流返回路徑的阻抗則可降低共模輻射，一般的迴路路徑主要是接地面或接地線

頻率與波長的關係

頻率(MHz)	λ	$\lambda/2$	$\lambda/20$
30	10m	5m	50cm
50	6m	3m	30cm
100	3m	1.5m	15cm
150	2m	1m	10cm
200	1.5m	0.75m	7.5cm
300	1m	0.5m	5cm
600	0.5m	0.25m	2.5cm
1000	0.3m	0.15m	1.5cm

- 對於內部或外接電纜以 $\lambda/2$ 半波長來考量
- 對於PCB板上的走線則 $\lambda/20$ 以波長來考量

3. 電路圖的Check

- 電路圖與PCB layout的差異
- 走線的差異
- 接地點的位置
- 結論

電路圖與Layout的差異

- 走線的長度、形狀、位置
- 接地點的大小、位置
- 對策元件的位置

走線的差異

- 在電路圖上兩個元件之間的走線會和實際的PCB Layout上不同，也就是說，在電路圖上很短的相互連接線，實際在PCB Layout的時候，可能因為空間位置而必須走較長的距離及不同的形狀。

接地點的差異

- 在電路圖上所表示的接地點和實際PCB上的下地點，往往也會有很大的差異，若接地點和金屬殼或大地相距較遠，也無法由電路圖中檢查出來。

對策元件的位置差異

- 在電路圖上所表示的一些對策元件，在實際layout時是否能夠擺放到正確的位置也是非常重要例如作為濾波用途的bypass電容其擺放的位置必需愈靠近信號端的出口或Clock端愈佳。

結論

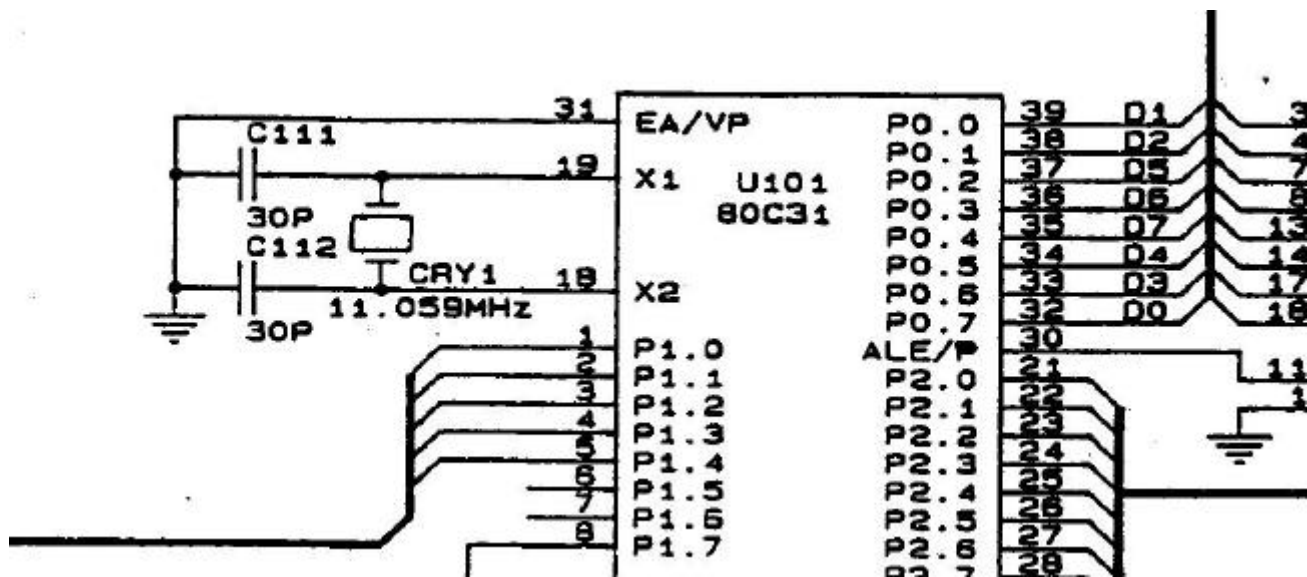
- 由於上述的說明分析可以知道，我們在分析電路圖同時，不能只從電氣特性及濾波上考慮，還必須把實際上和輻射有關的機制考慮進去，也就是在電路圖裡面一些重要的關鍵部分，在實際PCB Layout時是否能夠符合我們的要求。

3. 電路圖Check的項目

- Clock線
- 排線
- I/O Port
- IC CPU
- 其它重要元件
- Vcc與Ground

Clock線的Check

- 在電路圖上將主要的Clock線用螢光筆各別標出，以提醒在Layout時，位置配置這些走線

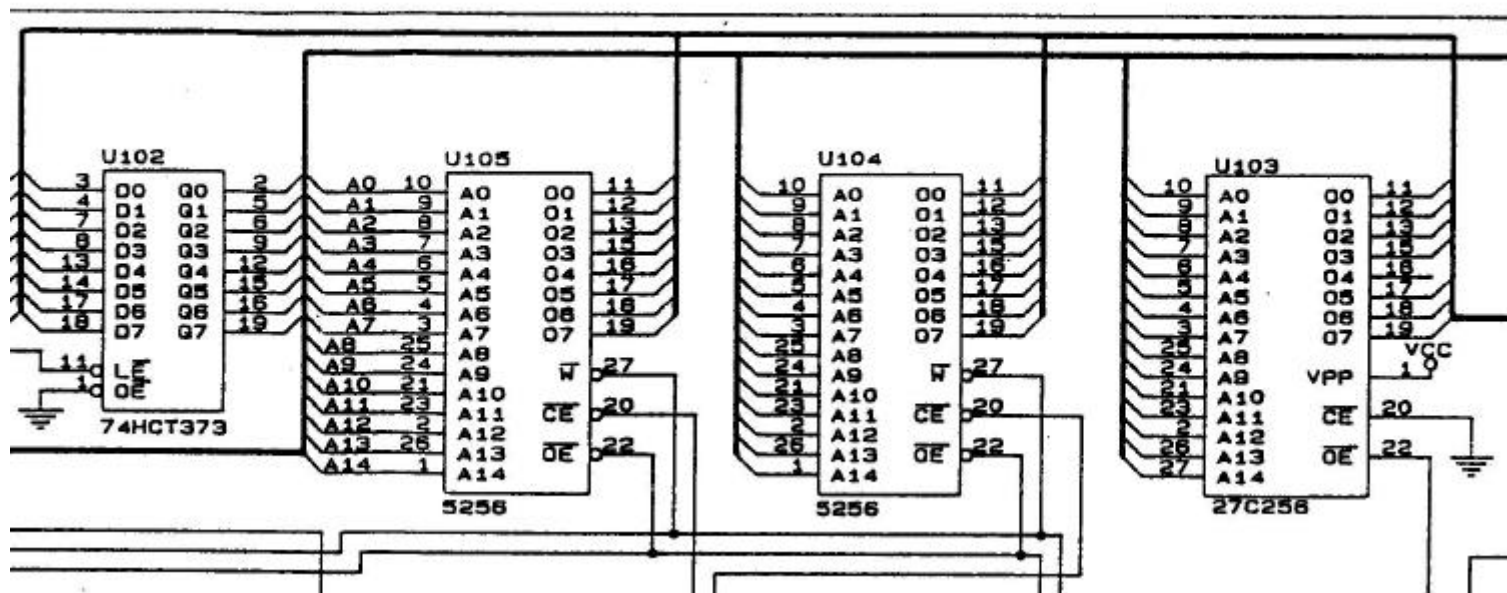


Clock線的layout原則

- 儘量走最短路徑線徑不需特別加粗路徑
- 要有預留電容及bead腳位(瀘波)
- 儘量走直線，避免天線loop形狀
- 可以貫穿上下層
- 對於多個元件使用共同一個clock，必須在線路上特別標示，以便在layout時特別處理clock tree而clock chain

排線的check

- 對於不同的IC之間相互連接過4條走線，必須特別用不同顏色走線標示

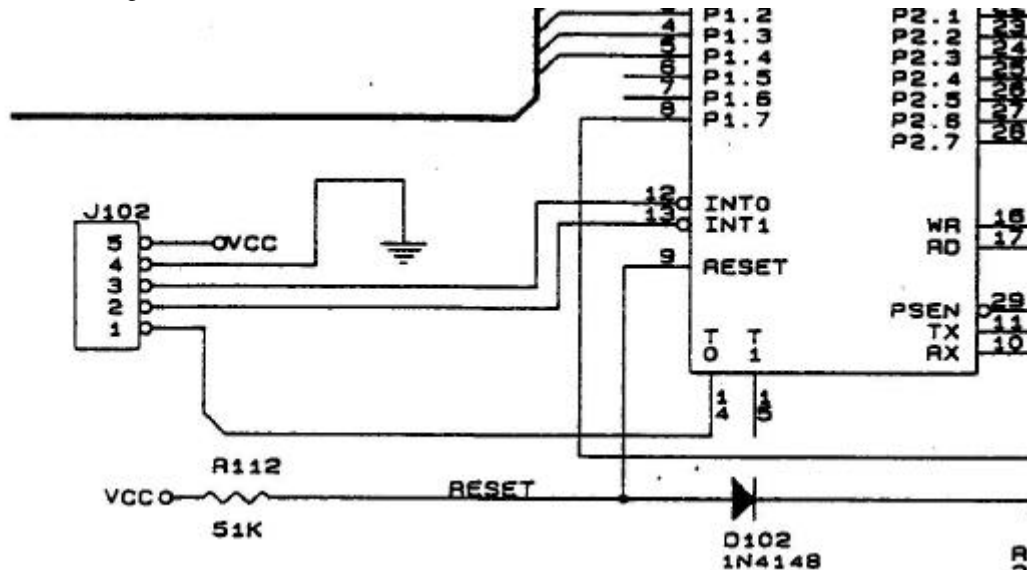


排線的layout原則

- 排線的layout同clock線類似，儘量在layout時候先走配置
- 排線的配置必須和IC元件的位置相接配，如此才能
- 重要的建立排線可以考慮加上排容或排阻

I/O Port的check

- I/O的附近線路亦要特別標示出來以便詳細檢視
- I/O Port的每一個走線check是否有預留電容腳位
- I/O的走layout與濾波容的位置必須謹慎注意



CPU IC的check

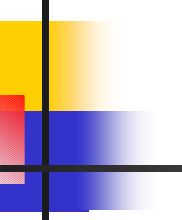
- 必須將CPU及重要的IC標示出來
- 詳細檢查，在其上的Vcc和Ground是否都有加上0.1 μ F電容
- CPU及重要IC也是在做電路板layout前必須先決定適當位置，因此必須先標示以做提醒

其它重要元件

- 對於其它可能會產生高頻諧波或混附雜訊的元件中必須要在電路圖中標示出來，以便可在layout配置時特別注意

Vcc和Ground

- 對於電路圖上的Vcc和Ground要特別注意可使用不同的顏色螢光筆分別對不同電壓的Vcc標示，以在layout時分別規劃
- 對於電路圖上的Ground必須要特別注意其實際的接地是直接連接到外殼金屬或是電路板上的接地，以及類比或數位接地上
- 對於CPU及重要IC的Ground接地可特別標示以便在layout時特別考量其下地的點



- 所有元件上的Vcc和Ground必須check是否皆有加上 $\pm 0.1 \mu F$ 的Decoupling電容
- DC Input處必須check是否有加 $0.1 \mu F$ Decoupling電容

4. 佈線的基本原則

■ 安全間距

- ◆ 如trace與trace, pad與pad的距離因為兩個導電體之間的距離皆會影響其電位工作電壓

■ 走線寬度

- ◆ 評估所工作的電流並考量環境溫度來決定線寬的大小
- ◆ 一般而言電源和地線的寬度都會被設計成較寬
- ◆ 銅箔的寬度必須能承受訊號的最大電流

零件的擺置

- 把容易發熱的零件做適度的分散以免散熱效果不佳
- 板子上不可移動的元件或有固定位置零件(如金手指)先放置
- 零件的擺置必須注意極性方向性及增加自動插件的速度考量
- 某些地方可能因為機構的關係不能放置過大或過高的元件

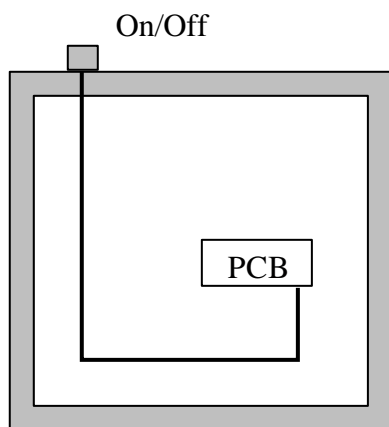
佈線注意事項

- 走線之路徑應該盡可能的越短越好
- 考量走線寬度間距是否符合標準
- 轉角時應注意是否有銳角不可以有直角
- 避免過多的貫孔貫孔愈多所引起的電感量也會增加
- 多條平行訊號線必須注意是否有串音現象
- 電路板中重要的clock線可用包地線方式處理

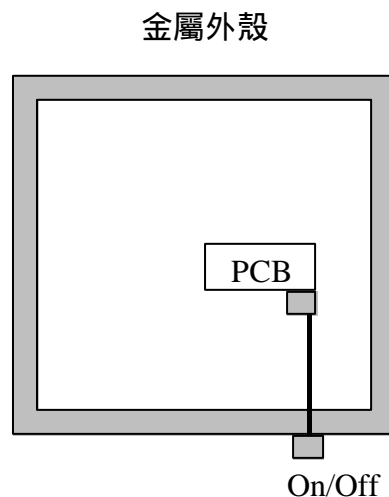
5. 整機的規劃

- 外殼位置與PCB I/O位置的考慮
 - ◆ 指示燈開關按鍵AC或DC In位置，I/O Port位置
- 內部位置與PCB的I/O位的考量
 - ◆ 內部連接線，兩板之間的連接線

外殼的位置與PCB I/O位置說明



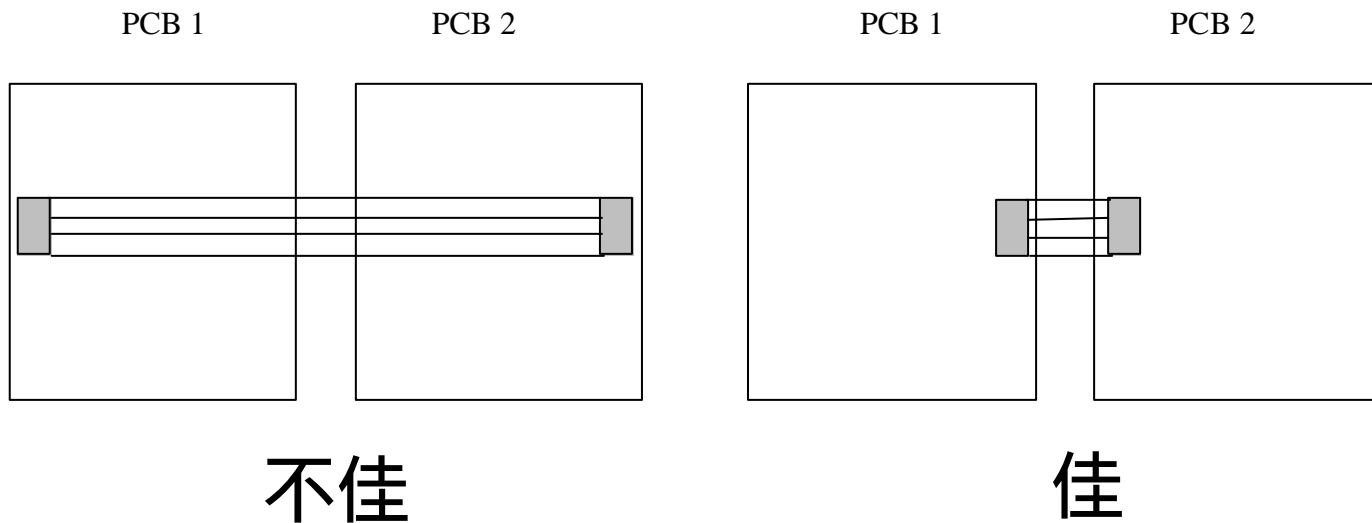
不佳



佳

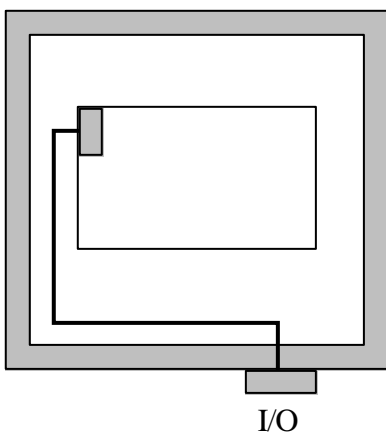
- 連接的走線儘量避免靠近或經過高頻元件區附近

內部位置與PCB的I/O位置的考量

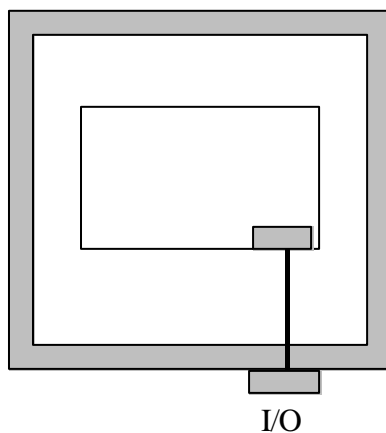


- 連接的走線盡量避免靠近或經過高頻元件區附近

外殼I/O Port位置與PCB位置的說明



不佳

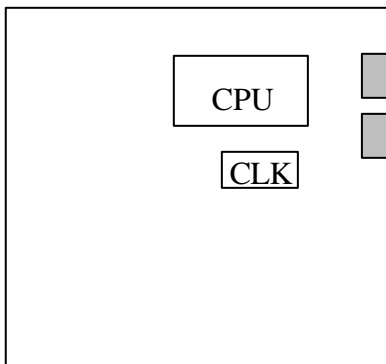


佳

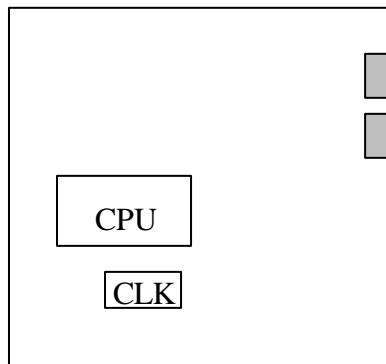
6.Placement的規劃

- I/O Port遠離高頻雜訊區
- 相互作用元件儘量放在一起
- 相連接元件的方向考量
- Through Hole的應用

I/O Port 遠離高頻的說明



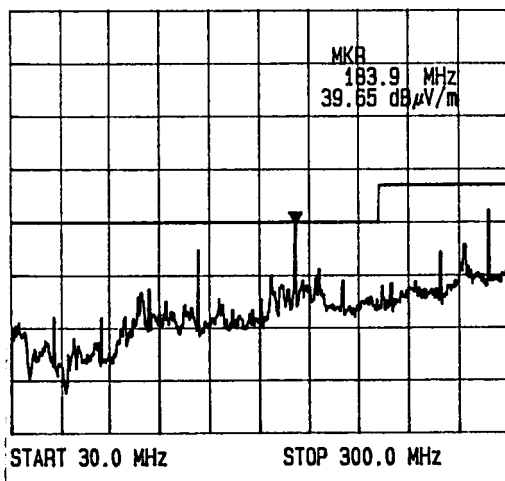
不佳



佳

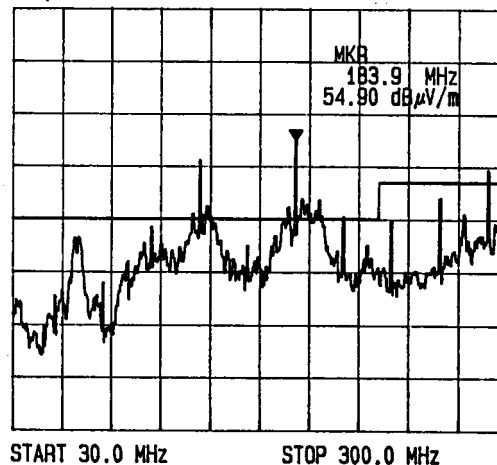
測試結果的位置

基本測試圖(不接線)



單體

Telephone Line靠近A3區

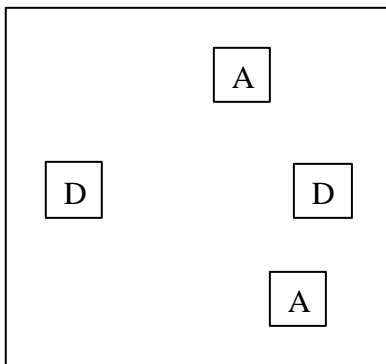


線靠近

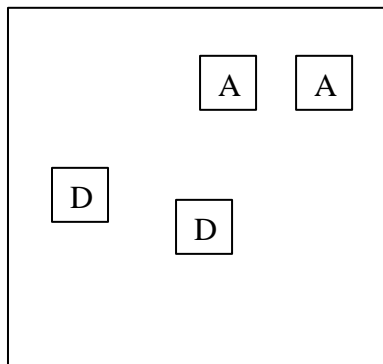
分析說明

- 從上圖的測試結果可以得知，當一條空線靠近PCB板上高頻元件附近，則其上的雜訊能量很容易藉由耦合而傳進到線再將能量輻射到空中

相互作用件的說明



不佳

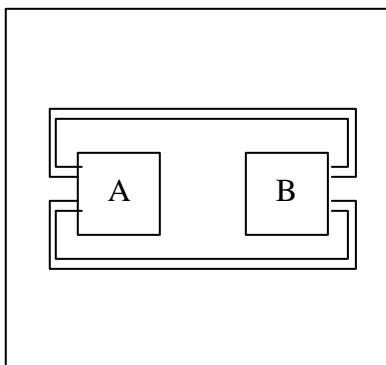


佳

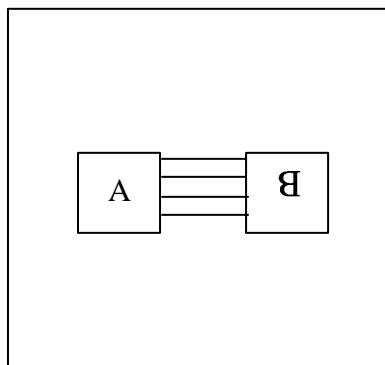
說明

- 類比元件和數位元件儘量各自擺放成最接近的區域
- 功能相互連接的元作也要儘量接近擺放

相連接元件的方向考量說明



不佳

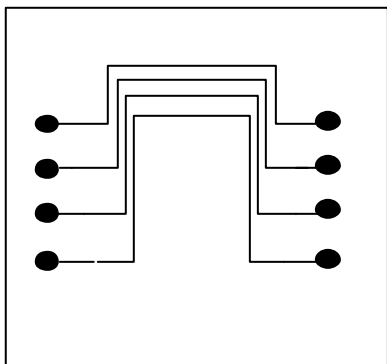


佳

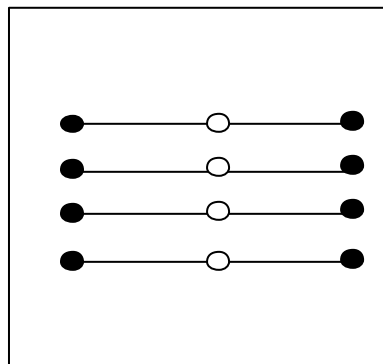
說明

- 除了相互連接的元件儘量靠近擺放外，尚需注意其放置的方向
- 若未詳細考量適當的對應方向，則往往會造成較長的走線
- Through hole的說明
- 在layout走線上不可避免會有貫穿孔的使用
- 適當的貫穿孔將有助於降低輻射的產生

Through hole的應用



不佳



佳

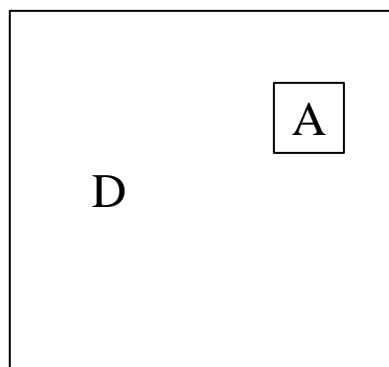
- 造過through hole的使用將layout的走線縮短

7. 接地的規劃

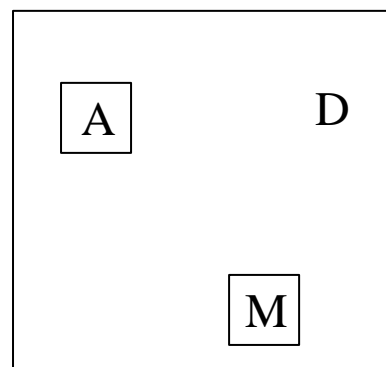
- 依功能的分類
- 依雜訊產生高低
- I/O Port的接地
- Main-board的接地
- 迴路電流的考量

依功能的分類

- 依照PCB上所使用元件的特性來區分，一般可分成區數位、類比和高電流
- 接地區分的圖示



不佳



佳

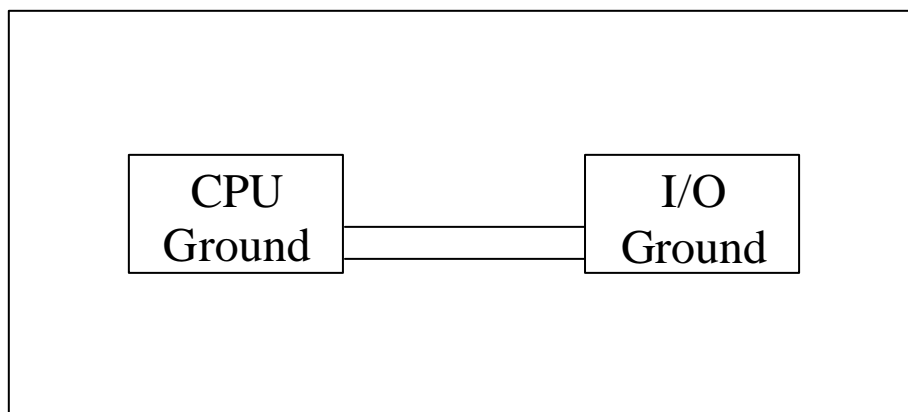
依雜訊高低分類

- 一般在clock CPU及這些IC附近，由於處理高頻振盪位置，以致其接地所存在的雜訊能量較強
- 遠離上述元件區域的接地則存在較低的雜訊能量

雜訊高低的區分原則

- 由於能量不減的定律對於高雜訊的區域大幅要要降低雜訊能量往往是很困難
- 從輻射的角度來高雜訊區並不代表雜訊一定會輻射到空中
- 因此PCB的規劃原則為讓高雜訊接地區域，儘量能大而避免有外接或內接的連接線，以免成為輻射天線機制
- 對於有I/O連接線的區域則儘量使其為低雜訊接地區域，以使接地上的雜訊能量經由連接線而輻射到空中

接地區分的圖示



說明

- 由於CPU往往會造成高的雜訊能量，故其接地區域可以和I/O區的接地有所區隔
- I/O區域的接地儘量使其能有低的接地雜訊(Quiet Area)

I/O Port的接地

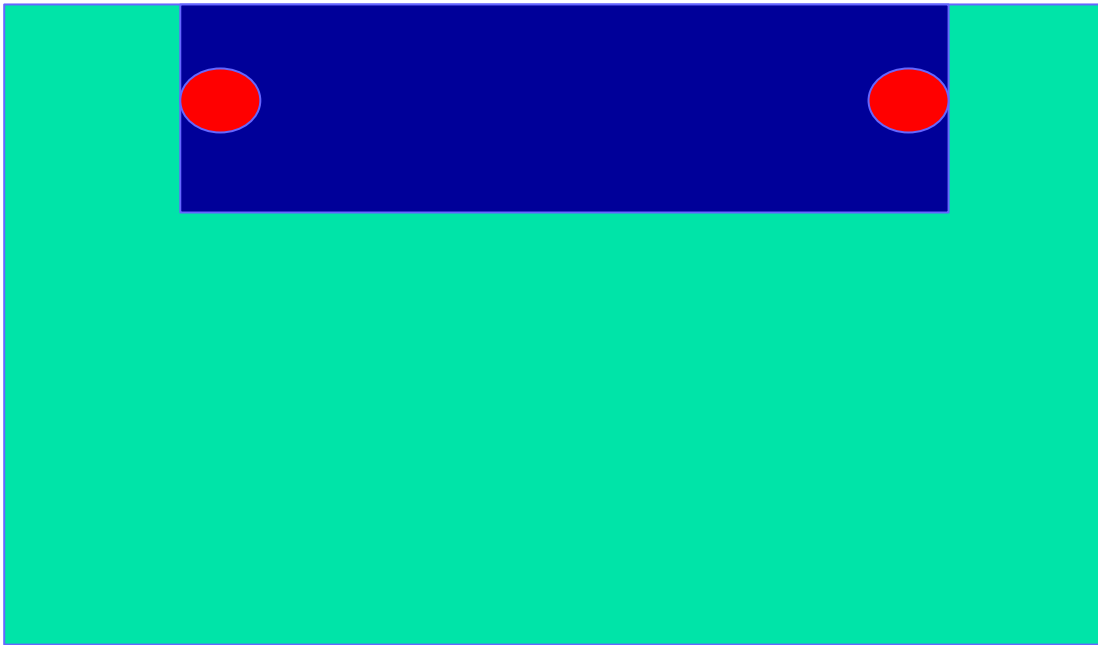
- I/O Port的接地是否要切割
- 由於為了使I/O的接地不受到其它接地雜訊能量的干擾而將I/O Ground切割，使其和其它Ground分開
- 另外在I/O的Analog和Digital一般也會特別做切割，以避免相互之間雜訊干擾
- I/O Port的接地和外殼的隔離，一般多是避免ESD干擾的處理

8.I/O Port的接地切割說明

- Analog和Digital不再做切割
- 對較小面積的電路板則I/O Ground不再切割
- 較大面積的電路板則可對I/O Ground切割一個完整的I/O Ground，並使其能與外殼金充分連接導通

I/O Port的接地layout範列說明

I/O Port Ground



I/O Port的處理

- 對於所有I/O Port的Pin皆要有預留Bypass的腳位，且必須注意Bypass下地必須要連接到I/O的Ground
- Bypass電容(20p-100p)
- Bead(阻抗500 ohm)

Vcc和Ground

- Vcc和Ground之間要加上0.1 μ F的耦合電容
- 可使用Bead加在高雜訊元件的Vcc上
- 不同的Ground之間可使用Bead以避免高頻雜訊的干擾

9.PCB EMC Layout的範例說明

- 1.Switching Power Supply電路板Layout說明
- 2.電路板Layout說明
- 3.排線Layout說明



10.PCB實例分析與討論

1.電路板Re-Layout實例說明

2.Layout修改建議