

## 设计指南

### 驱动集成电路功率级中瞬态问题的处理

#### 1. 驱动 IC 产品范围

IR 公司为用户提供多种从单相到三相桥的驱动集成电路。所有类型都使用了高集成的电平转换技术，简化了逻辑电路对功率 MOS 管的控制。最新产品已扩展到具有驱动 1200V 功率器件的能力。

作为前沿技术，要求能在更高速度下开关更大的电流，杂散参数的不利影响日趋明显和受到高度重视。本文的目的是找出它们的根源，量化驱动 IC 对可能引起问题的免疫力，最后，如何获得最大的安全区。

#### 2. 桥式电路中的杂散元素

图 1 描述了一个驱动 IC 驱动由两个 MOSFET 组成的典型桥式电路，功率电路中，由器件内部的连线、引脚和 PCB 线组成的无用电感统一用  $L_{S1,2}$  和  $L_{D1,2}$  表示。

另外还有栅极驱动电路中的杂散参数，在布线路板时也应考虑。在此我们将主要讨论有最大的电流和  $di/dt$  发生的桥式电路本身。在开关期间，桥式电路中快速变化的电流将会在杂散电感中产生电压瞬变。这些瞬变会耦合到其它电路中引起噪声问题，增加开关损耗，甚至在最坏情况下损坏 IC。

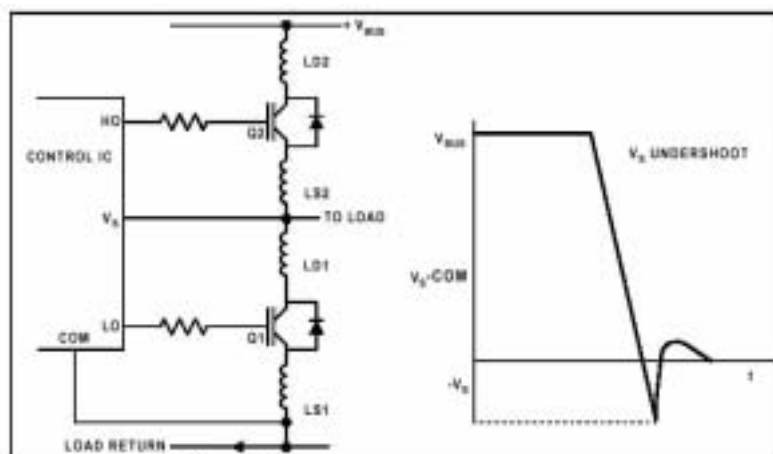


图 1. 半桥电路中的杂散元素

### 3. $V_S$ 负过冲原因

由于问题是由散电感引起的，随着器件的开关，对驱动 IC 来说，最主要的问题是  $V_S$  会负过冲到参考地以下。

相反，正过冲一般不会出现，IR 公司已经验证的 HVIC 工艺具有耐高电压能力。

当桥电路负载为感性时，高端器件的关断会引起负载电流突然转换到低端的续流二极管，由于二极管开通延迟，正向压降和杂散电感  $L_{S1}+L_{D1}$  使  $V_S$  点负过冲到参考地以下，如图 1 所示。在死区时间内，如果负载电路不能完全恢复，当低端器件硬开通时，会发生  $V_S$  负过冲或振荡。

### 4. $V_S$ 负过冲对驱动 IC 的影响

IR 公司的驱动 IC 保证，相对于 COM， $V_S$  至少有 5V 的负过冲能力，如果负过冲超过这个水平，高端输出将暂时锁定在其电流状态， $V_S$  保持在绝对最大极限内，IC 将不会损坏。当负过冲超过 5V 后，高端输出将不响应输入控制信号。这种模式应当注意，但在大多应用中是可以忽略的，因为随着开关事件的发生，高端通常不要求很快改变状态。

### 5. 如何避免锁定

附录 1 显示了驱动 IC 的内部典型寄生二极管结构。对于任何 CMOS 器件，使这些二极管正向导通或反向击穿都会引起寄生的可控晶闸管(SCR)锁定，锁定的最终后果难以预料，有可能暂时错误地工作到完全损坏器件。

驱动 IC 也许会间接地被最初的过应力引起的连锁反应损坏，例如，可想到锁定会使两路输出为高，造成桥臂直通，从而损坏器件，然后损坏 IC。这种失败模式可能是应用中引起驱动 IC 和功率器件损坏的主要原因。

下面理论分析可以帮助解释  $V_S$  负过冲和锁定机理的关系。

第一种情况：“理想的自举”电路中， $V_{CC}$  由一个零阻抗电源供电，并由一个理想的二极管给  $V_B$  供电。如图 2，负过冲将引起自举电容过充电。例如，如果  $V_{CC}=15V$ ， $V_S$  负过冲超过 10V 时，将使悬浮电源达到 25V 以上，可能会击穿二极管 D1，并进一步引起锁定。

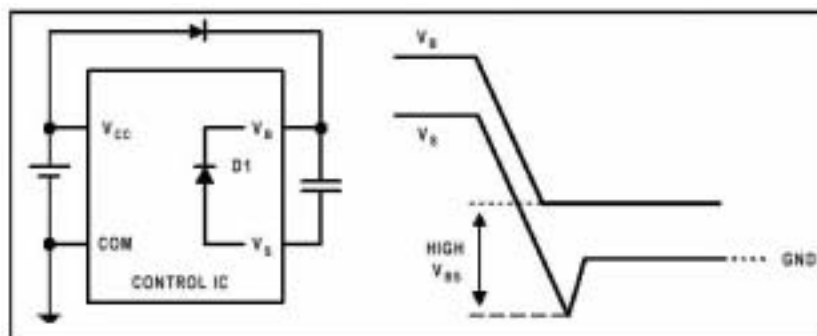


图 2. 理想自举电路

现在假设自举电源用一个理想的悬浮电源代替，如图 3， $V_{BS}$  将在所有环境都是固定的。注意，只有使用低阻抗辅助电源代替才能实现这个目的。

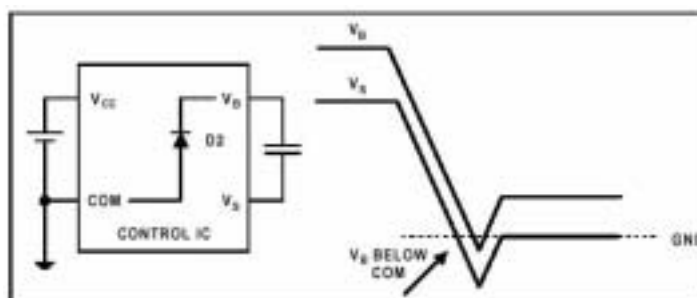


图 3. 理想悬浮电源

这种情况下，如果  $V_S$  负过冲超过  $V_{BS}$ ，即  $V_B$  低于  $COM$ ，可能会因为寄生二极管  $D2$  导通而出现锁定危险。

实际电路可能会出现在这两种极端情况之间，而  $V_{BS}$  有一些增加和有时  $V_B$  降到  $V_{CC}$  以下，如图 4 所示。

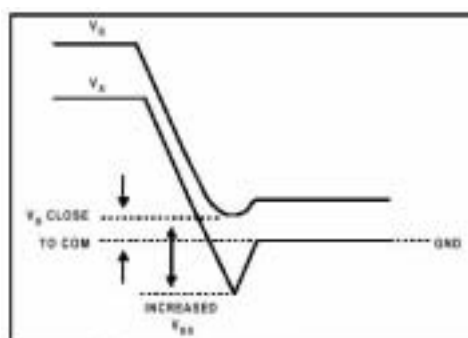


图 4. 典型响应

## 6. 监测和证实

下列信号可以在正常工作时，和高应力下（如短路或过流关断， $di/dt$  最高）观察到。应该在 IC 管脚根部测量，如图 5。这样驱动回路的寄生参数影响也被测量到。

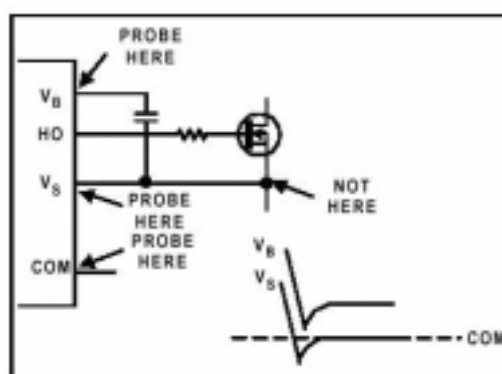


图 5. 测量点

测量证实负过冲的严重性。

- (1) 高端相对于公共端的偏移； $V_S$ -COM
- (2) 悬浮电源； $V_B$ - $V_S$

多数桥电路使用上百伏电压，就是说应选择 Y 轴较迟钝的示波器以防止输入放大器饱和，这将使相对较小的  $V_S$  负过冲很难量化。为了得到最佳分辨率，请阅读示波器手册，选择最高的可利用的灵敏度。

为了测量第二个信号，该信号始终附加在变化的桥电压上，因此要使用变压器将示波器悬浮起来，但是不建议用这种方法。因为容性负载将影响电路性能，有时会掩盖问题根本原因而由于不注意而减小了  $dv/dt$ 。

高带宽差分电压探头（或隔离的差分输入示波器）可以得到很好的结果，同时又允许观测其它地为参考点的信号。然而，当比较差分探头和常规探头相对时间时，应注意延迟时间的差异。

高端信号（ $V_b$ 、HO）的共模噪声可以将探头正端和探头地端共同接到  $V_S$  点测到。

不要认为低端没有共模噪音，同样可以将探头和地端一起接到 COM 点测到。

## 7. 一般建议。

下列建议在使用驱动电路是很好的实践和证明，无论观察到的锁定安全区如何。

### 最小化图 1 中的杂质参数:

- 1a、使用宽线直接连接两个器件，不要有环路和远离。
- 1b、避免互相连接，这会增加很大电感。
- 1c、降低器件安装高度，以减小管脚电感影响。
- 1d、两个功率器件并排放置，减小线长度。

### 减小驱动 IC 杂散电感。

- 2a、如图 6 所示连接  $V_S$  和 COM。
- 2b、使用短的直接连线减小门极电路杂散电感。
- 2c、驱动 IC 距离功率器件越近越好。

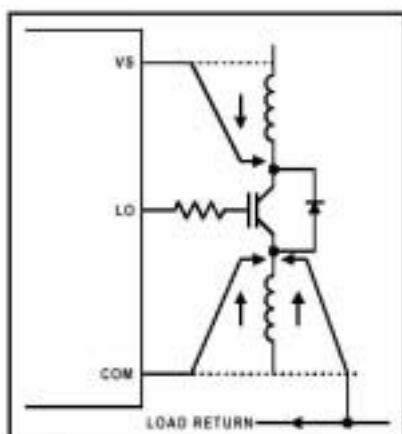


图 6. 旁路杂散电感

### 改善耦合

- 3a、提高自举电容 ( $C_b$ ) 值，至少使用一个低 ESR 电容，减小由于  $V_S$  负过冲而产生的过充电。
- 3b、在  $V_{CC}$  和 COM 间使用第二个低 ESR 电容，这个电容为低端输出缓冲电路和自举电路再充电推供电源，建议该值至少是  $C_b$  的十倍。
- 3c、尽量将去耦电容靠近相应的管脚，如图 7。
- 3d、如果需要在自举二极管中串联电阻，要确保  $V_B$  不会降到 COM 以下，特别是在启动时和极端频率和占空比下。

适当的利用上述推荐方法，可以从根本最小化  $V_S$  负过冲的影响，如果负过冲水平仍然很高，就应考虑减小  $dv/dt$  了。

也许可以用外部吸收电路或增加栅极驱动电阻来折衷效率和开关速率。如果系统不能允许，应适当考虑快速反并联嵌位二极管，HEXFRED 是理想的选择。

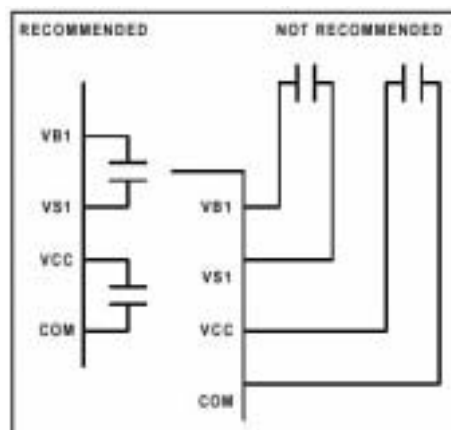


图 7. 耦合电容位置

## 8. 提升 VS 负过冲免疫力。

在最坏条件下，如果主要信号在确定的极限值内，就不再需要采取措施。然而，在噪声非常大的环境中，采用上面措施， $V_S$  负过冲仍然超过，就需要进一步提高驱动 IC 的容错能力。我们推荐两种不同方法来改善负过冲免疫力。

### 方法 A:

在  $V_S$  脚到桥电路中点串联电阻，限制当负过冲时流入  $V_S$  脚的电流。当电阻为  $5\Omega$  或更低时是可以的。

既然自举电容充电经过此电阻，如图 8，如果此电阻值过大，可能在启动时引起直通发生。如果有栅极电阻，栅极电阻应减小，以保证高端和低端栅极电阻相等。

### 方法 B:

另外一个方法是：在 COM 和低端器件源极或发射极加入一个电阻，如图 9，而自举电容充电不经过此电阻，这种方法较灵活，可选择较大的电阻并提供很好的保护。

这个电阻可限制流入 600V 二极管  $D_2$  的电流（图 3），同样，驱动的对称性要求高低端栅极电阻相等，所以低端栅极电阻应适应减小以满足要求。

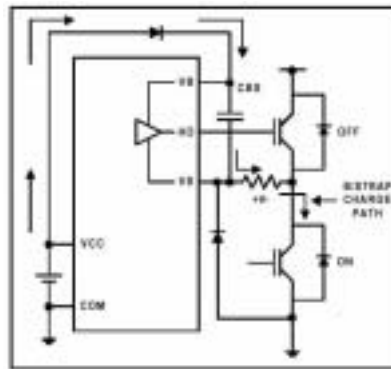


图 8. 方法 A

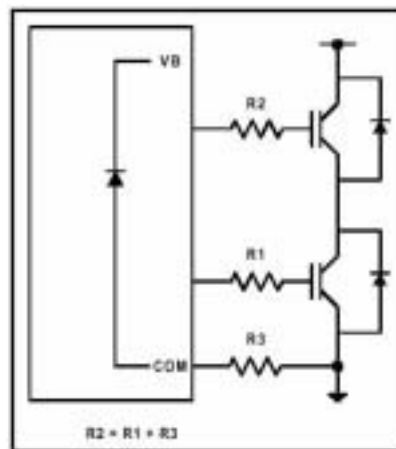


图 9. 方法 B

**注意:**

当使用的驱动 IC 没有分开的逻辑地时，例如有些 IC 的输入和输出共享一个地 COM，上述讨论的两种方法都可以应用，然而应注意并确保输入逻辑在允许电平内。

**9. 附录 1: IR2110 寄生二极管结构**

图 10 是 IR2110 的寄生二极管结构图，这基本体现了绝对最大额定值表。IR2110 有独立逻辑地和输出地，在某些驱动 IC 中，由于管脚的限制，这两个地合并为一个。

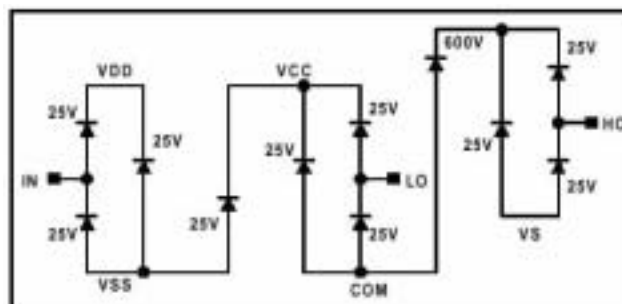


图 10. IR2110 寄生二极管结构图