



简述

PT5622 是一款电子镇流器专用控制芯片，适用于普通开关的调光产品。它采用灯电流负反馈闭环控制，提供可编程预热时间与预热频率，其启动电流小，有精确的振荡频率，应用简单。可提供 DIP16/SOP16 两种封装。

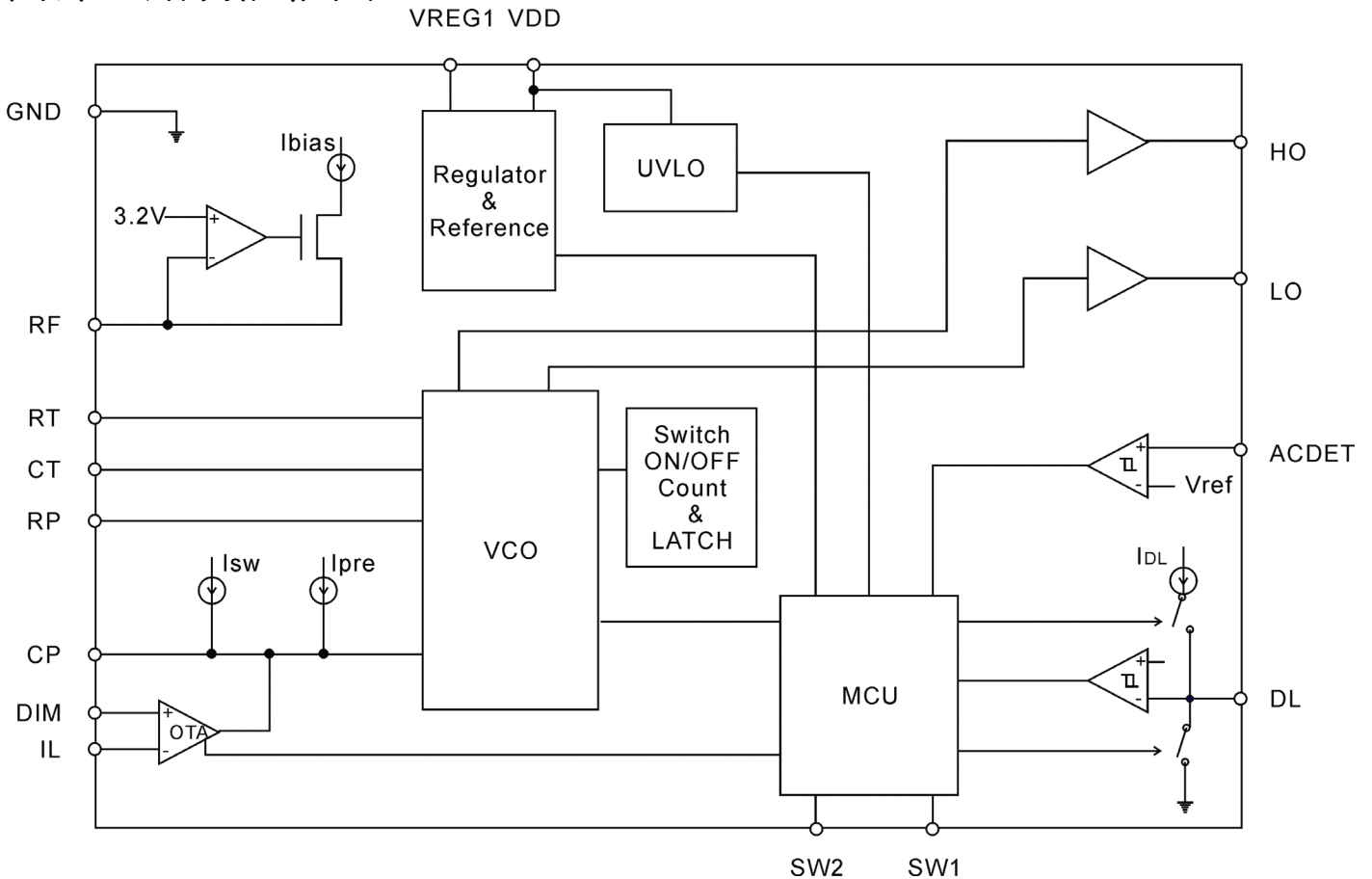
应用范围

- 适合各种型号的荧光灯/CFL 的电子镇流器

特色

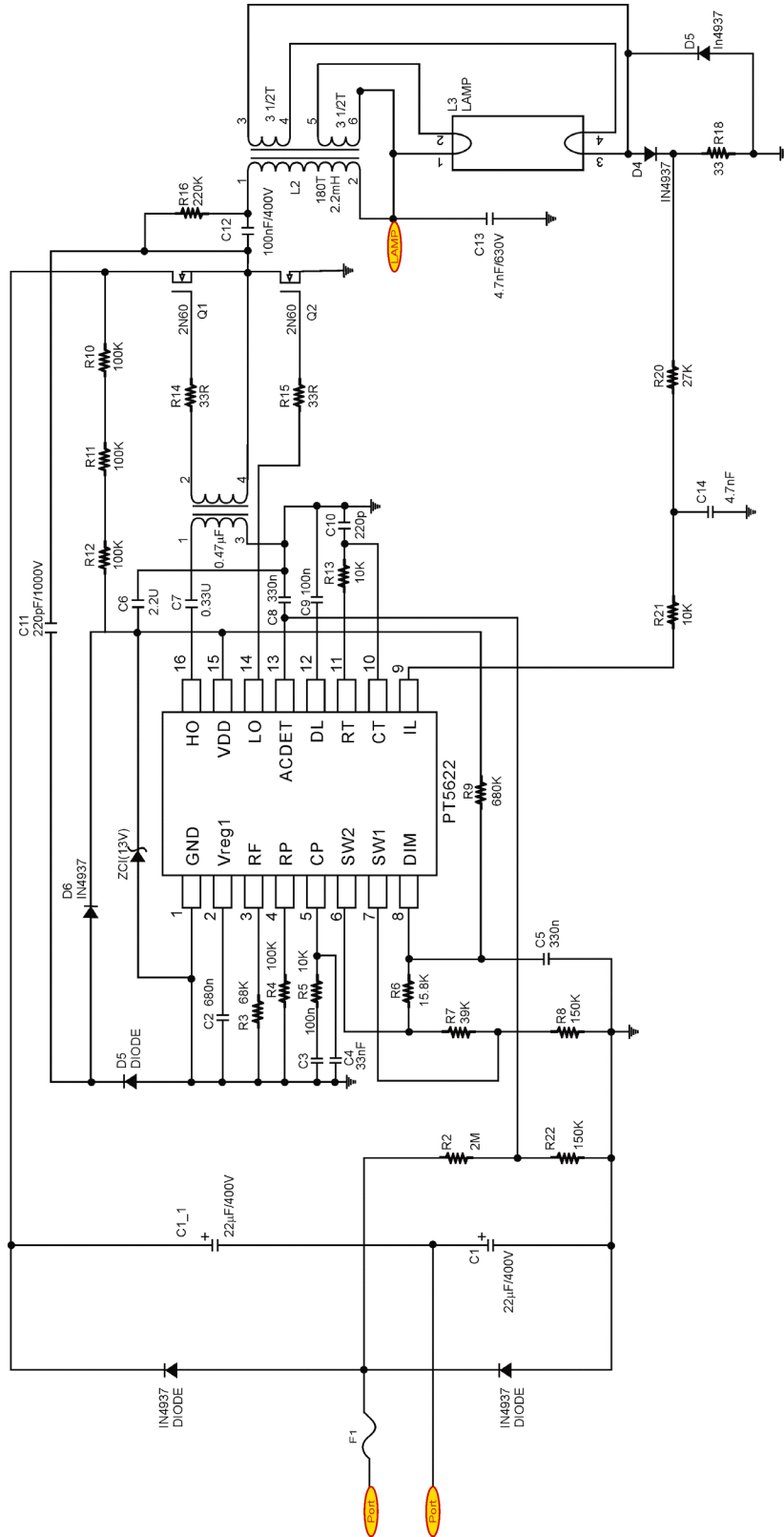
- 普通开关调光电子镇流器专用芯片
- 内部集成 MCU
- 灯电流负反馈控制, 支持低亮度点火
- 可以选择三段或两段、低亮到高亮或高亮到低亮调光方式
- 可编程预热时间
- 可编程预热频率, 扫频点火
- 可编程从开关断开到状态重置延迟时间
- 可编程从开关闭合到进入预热模式的延迟时间
- 固定死区时间
- 提供 DIP16/SOP16 的封装

内部电路功能框图



典型应用

AC:120V, 输出灯功率 15W/7W/3W



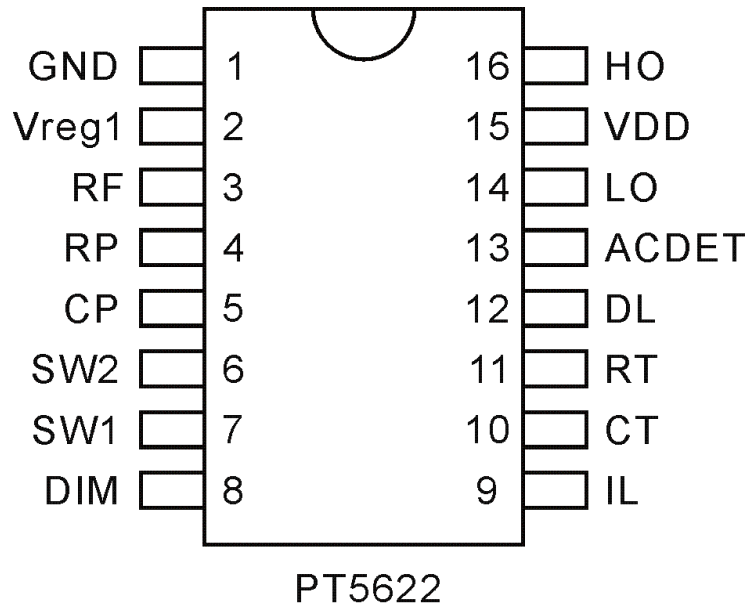
訂購資訊

定購編號	包裝型式	正印
PT5622-D (L)	16 Pins, DIP, 300MIL	PT5622-D
PT5622-S (L)	16 Pins, SOP, 150MIL	PT5622-S

Notes:

1. (L), (C) or (S) = Lead Free.
2. The Lead Free mark is placed in-front of the date code.

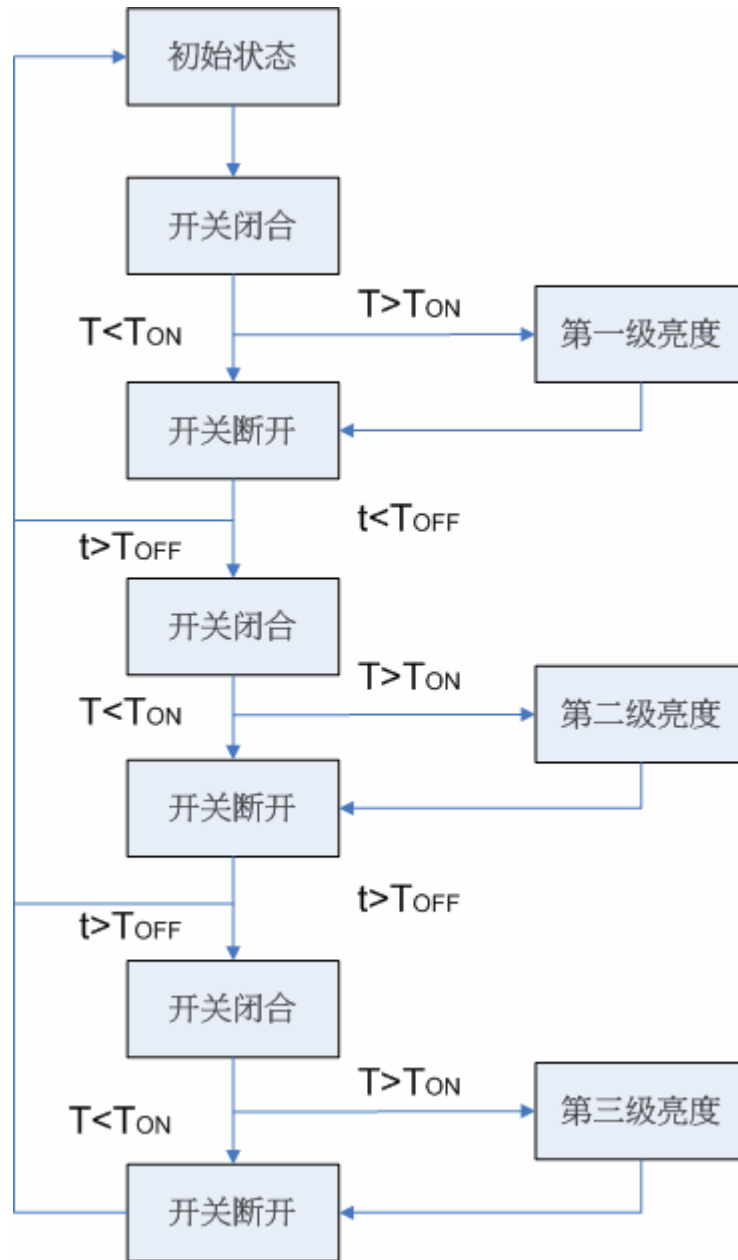
腳位配置圖



引脚说明

引脚名称	说明	引脚序号
GND	芯片的系统地	1
Vreg1	芯片备用电源，AC 断开时作为内部 MCU 的供电电源	2
RF	参考电流设定端。该管脚参考电压恒定为 3.2V，外接电阻生成内部参考电流源，外接电阻典型值为 68K	3
RP	预热频率设定端，此管脚输出 30 μ A 的电流，外接电阻产生一个电压送入 VCO	4
CP	预热时间、扫频点火设定端	5
SW2, SW1	三段调光设定端。不同的 SW2、SW1 状态改变了外部电阻分压器的输出电压，而这个电压被作为调光端 DIM 的输入	6, 7
DIM	调光输入端，接收外部电阻分压器的输出电压	8
IL	灯电流探测端	9
CT	振荡器外接电容，决定振荡器的频率	10
RT	振荡器外接电阻，决定振荡器的频率	11
DL	开关延迟时间设定端，外接电容。当 ACDET 探测到有 AC 输入时，此管脚输出 1 μ A 的电流对外接电容充电。在电容电压达到 3.8V 前，如果 AC 输入没有被切断，则进入预热阶段	12
ACDET	AC 输入探测端，用来探测 AC 输入的开关状态及次数	13
LO	低端功率 MOS 管栅极驱动	14
VDD	芯片的电源端，正常的工作电压为 13V	15
HO	高端功率 MOS 管栅极驱动	16

工作逻辑



调光说明

NO.	开关状态	SW1	SW2	亮度状态
PT5622-001	初始上电	Floating	Floating	最亮
	开关一次	Floating	GND	中间亮度
	开关两次	GND	GND	最暗
	开关三次	Floating	Floating	最亮

表 1: PT5622-001 (从高亮到低亮/三段) SW1 与 SW2 逻辑图

NO.	开关状态	SW1	SW2	亮度状态
PT5622-002	初始上电	Floating	Floating	最亮
	开关一次	GND	GND	最暗
	开关两次	Floating	Floating	最亮

表 2: PT5622-002 (从高亮到低亮/两段) SW1 与 SW2 逻辑图

NO.	开关状态	SW1	SW2	亮度状态
PT5622-003	初始上电	GND	GND	最暗
	开关一次	Floating	GND	中间亮度
	开关两次	Floating	Floating	最亮
	开关三次	GND	GND	最暗

表 3: PT5622-003 (从低亮到高亮/三段) SW1 与 SW2 逻辑图

NO.	开关状态	SW1	SW2	亮度状态
PT5622-004	初始上电	GND	GND	最暗
	开关一次	Floating	Floating	最亮
	开关两次	GND	GND	最暗

表 4: PT5622-004 (从低亮到高亮/两段) SW1 与 SW2 逻辑图

极限值范围

超过给出的极限参数有可能损坏器件或者造成异常工作。所有电压参考系统地。

参数	符号	最小值	最大值	单位
工作温度	Topr	-40	+85	°C
贮存温度	Tstg	-65	+150	°C

电气特性参数

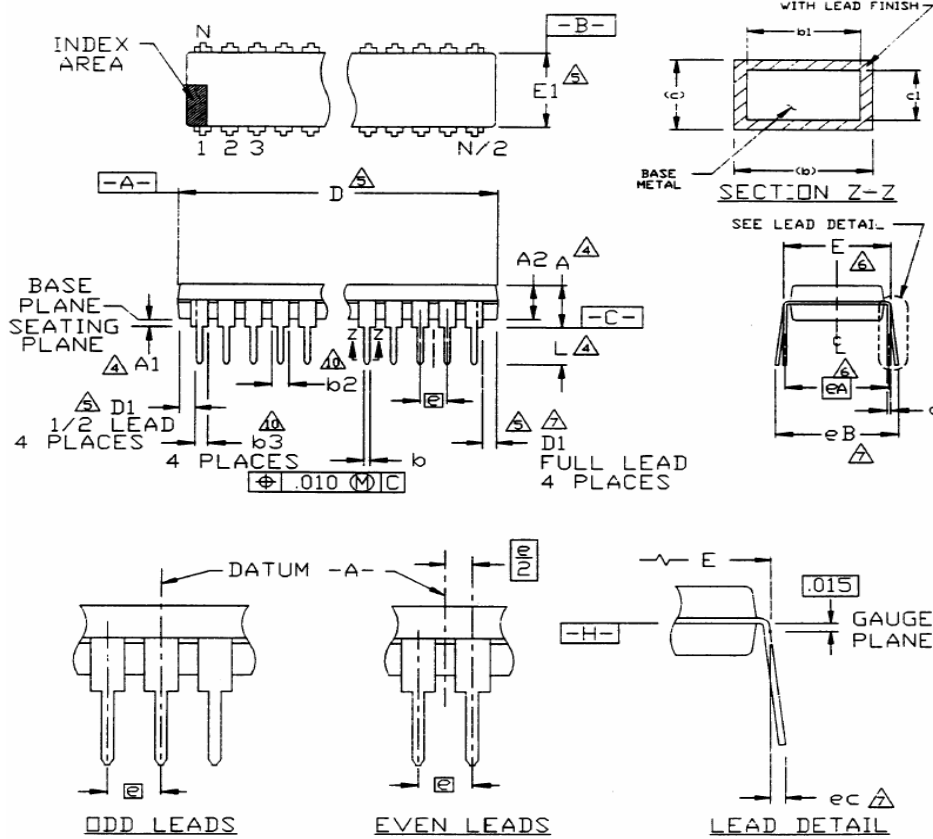
VDD=13V, RF=68K, ROsc=10K, COsc=330P, Tamb=25°C

参数	符号	测试条件	最小值	典型值	最大值	单位
供电特性						
VDD 欠压锁定之开启电压	VDDUV+		10.3	10.8	11.3	V
VDD 欠压锁定之关闭电压	VDDUV-		8.3	8.8	9.3	V
欠压锁定之滞回电压	VUVHYS		-	2	-	V
欠压锁定时静态电流	IQDDUV	VDD=10V	-	250	350	μA
VDD 在最大频率下工作时电流	IDDF	VCP=0V	-	1.0	2	mA
VDD 在最小频率下工作时电流	IDDLF	VCP=5V	-	0.8	1.2	V
VDD 内部箝位电压	VCLAMP		15	16	17	V
备用电源 VREG1 欠压锁定之开启电压	VRG1UV+		-	3.3	-	V
备用电源 VREG1 欠压锁定之关闭电压	VRG1UV-		-	2.7	-	V
参考源						
内部 Bandgap 电压	Vref		-	1.25	-	V
上电至 Vref 正常输出时 VDD 电压	VDD-vref		4.9	5	5.5	V
VREG1 输出电压	Vreg1			5		V
RF 输出电压	VRF	VACDET=5V,		3.2		V
RP 输出电流	IRP	VDL=5V		30		μA
振荡器输入输出特性						
最小振荡频率	Fmin	VCP=5V	32	34	36	KHz
振荡器占空比	D		-	50	-	%
LO 下降沿到 HO 上升沿的延时	DTLO		1.8	2	2.2	μs
HO 下降沿到 LO 上升沿的延时	DTHO		1.8	2	2.2	
预热时 CP 充电电流	ICP_PRE		0.8	1.3	1.8	μA
扫频时 CP 充电电流	ICP_SW		5	6	7	μA
CP 最大工作电压	VCP_MAX		4.9	5	-	V
扫频段 CP 电压	VCP_SW		VRP	-	3.8	V
点火点电压	VCP_run		3.7	3.8	3.9	V
驱动级输出特性						
在 LO 输出“LOW”时, LO 电压	VLO=LOW		-	0	0.1	V
在 HO 输出“LOW”时, HO 电压	VHO=LOW		-	0	0.1	
在 LO 输出“HIGH”时, LO 电压	VLO=HIGH		VDD-0.1	VDD	-	
在 HO 输出“HIGH”时, HO 电压	VHO=HIGH		VDD-0.1	VDD	-	
上升延时	TRISE	CL=1nF	120	150	170	ns
下降延时	TFALL	CL=1nF	60	75	90	
输出级上拉电流	IO+		100	140	-	mA
输出级下拉电流	IO-		190	230	-	mA

参数	符号	测试条件	最小值	典型值	最大值	单位
调光特性						
调光 OTA 跨导	Gm		100	125	140	μA/V
开环增益	Av		80	85	90	dB
在 DIM=2V，IL=0V 时，CP 电流	Icp_source		20	28	35	μA
在 DIM=0V，IL=2V 时，CP 电流	Icp_sink		-20	-28	-35	μA
AC 信号探测及延时						
AC 输入探测比较高电压	Vac+		-	4.0	-	V
AC 输入探测比较低电压	Vac-		-	1.9	-	
AC 探测有效时 VDD 最小电压	VDD-AC		-	7.6	-	V
延时结束时，DL 输入比较电压	VDL	VACDET=5V	-	3.8	-	V
延时结束后 DL 最终电压	VDLF	VACDET=5V	-	VDD	-	V
DL 输出电流	IDL	VDL=2V	-	1	-	μA

包裝資訊

16 PINS, DIP, 300MIL



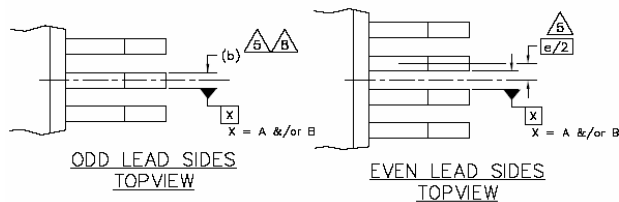
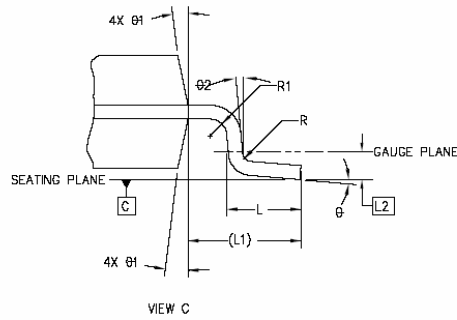
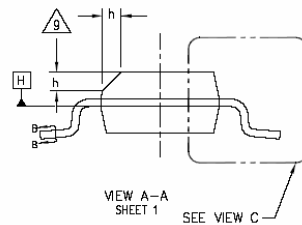
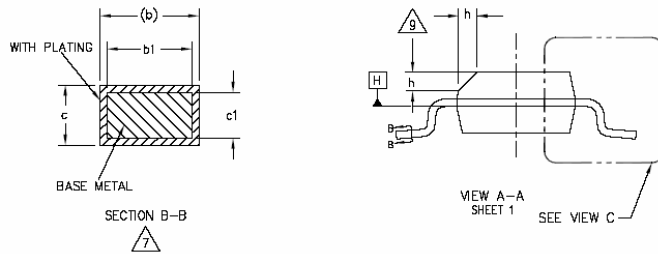
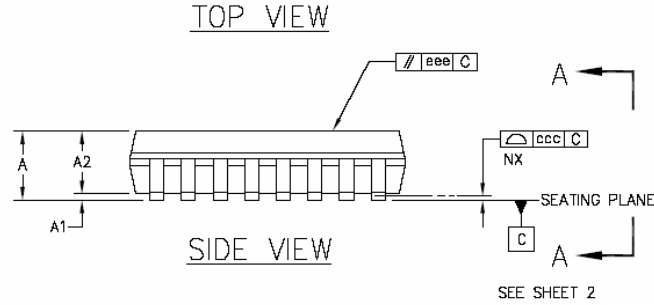
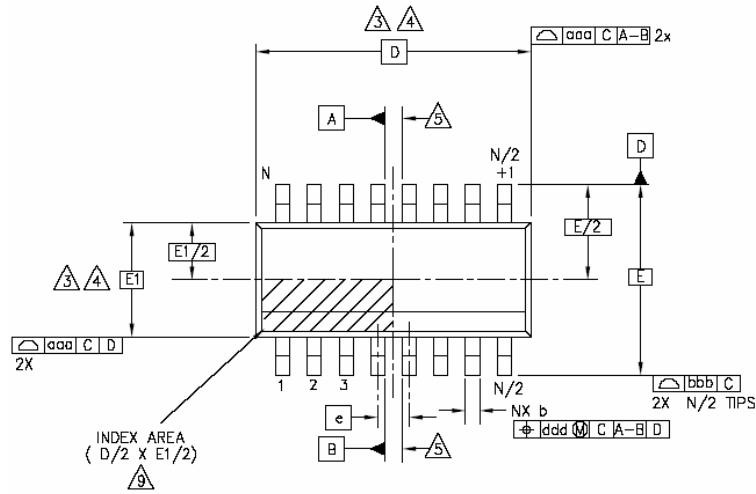
Symbol	Min.	Nom.	Max.
A	-	-	0.210
A1	0.015	-	-
A2	0.115	0.130	0.195
b	0.014	0.018	0.022
b1	0.014	0.018	0.020
b2	0.045	0.060	0.070
b3	0.030	0.039	0.045
c	0.008	0.010	0.014
c1	0.008	0.010	0.011
D	0.780	0.790	0.800
D1	0.005	-	-
E	0.300	0.310	0.325
E1	0.240	0.250	0.280
e	0.100 bsc		
eA	0.300 bsc		
eB	-	-	0.430
eC	0.000	-	0.060
L	0.115	0.130	0.150

Notes:

1. Controlling Dimension: INCHES.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimensions A, A1 and L are measured with the package seated in JEDEC Seating Plane Gauge GS-3.
4. D, D1 and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch.
5. E and eA measured with the leads constrained to be perpendicular to datum -C-.
6. eB and eA are measured at the lead tips with the leads unconstrained.
7. N is the maximum number of terminal positions (N=16).
8. Pointed or rounded lead tips are preferred to ease insertion.
9. b2 and b3 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 (0.25mm).
10. Variation AB is a full lead package.
11. Distance between leads including dambar protrusions to be 0.005 in minimum.
12. Datum plane -H- coincident with the bottom of lead where lead exits body.
13. Refer to JEDEC MS-001 Variation AB.

JEDEC is the registered trademark of JEDEC SOLID STATE TECHNOLOGY ASSOCIATION.

16 PINS, SOP, 150MIL





Symbol	Min.	Typ.	Max.
A	1.35	-	1.75
A1	0.10	-	0.25
A2	1.25	-	1.65
b	0.31	-	0.51
b1	0.28	-	0.48
c	0.17	-	0.25
c1	0.17	-	0.23
D	9.90 BSC.		
E	6.00 BSC.		
E1	3.90 BSC.		
e	1.27 BSC.		
L	0.40	-	1.27
L1	1.04 REF.		
L2	0.25 BSC.		
R	0.07	-	-
R1	0.07	-	-
h	0.25	-	0.50
θ	0°	-	8°
$\theta 1$	5°	-	15°
$\theta 2$	0°	-	-

Notes:

1. Dimensioning and tolerancing per ANSI Y 14.5M-1994
 2. Controlling Dimension: MILLIMETERS.
 3. Dimension D does not include mold flash protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15 mm (0.006 in) per end. Dimension E1 does not include interlead flash or protrusion. Interlead flash or protrusion shall not exceed 0.25mm per side. D and E1 dimensions are determined at datum H.
 4. The package top may be smaller than the package bottom. Dimensions D and E1 are determined at the outermost extremes of the plastic body exclusive of mold flash, tie bar burrs, gate burrs and interlead flash, but including any mismatch between the top and bottom of the plastic body.
 5. Datums A & B to be determined at datum H.
 6. N is the number of terminal positions. (N=16)
 7. The dimensions apply to the flat section of the lead between 0.10 to 0.25mm from the lead tip.
 8. Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.10mm total in excess of the "b" dimension at maximum material condition. The dambar cannot be located on the lower radius of the foot.
 9. This chamfer feature is optional. If it is not present, then a pin 1 identifier must be located within the index area indicated.
 10. Refer to JEDEC MS-012, Variation AC.
- JEDEC is the registered trademark of JEDEC SOLID STATE TECHNOLOGY ASSOCIATION.

IMPORTANT NOTICE

Princeton Technology Corporation (PTC) reserves the right to make corrections, modifications, enhancements, improvements, and other changes to its products and to discontinue any product without notice at any time.

PTC cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a PTC product. No circuit patent licenses are implied.

Princeton Technology Corp.
2F, 233-1, Baociao Road,
Sindian, Taipei 23145, Taiwan
Tel: 886-2-66296288
Fax: 886-2-29174598
<http://www.princeton.com.tw>