

兼有可調性的同步整流控制及 ZVS 全橋式電流模式 PWM 控制器

ISL6753是高性能，少引腳的零電壓 (ZVS) 全橋式脈沖寬度 (PWM) 控制器。與Intersil的ISL6551相似，通過上層開關啟動于固定的50%占空比，下層開關調整脈沖寬度于后沿，它能實現ZVS運行。與熟悉的相位位移控制方法(Phase-Shifted) 比較，這個方法用較少數目引腳的包裝，相應簡單地提供同等的效率性能以及改善的過流保護和輕載性能。

這個先進的BiCMOS設計不但兼容了低運行電流，可調振蕩頻率高達2MHz，可調軟啟動，內部過溫保護，精確的死區時間控制以及共振延遲控制，而且相當短的傳播延遲。另外，當跳脈沖可能發生的情況下，多相脈沖抑制能在低工作周期時保證相應的輸出脈沖。

定購資料

零件號碼	溫度範圍(°C)	包裝	包裝圖號 #
ISL6753AAZA (Note)	-40 to 105	16 Ld QSOP (Pb-free)	M16.15A

Add -T suffix to part number for tape and reel packaging.

NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

主要特點

- ZVS 运行可調共振延遲
- 電流/電壓模式控制
- 3%限流臨界
- 175µA 启动電流
- 輸入電源欠壓切斷保護
- 可調死區時間控制
- 可調軟启动
- 可調振蕩頻率高達 2MHz
- 誤差放大器的參考電壓在輸入，輸出和溫度變化下少錯誤容差
- 5MHz GBWP 誤差信號放大器
- 可調周期性峰值限流電流
- 快電流傳感延遲
- 70ns 上升沿消隱
- 多脈沖抑制
- 緩沖振蕩鋸齒輸出
- 內部過溫保護
- 不含鉛 以及 ELV, WEEE, and RoHS Compliant

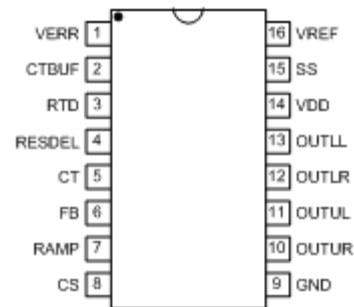
應用

- ZVS 全橋轉換器
- 電信和信息電源
- 無線基站電源
- 檔案服務器電源
- 工業動力系統

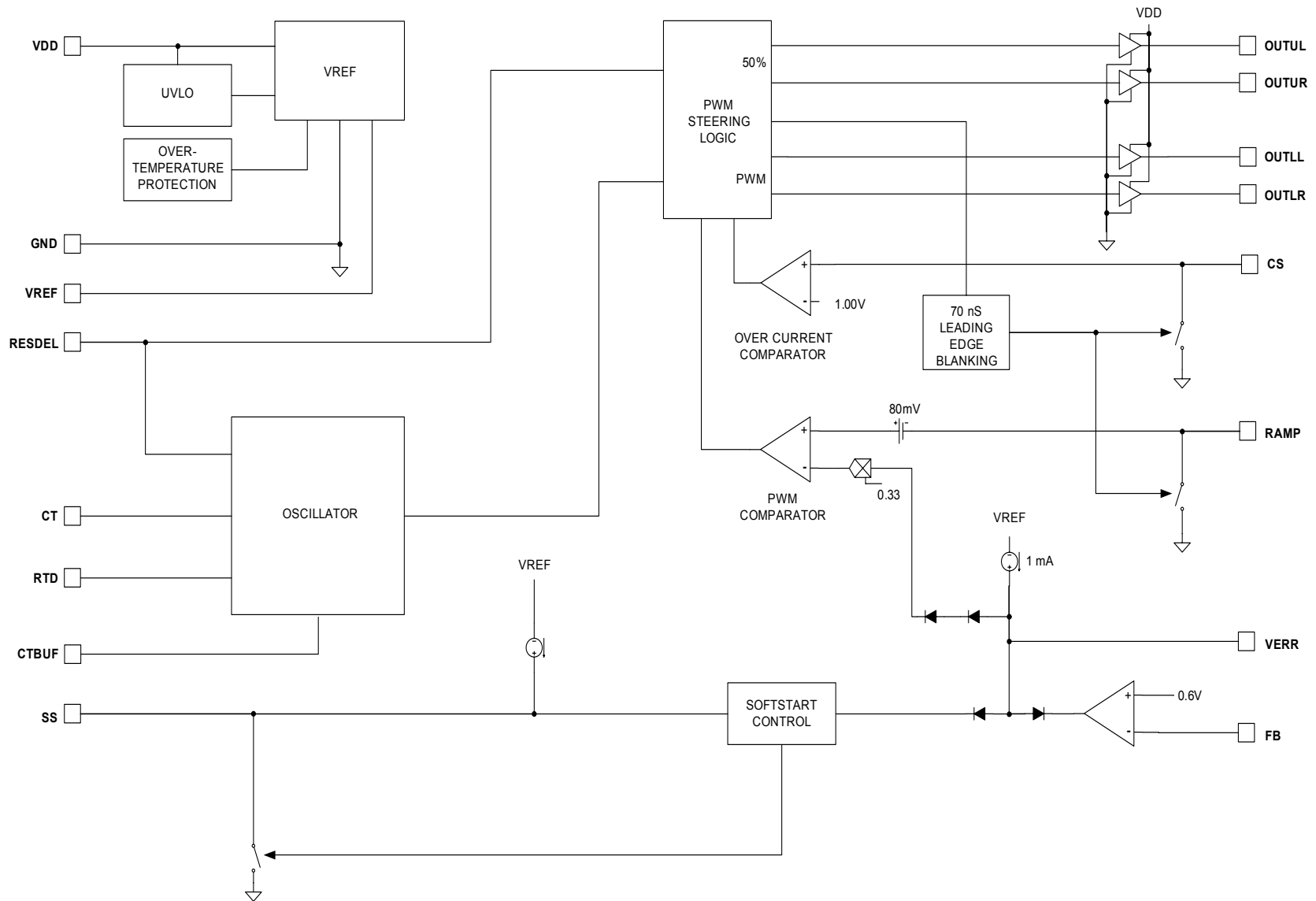
插腳引線

ISL6753 (QSOP)

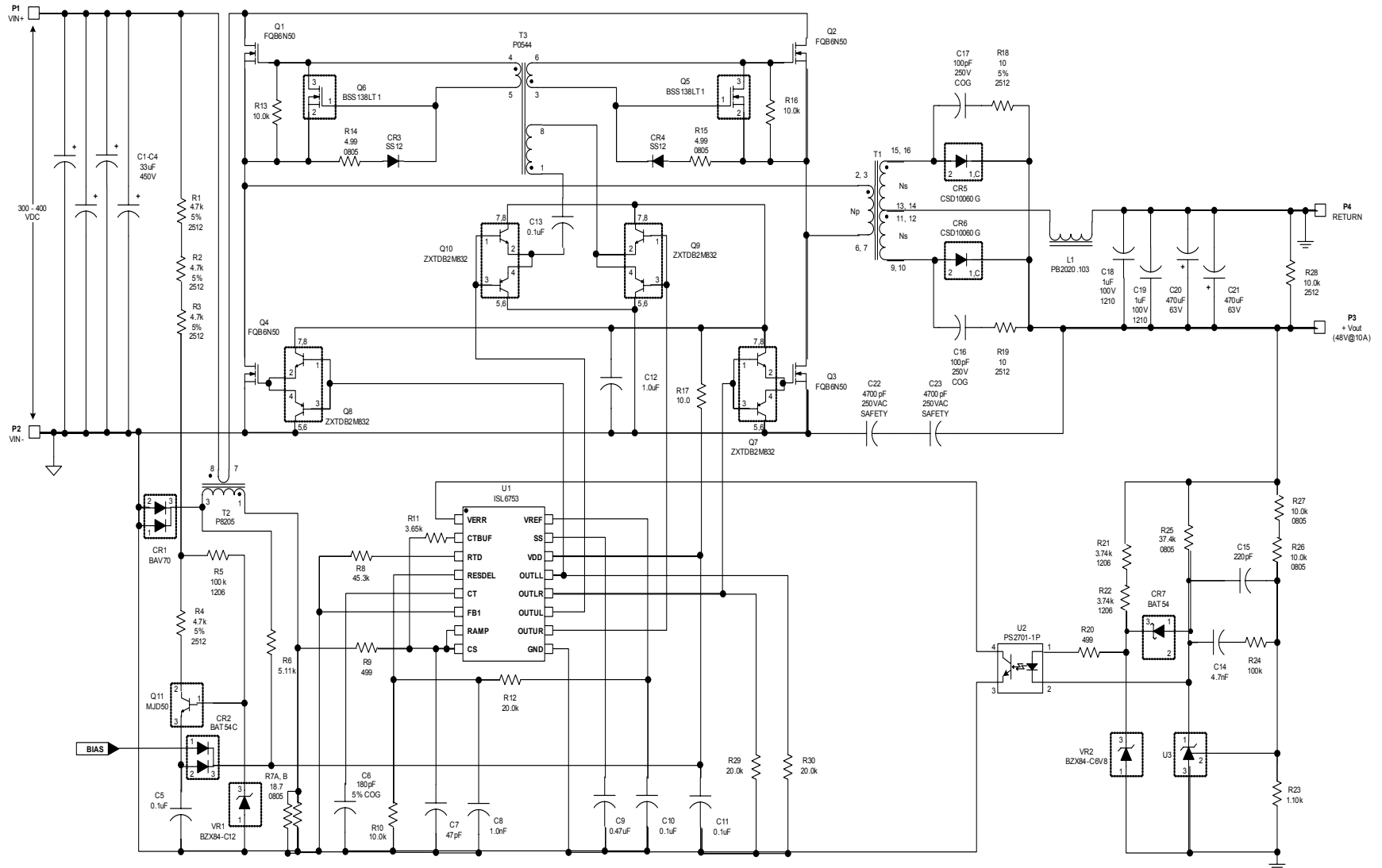
頂視圖



内部电路结构



典型應用電路 – 高壓輸入原邊控制 ZVS 全橋轉換器



額定値

Supply Voltage, VDD -----GND - 0.3V to +20.0V
 OUTxxx -----GND - 0.3V to VDD
 Signal Pins-----GND - 0.3V to V_{REF} +0.3V
 VREF -----GND - 0.3V to 6.0V
 Peak GATE Current-----0.1A
 ESD Classification
 Human Body Model (Per MIL-STD-883 Method 3015.7)-----3000V
 Charged Device Model (Per EOS/ESD DS5.3, 4/14/93)-----1000V

熱性能の資料

Thermal Resistance Junction to Ambient (Typical) θ_{JA} (°C/W)
 16 Lead QSOP (Note 1)-----105
 Maximum Junction Temperature -----55°C to 150°C
 Maximum Storage Temperature Range-----65°C to 150°C
 Maximum Lead Temperature (Soldering 10s)-----300°C
 (QSOP - Lead Tips Only)

運行條件

Supply Voltage Range (Typical)-----9V-16VDC
 Temperature Range
 ISL6753Axx-----40°C to 105°C

CAUTION: Stress above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

Notes:

- θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.
- All voltages are with respect to GND.

電気規格		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < V _{DD} < 20V, RTD = 10.0k Ω , CT = 470pF, T _A = -40°C to 105°C (Note 3), Typical values are at T _A = 25°C.					
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE					
Supply Voltage		-	-	20	V
Start-Up Current, I _{DD}	V _{DD} = 5.0V	-	175	400	μ A
Operating Current, I _{DD}	R _{LOAD} , C _{OUT} = 0	-	11.0	15.5	mA
UVLO START Threshold		8.00	8.75	9.00	V
UVLO STOP Threshold		6.50	7.00	7.50	V
Hysteresis		-	1.75	-	V
REFERENCE VOLTAGE					
Overall Accuracy	I _{VREF} = 0- -10mA	4.850	5.000	5.150	V
Long Term Stability	T _A = 125°C, 1000 hours (Note 4)	-	3	-	mV
Operational Current (source)		-10	-	-	mA
Operational Current (sink)		5	-	-	mA
Current Limit	VREF = 4.85V	-15	-	-100	mA
CURRENT SENSE					
Current Limit Threshold	VERR = VREF	0.97	1.00	1.03	V
CS to OUT Delay	Excl. LEB (Note 4)	-	35	50	ns
Leading Edge Blanking (LEB) Duration	(Note 4)	50	70	100	ns
CS to OUT Delay + LEB	T _A = 25°C	-	-	130	ns
CS Sink Current Device Impedance	V _{CS} = 1.1V	-	-	20	Ω
Input Bias Current	V _{CS} = 0.3V	-1.0	-	1.0	μ A

Electrical Specifications

电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

9V < V_{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A = 25°C. (continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
RAMP					
RAMP Sink Current Device Impedance	V _{RAMP} = 1.1V	-	-	20	Ω
RAMP to PWM Comparator Offset	T _A = 25°C	65	80	95	mV
Bias Current	V _{RAMP} = 0.3V	-5.0	-	-2.0	μA
Clamp Voltage	(Note 4)	6.5	-	8.0	V
PULSE WIDTH MODULATOR					
Minimum Duty Cycle	VERR < 0.6V	-	-	0	%
Maximum Duty Cycle (per half-cycle)	VERR = 4.20V, V _{RAMP} = 0V, V _{CS} = 0V (Note 5)	-	94	-	%
	RTD = 2.00kΩ, CT = 220pF	-	97	-	%
	RTD = 2.00kΩ, CT = 470pF	-	99	-	%
Zero Duty Cycle VERR Voltage		0.85	-	1.20	V
VERR to PWM Comparator Input Offset	T _A = 25°C	0.7	0.8	0.9	V
VERR to PWM Comparator Input Gain		0.31	0.33	0.35	V/V
Common Mode (CM) Input Range	(Note 4)	0	-	V _{SS}	V
ERROR AMPLIFIER					
Input Common Mode (CM) Range	(Note 4)	0	-	VREF	V
GBWP	(Note 4)	5	-	-	MHz
VERR VOL	I _{LOAD} = 2mA	-	-	0.4	V
VERR VOH	I _{LOAD} = 2mA	4.20	-	-	V
VERR Pull-Up Current Source	VERR = 2.5V	0.8	1.0	1.3	mA
EA Reference	T _A = 25°C	0.594	0.600	0.606	V
EA Reference + EA Input Offset Voltage		0.590	0.600	0.612	V
OSCILLATOR					
Frequency Accuracy, Overall	(Note 4)	165	183	201	KHz
		-10	-	10	%
Frequency Variation with VDD	T _A = 25°C, (F _{20V} - F _{10V})/F _{10V}	-	0.3	1.7	%
Temperature Stability	VDD = 10V, F _{-40°C} - F _{0°C} /F _{0°C}	-	4.5	-	%
	F _{0°C} - F _{105°C} /F _{25°C} (Note 4)	-	1.5	-	%
Charge Current	T _A = 25°C	195	200	205	μA
Discharge Current Gain		19	20	23	μA/μA
CT Valley Voltage	Static Threshold	0.75	0.80	0.88	V
CT Peak Voltage	Static Threshold	2.75	2.80	2.88	V
CT Pk-Pk Voltage	Static Value	1.92	2.00	2.05	V
RTD Voltage		1.97	2.00	2.03	V
RESDEL Voltage Range		0	-	2.00	V
CTBUF Gain (V _{CTBUFp-p} /V _{CTp-p})	V _{CT} = 0.8V, 2.6V	1.95	2.0	2.05	V/V

ISL6753

Electrical Specifications

电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

9V < V_{DD} < 20V, RTD = 10.0kΩ, CT = 470pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A = 25°C.

CTBUF Offset from GND	V _{CT} = 0.8V	0.34	0.40	0.44	V
CTBUF VOH	ΔV(I _{LOAD} = 0mA, I _{LOAD} = -2mA), V _{CT} = 2.6V	-	-	0.10	V
CTBUF VOL	ΔV(I _{LOAD} = 2mA, I _{LOAD} = 0mA), V _{CT} = 0.8V	-	-	0.10	V
SOFTSTART					
Charging Current	SS = 2V	-60	-70	-80	μA
SS Clamp Voltage		4.410	4.500	4.590	V
SS Discharge Current	SS = 2V	10	-	-	mA
Reset Threshold Voltage	T _A = 25°C	0.3	0.27	0.33	V
OUTPUT					
High Level Output Voltage (VOH)	I _{OUT} = -10mA, VDD - VOH	-	0.5	1.0	V
Low Level Output Voltage (VOL)	I _{OUT} = 10mA, VOL - GND	-	0.5	1.0	V
Rise Time	C _{OUT} = 220pF, VDD = 15V (Note 4)	-	110	200	ns
Fall Time	C _{OUT} = 220pF, VDD = 15V (Note 4)	-	90	150	ns
UVLO Output Voltage Clamp	VDD = 7V, I _{LOAD} = 1mA (Note 6)	-	-	1.25	V
THERMAL PROTECTION					
Thermal Shutdown	(Note 4)	130	140	150	°C
Thermal Shutdown, Clear	(Note 4)	115	125	135	°C
Hysteresis, Internal Protection	(Note 4)	-	15	-	°C

NOTES:

- Specifications at -40°C and 105°C are guaranteed by 25 °C test with margin limits.
- Guaranteed by design, not 100% tested in production.
- This is the maximum duty cycle achievable using the specified values of RTD and CT. Larger or smaller maximum duty cycles may be obtained using other values for these components. See Equation 1-5.
- Adjust VDD below the UVLO stop threshold prior to setting at 7V.

典型性能曲線圖

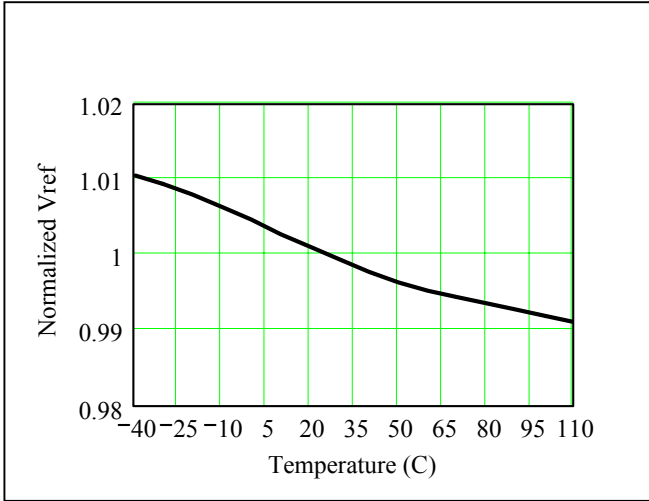


FIGURE 1 REFERENCE VOLTAGE vs. TEMPERATURE

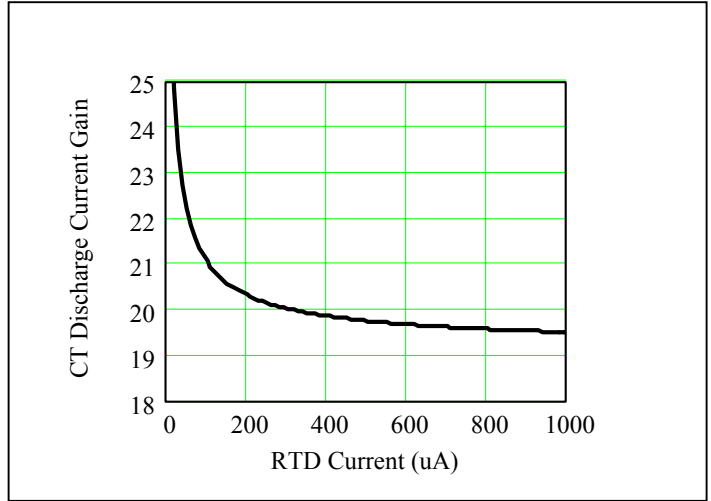


FIGURE 2 CT DISCHARGE CURRENT GAIN vs. RTD CURRENT

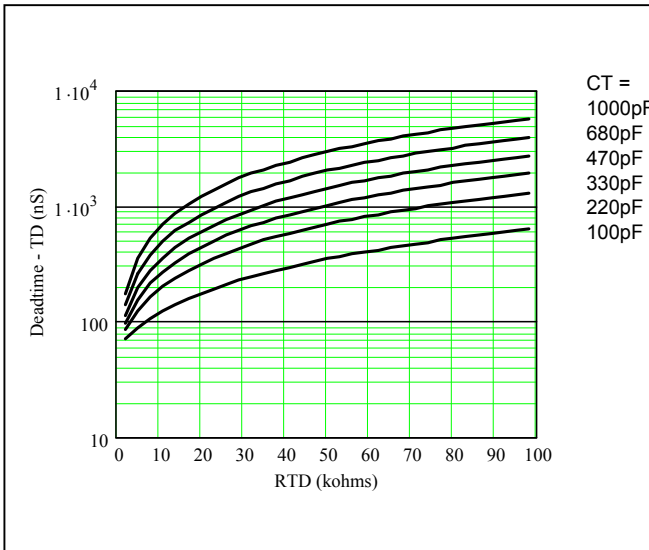


FIGURE 3 DEADTIME (DT) vs. CAPACITANCE

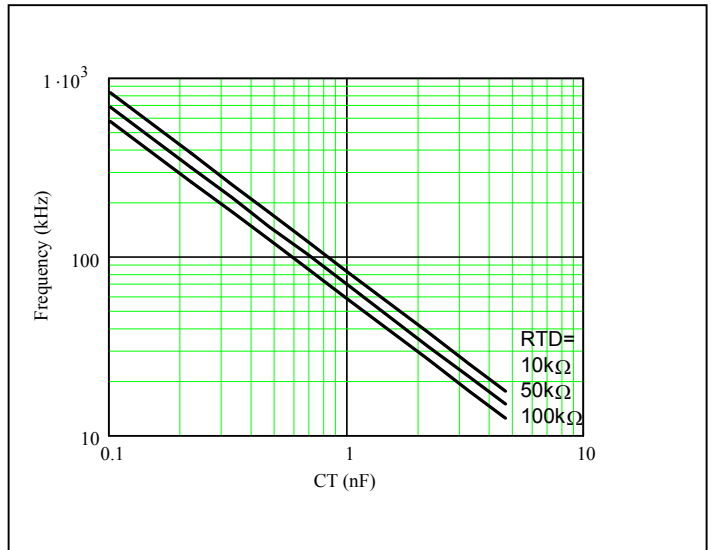


FIGURE 4 DEADTIME (DT) vs. FREQUENCY

各管腳簡介

VDD

VDD是控制器的電源輸入端。要优化抗扰度，用一個陶瓷電容器盡可能靠近并焊接

在VDD和GND引腳。

監測VDD是用來做輸入電源欠壓保護 (UVLO)。起動和切斷的臨限會密切跟隨以保證固定的磁滯。

GND

器件上所有功能和電源地都以這個引腳為基準。由于高峯值電流以及高頻運行，低阻抗布局是很有必要的。高度推荐使用接地面以及短線跡。

VREF

這是5.00V的基準電壓輸出端，且有3%的容差遍及輸入、負載和溫度範圍。可連接0.1 μ F至2.2 μ F的低ESR電容至GND以作濾波這輸出所需。

CT

振蕩器的定時電容可以焊接在這個引腳和GND之間。這個電容是用200 μ A的內部電流源來充電，其放電是通過用戶可以調整的RTD設置的電流源。

RTD

這是振蕩器的定時電容的放電電流制引腳。跨接在這引腳和GND的電阻的電流決定CT放電電流的大小。CT放電電流通常是電阻電流的20倍。這個PWM的死區時間是由定時電容的放電期間來決定的。在RTD引腳的標稱電壓是2.00V。

CS

這是過流比較器的輸入端。過流比較器的標稱臨限值設置在1.00V。PWM輸出的任一端被終止會導致CS引腳與GND引腳短路。

取決于電流取樣的內部阻抗，由于內部時鐘與外部電源開關之間的延遲，可以在輸入端串聯一個電阻。這個延遲有時會導致CS引腳在電源開關器件關斷之前被放電。

OUTUL and OUTUR

這兩個輸出端是用來控制上端FETs在固定的50%工作周期以交替式運行。OUTUL控制左上FET，OUTUR 控制右上FET。左邊和右邊的指示符可以交換只要下端FET輸出端，OUTLL和OUTLR也同時交換。

RESDEL

這個引腳是用來設置上端FETs觸發與任何一個下端FETs啟動的共振延遲周期。RESDEL引腳上的電壓將決定上端FETs何

時開關相對於下端FETs的開關。把控制端電壓從0V改變到2V會使得共振延遲時間從0%提高到100%的死區時間。把控制端電壓除以2會代表死區時間等于共振延遲。實際上最大共振延遲必須設置成小于2.0V以保證即使在最大占空比時在上端FETs開關之前下端FETs處於關斷狀態。

OUTLL and OUTLR

這兩個輸出端是用來控制下端FETs，其脈決寬度被調制并以交替式運行。OUTLL控制左下FET，OUTLR 控制右下FET。左邊和右邊的指示符可以交換只要上端FET輸出端，OUTUL和OUTUR也同時交換。

VERR

這個輸入端為PWM 比較器的倒置輸入端提供控制電壓。對於閉環電壓調節，外部誤差信號放大器的輸出電壓可以直接加在這個輸入端，或者是通過光耦合器。VERR具有額定值為1mA上拉電流源。

FB

這是誤差信號放大器的同相輸入端。

SS

在這個引腳與GND之間連接一個軟啟動定時電容能夠控制軟啟動的時間。這個電容值能夠決定在啟動時占空比上升的速度。

CTBUF

CTBUF是CT引腳上的鋸齒振蕩器型的緩沖輸出以及能夠產生2mA電流。這個引腳的對地偏移電壓是0.4V并且谷峰標稱增益為2。這可以用來做斜率補償。

功能概述

主要特點

ISL6753最适用于采用了常規輸出整流器的低成本ZVS全橋型變換器。若需要同步整流器，可應用ISL6752或ISL6751。

ISL6753有許多保護和控制的性能，需要极少外部元件。其性能包括：适用于電流模式和電壓模式控制，非常准确的過流保護，過熱保護，适用于斜率補償的鋸齒振動器緩沖輸出，電壓控制的諧振延遲，和精確死區時間控制的可調整頻率。

振蕩器

ISL6753 通過改變電阻和電容可調振蕩器頻率高達2MHz。

開關周期是定時電容充電和放電時間之和。充電時間由CT和內部200 μ A電流源決定，而放電時間取決于RTD和CT。

$$T_C \approx 11.5 \cdot 10^3 \cdot CT \quad S$$

EQ. 1

$$T_D \approx (0.06 \cdot RTD \cdot CT) + 50 \cdot 10^{-9} \quad S \quad \text{EQ. 2}$$

$$T_{SW} = T_C + T_D = \frac{1}{F_{SW}} \quad S \quad \text{EQ. 3}$$

式中: T_C 和 T_D 分別是充電和放電時間, T_{SW} 是振蕩器周期, F_{SW} 是振蕩器頻率。

一個輸出的開關周期等于二個振蕩器周期。由于每個傳輸延遲約為 10ns, 因此實際時間比所計算的時間稍微長。這個延遲直接增加到開關時間, 且引起定時電容峰值和谷電壓門限過沖, 因而增大了定時電容峰-峰的電壓。另外, 如果使用非常低的充電和放電電流, 時間誤差將會因 CT 引腳處輸入阻抗而增加。

最大占空比 D 和死區時間占空比 (DT) 可用以下公式計算:

$$D = \frac{T_C}{T_{SW}} \quad \text{EQ. 4}$$

$$DT = 1 - D \quad \text{EQ. 5}$$

軟啟動運作

ISL6753 使用外部電容和內部電流電源來作軟啟動。軟啟動降低啟動期間的電壓和浪涌電流。

啟動時, 軟啟動電路限制誤差電壓(VERR)等于軟啟動電壓。輸出脈寬隨著軟啟動電容電壓增加而增加, 這使軟啟動期間的占空比可從零增加到調整脈寬。當軟啟動電壓超過誤差電壓, 軟啟動完成。軟啟動開始于起動或因故障而復位時。軟啟動充電時間可用下式計算:

$$t = 64.3 \cdot C \quad \text{mS} \quad \text{EQ. 6}$$

式中: t 是充電時間, 其單位為 mS, C 是軟啟動電容, 其單位為 μF 。

軟啟動電壓鉗位于 4.50V, $\pm 2\%$ 容差。它适用于電流需保持低于 70 μA 充電電流的軟啟動。

用 SS 引腳為輸入失效端來實現輸出截止。把 SS 拉低于 0.25V 使所有輸出降低。用一外接收/漏極配置聯接失效信號于 SS 引腳。

門極驅動器

ISL6753 的輸出可灌出和吸入 10mA 電流 (在額定的 V_{OH} , V_{OL}), 應連接于高電流的 MOSFET 門極驅動器或分立式的雙極推拉驅動器。典型的輸出電阻是 50 Ω 。

過流運作

當反饋電流信號超過 1.0V, 周期式峰值電流控制可令脈沖式占空比減少。當峰值電流超過門限值, 現行的輸出脈沖則立即終止, 使負載電流超過門限值時能適當地控制并減低輸出電

壓。在過流情況下, ISL6753 仍可繼續運作而不會關斷。如果電壓模式控制用于橋型拓撲結構, 應注意峰值電流限制會導致不穩定操作。電壓模式橋型拓撲結構的 DC 鎖電容會不均衡, 如變壓器磁芯的流量。推薦用外部元件來鎖上阻止過流關斷。

從 CS 超出電流門限值到輸出脈沖終止的傳播延遲會因上升沿封鎖(LEB)的間隔而增加。有效延遲是兩個延遲之和, 其典型值為 105ns。

電壓前饋操作

電壓前饋是用以調整輸出電壓因輸入電壓的變化但不干預控制環的一種技巧。電壓前饋常用于電壓模式控制環, 但是不需用于峰值電流模式控制環。

電壓前饋通過調整鋸齒斜坡與輸入電壓的直接比例來實現。舉例如圖 5。

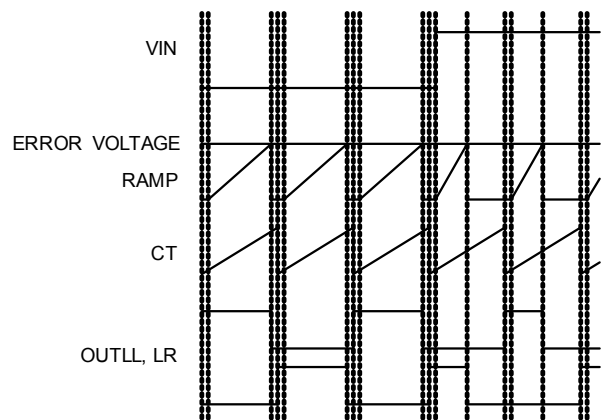


Figure 5 VOLTAGE FEED FORWARD BEHAVIOR

輸入電壓前饋可用 RAMP 輸入來實現。在輸入電壓和接地之間連接一 RC 網絡, 如圖 6 所示, 會產生一個其充電率隨源電壓的振幅而變化的電壓斜坡。在輸出脈沖的終止時把 RAMP 釋放到接地以產生反復的鋸齒波。RAMP 鋸齒波與 VERR 電壓的比確定占空比。

RC 元件的選擇取決于所需輸入電壓範圍和振蕩器的頻率。選用適合的 RC 元件使在最低輸入電壓和半周期內的斜坡幅度達到 1.0V。

斜坡電容的充電時間為

$$t = -R3 \cdot C7 \cdot \ln\left(1 - \frac{V_{RAMP(PEAK)}}{V_{IN(MIN)}}\right) \quad S \quad \text{EQ. 7}$$

要達到最佳效果, 電容的最大值應限制在 10nF。通過電阻的最大 DC 電流應限制為 2mA。例如, 若振蕩器頻率是 400kHz, 最小輸入電壓是 300V, 選擇 4.7nF 的斜坡電容, 整理公式 7 可求得電阻值。

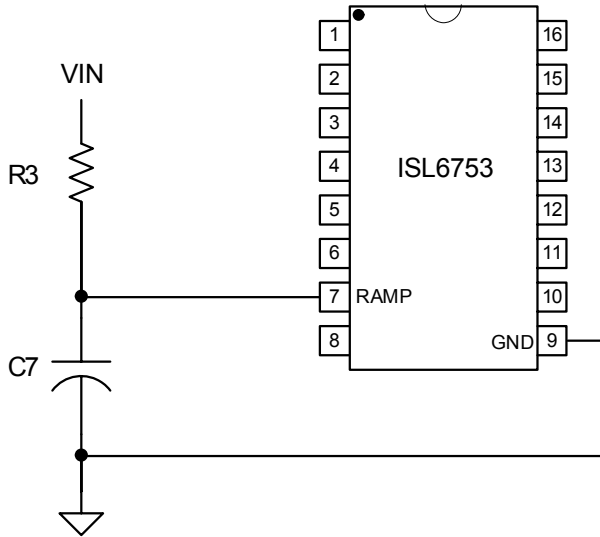


Figure 6 VOLTAGE FEED FORWARD CONTROL

$$R3 = \frac{-t}{C7 \cdot \ln\left(1 - \frac{V_{RAMP(PEAK)}}{V_{IN(MIN)}}\right)} = \frac{-2.5 \cdot 10^{-6}}{4.7 \cdot 10^{-9} \cdot \ln\left(1 - \frac{1}{300}\right)}$$

$$= 159 \quad k\Omega$$

EQ. 8

式中 t 等于振荡器时间减去死区时间。如果死区时间少于振荡器时间，可忽略此项计算。

如果不需要前馈操作，RC 网络可连接于 VREF，而不是输入电压。或者把 CTBUF 的电阻分割器用作锯齿信号。恰当的 PWM 操作需要在 RAMP 上产生一锯齿波。

斜率补偿

峰值电流模式控制需要用斜率补偿来改善噪音干扰，在低负载时可阻止电流环的不稳定，特别是占空比高于 50% 时。可通过加接一外部斜坡到反馈电流信号或在反馈电压误差信号减接一外部斜坡来实现斜率补偿。加接一外部斜坡到反馈电流信号是较为常用的方法。

小信号电流模式的模式 [1] 显示了自然抽样调制器的增益。Fm，无斜率补偿，是

$$F_m = \frac{1}{S_n T_{sw}} \quad \text{EQ. 9}$$

式中：Sn 是锯齿信号的斜率。Tsw 是半周时间。若加接一外部斜坡，调制器的增益则为

$$F_m = \frac{1}{(S_n + S_e) T_{sw}} = \frac{1}{m_c S_n T_{sw}} \quad \text{EQ. 10}$$

式中：Se 是外部斜坡的斜率以及

$$m_c = 1 + \frac{S_e}{S_n} \quad \text{EQ. 11}$$

50% 的振荡器频率的雙极阻尼系数决定外部斜坡的基准额。若 Q 系数设置为 1，雙极会临界阻尼；Q > 1 时，过阻尼；Q < 1 则会欠阻尼。欠阻尼会引起电流环不稳定。

$$Q = \frac{1}{\pi(m_c(1-D) - 0.5)} \quad \text{EQ. 12}$$

式中：D 是半周期时间的百分比。设定 Q = 1，求得 Se 为

$$S_e = S_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 13}$$

Sn 和 Se 分别是电流斜坡和外部斜坡导通时的斜率，与导通时间 (TON) 之积是导通时间 (TON) 内所产生的电压变化。

$$V_e = V_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 14}$$

式中：Vn 是导通时间内反馈电流信号的变化，Ve 是加外部斜坡所增加的电压。用输入电压，电流传感器元件和输出电压可求出 Vn，代入等式 12，可求出 Ve。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{CS}}{N_{CT} \cdot L_o} \cdot \frac{N_s}{N_p} \left(\frac{1}{\pi} + D - 0.5 \right) \quad V \quad \text{EQ. 15}$$

式中：RCS 是电流感应电阻，NCT 是电流变压器线圈比例，Lo 是输出电感，Vo 是输出电压，而 Ns 和 Np 分别是副边和原边线圈。

电感电流通过隔离变压器和电流感应变压器的反射而在感应电阻上产生的反馈电流信号为

$$V_{CS} = \frac{N_s \cdot R_{CS}}{N_p \cdot N_{CT}} \left(I_o + \frac{D \cdot T_{sw}}{2L_o} (V_{IN} \cdot \frac{N_s}{N_p} - V_o) \right) \quad V \quad \text{EQ. 16}$$

式中：VCS 是横跨电流感应电阻的电压，Io 是输出电流的门限值。

由于峰值电流门限值是 1.00V，总反馈电流信号和外部斜坡电压必须加到这个伏数。

$$V_e + V_{CS} = 1 \quad \text{EQ. 17}$$

代入等式 15 和 16 到等式 17，所得的 RCS 为

$$R_{CS} = \frac{N_p \cdot N_{CT}}{N_s} \cdot \frac{1}{I_o + \frac{V_o T_{sw}}{L_o} \left(\frac{1}{\pi} + \frac{D}{2} \right)} \quad \Omega \quad \text{EQ. 18}$$

上述的讨论只用了理想的元件，但在决定外部斜坡所加的数额时必须考虑磁化电感的影嚮。磁化电感在反馈电流信号设了一斜坡补偿幅度并减低外部斜坡的所需值。磁化电感加上原边电流超出了副边的电感电流。

$$\Delta I_p = \frac{V_{IN} \cdot D T_{sw}}{L_m} \quad A \quad \text{EQ. 19}$$

式中： V_{IN} 是占空比 D 的輸入電壓， L_m 是原邊磁化電感。電流感應電阻 (R_{CS}) 的磁化電流效果是

$$\Delta V_{CS} = \frac{\Delta I_p \cdot R_{CS}}{N_{CT}} \quad V \quad \text{EQ. 20}$$

若 ΔV_{CS} 大于或等于 V_e ，則不需要額外斜坡補償，而 R_{CS} 為

$$R_{CS} = \frac{N_{CT}}{\frac{N_s}{N_p} \cdot \left(I_o + \frac{DT_{SW}}{2L_o} \cdot \left(V_{IN} \cdot \frac{N_s}{N_p} - V_o \right) \right) + \frac{V_{IN} \cdot DT_{SW}}{L_m}} \quad \text{EQ. 21}$$

若 ΔV_{CS} 小于 V_e ，則仍可用等式 18 計算 R_{CS} 值，但含外部斜坡的斜坡補償額必須減去 ΔV_{CS} 。

ISL6753 可用 CTBUF 信號來實現加斜坡補償。CTBUF 是放大的 CT 引腳的鋸齒信號，偏移接地 0.4V，是 CT 峰-峰振幅的兩倍 (0.4 - 4.4V)。此信號與電流感應反饋的和外加于 CS 引腳，如圖 7 所示。

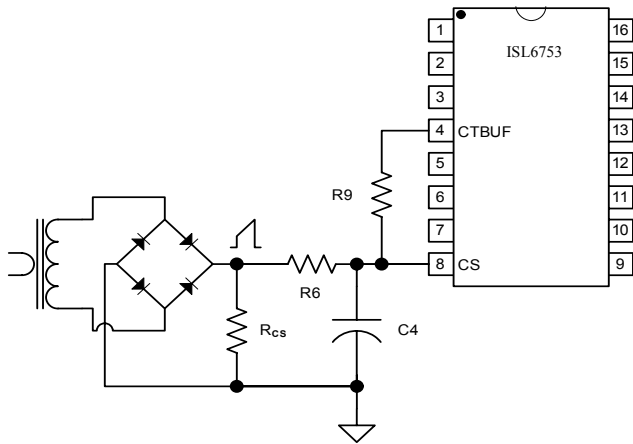


FIGURE 7 ADDING SLOPE COMPENSATION

假設計時選擇將 RC 過濾器放在 CS 引腳，加在外部斜坡的 R_9 值可疊加得

$$V_e - \Delta V_{CS} = \frac{(D(V_{CTBUF} - 0.4) + 0.4) \cdot R_6}{R_6 + R_9} \quad V \quad \text{EQ. 22}$$

重新整理，求得 R_9 為

$$R_9 = \frac{(D(V_{CTBUF} - 0.4) - V_e + \Delta V_{CS} + 0.4) \cdot R_6}{V_e - \Delta V_{CS}} \quad \Omega \quad \text{EQ. 23}$$

用等式 18 計得的 R_{CS} 值必須重新調節，這樣 CS 引腳的電流感應信號可由等式 16 推算出。這主要是由於 R_6 和 R_9 形成分阻器。

$$R'_{CS} = \frac{R_6 + R_9}{R_9} \cdot R_{CS} \quad \text{EQ. 24}$$

例如： $V_{IN} = 280V$

$V_o = 12V$

$L_o = 2.0\mu H$

$N_p/N_s = 20$

$L_m = 2mH$

$I_o = 55A$

振蕩器頻率, $F_{sw} = 400 \text{ kHz}$

占空比, $D = 85.7\%$

$N_{CT} = 50$

$R_6 = 499\Omega$

用等式 18 求出電流感應電阻， R_{CS}

$R_{CS} = 15.1\Omega$.

用等式 15 確定加在反饋電流信號的電壓值， V_e

$V_e = 153mV$

接著，用等式 20 確定磁化電流的效果

$\Delta V_{CS} = 91mV$

運用等式 23 求出 CTBUF 至 CS 的總和電阻， R_9 。

$R_9 = 30.1k\Omega$

用等式 24 確定新的 R_{CS} 值， R'_{CS}

$R'_{CS} = 15.4\Omega$

上述討論確定了所需的最小外部斜坡，額外的斜坡補償可以用作設計余量。

若應用中需要的死區時間少于約 500ns，CTBUF 信號不可完全地作斜坡補償。CTBUF 延遲 CT 鋸齒波 300-400ns。這使在死區時間短而下半周期開始時的 CTBUF 為非零值。

在這種情況下，斜坡補償可加額外緩沖的 CT 信號，如下圖所示。

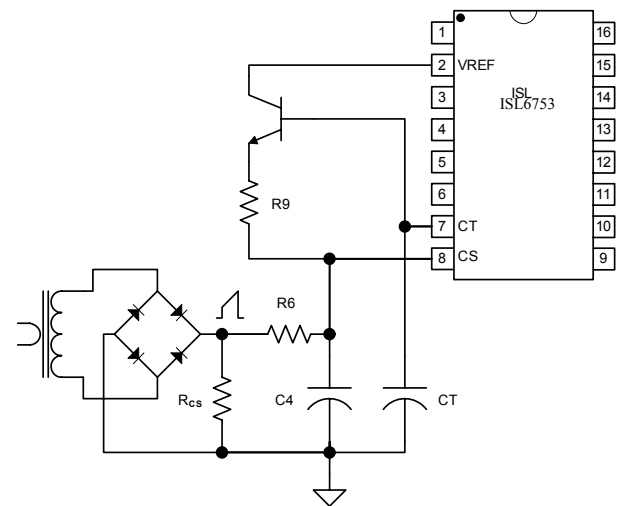


FIGURE 8 ADDING SLOPE COMPENSATION USING CT

用 CT 代替 CTBUF 提供斜坡補償，除需更改等式 21 和等式 22 外，其餘計算一樣。等式 21 改為：

$$V_e - \Delta V_{CS} = \frac{2D \cdot R6}{R6 + R9} \quad V \quad \text{EQ. 25}$$

和等式 22 改為：

$$R9 = \frac{(2D - V_e + \Delta V_{CS}) \cdot R6}{V_e - \Delta V_{CS}} \quad \Omega \quad \text{EQ. 26}$$

用在 CT 增設外部斜坡的緩沖晶体管要有足夠高的增益(>200)才可減低所需的基流。但振蕩器頻率會因所需基流降低流入 CT 的充電電流而降低。

全橋型零電壓開關操作

ISL6753 是全橋型零電壓開關 (ZVS) PWM 控制器。它類似傳統的硬關斷拓扑結構控制器，但非同時啟動的對角橋梁開關，上層開關(OUTUL,OUTUR)啟動于固定的 50% 占空比，下層開關 (OUTLL, OUTLR) 調整脈沖寬度于后沿。

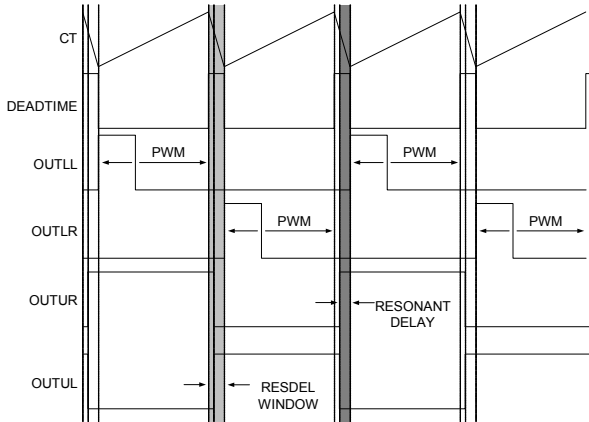


FIGURE 9 BRIDGE DRIVE SIGNAL TIMING

明白 ZVS 方法如何操作，必須包括電路的寄生元素和檢測整個開關周期。

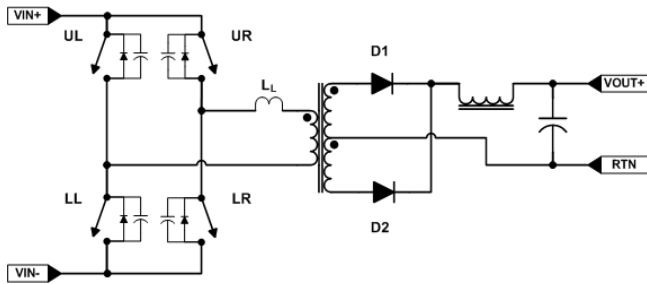


FIGURE 10 IDEALIZED FULL-BRIDGE

圖10，半導體開關是以平行二極管和電容的理想開關元件來代替，並有理想的輸出過濾器和變壓器漏感作為分立元件。開關電容集總所有寄生電容，其中包括表示電路線組電容。每個開關有自己特定的位置：左上(UL)、右上(UR)、左下(LL)、右下(LR)。周期的開始如圖11所示，任意地設置在

開關UL和LR開通，在UR和LL關斷。原邊電流和副邊電流分別以Ip和Is表示。

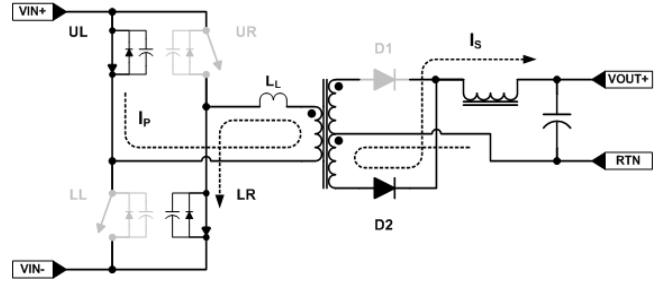


FIGURE 11 UL - LR POWER TRANSFER CYCLE

由PWM控制的LR開關關斷時，UL-LR 能量轉換時間就會終止。但流經原邊的電流不能同時中斷，故它必須找另外的通道。原邊的電流會流入LR和UR寄生開關電容，充電到VIN，然後偏流向上層開關 UR 的自身二極管。

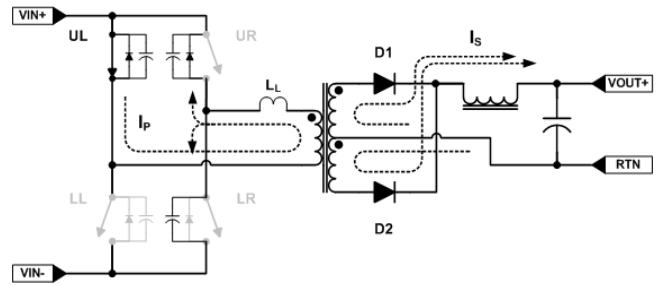


FIGURE 12 UL - UR FREE-WHEELING PERIOD

原邊漏感，L_L，保持電流環流開關 UL，原邊變壓器和開關 UR。當開關 LR 關掉時，輸出電感電流自由運行通過兩個輸出二極管，D1 和 D2。這種情況持續半個周期的余下部份。

CT 放電期間，也即死區時間，上層開關撥動。開關 UL 關斷和開關 UR 開通，上層開關撥動開關實際時間取決于 RESDEL 所設置的諧振延遲。供應到 RESDEL 的電壓決定了下層開關開通前需多長時間提前撥動。ZVS 轉換發生在上層開關撥動之后和對角下層開關開通之前。所需諧振延遲是漏感和寄生電容所形成的 LC 電路的諧振頻率時間的 1/4。諧振轉換可由等式 27 推算出

$$\tau = \frac{\pi}{2} \frac{1}{\sqrt{\frac{1}{L_L C_P} - \frac{R^2}{4L_L^2}}} \quad \text{EQ. 27}$$

式中：τ是諧振轉換時間，L_L是漏感，C_P是寄生電容，R是串聯 L_L 和 C_P 的等效電阻。通常諧振延遲少于或等于死區時間，並可用下面的等式計算。

$$\tau_{resdel} = \frac{V_{resdel} \cdot DT}{2} \quad S \quad \text{EQ. 28}$$

式中： τ_{resdel} 是所需的諧振延遲， V_{resdel} 是供應到RESDEL引腳的0-2V電壓，DT是死區時間(見等式1-5)。

上層開關撥動時，流經UR的原邊電流必須找另外的通道。它充電/放電開關UL和LL的寄生電容直到LL自身二極管偏向前流。如果RESDEL設置適當，則開關LL會在此時開通。

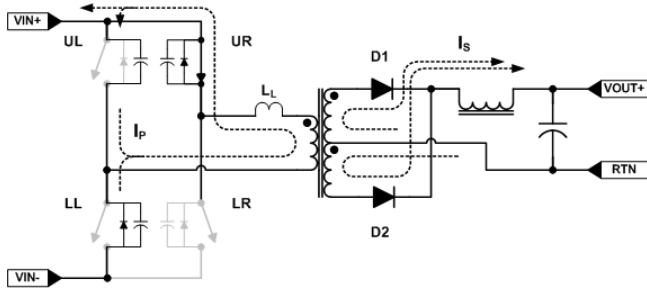


FIGURE 13 UPPER SWITCH TOGGLE AND RESONANT TRANSITION

當開關LL關閉時第二次能量轉換開始。開關UR和LL開通時的原邊和副邊電流流程圖如下所示。

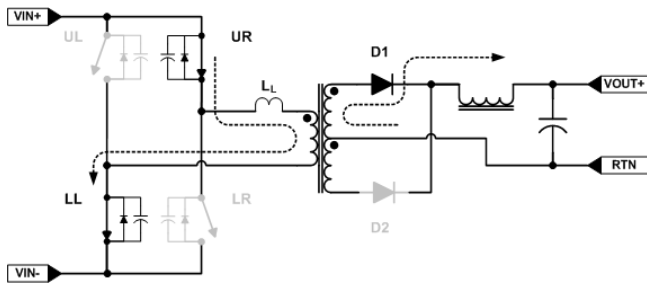


FIGURE 14 UR - LL POWER TRANSFER CYCLE

由PWM控制的LR開關關斷時，UR-LL 能量轉換時間就會終止。但流經原邊的電流不能同時中斷，故它必須找另外的通道。原邊的電流流入寄生開關電容，充電結到VIN，然後偏流向上層開關UL的自身二極管。原邊漏感，LL，保持電流環流開關UR，流開關UR，原邊變壓器和開關UL。當開關LL關掉時，輸出電感電流自由運行通過兩個輸出二極管，D1和D2。這種情況持續半個周期的余下部份。

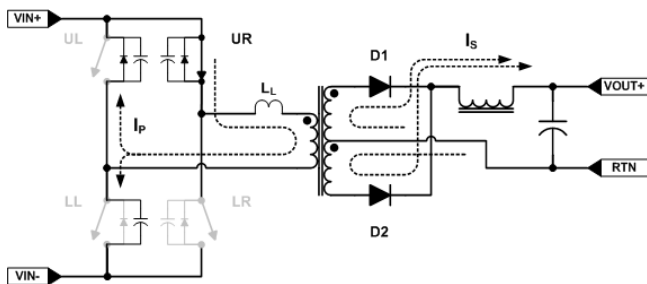


FIGURE 15 UR - UL FREE-WHEELING PERIOD

上層開關撥動時，流經UR的原邊電流必須找另外的通道。它充電/放電開關UR和LR的寄生電容直到LR自身二極管偏向前流。如果RESDEL設置適當，則開關LR會在此時開通。

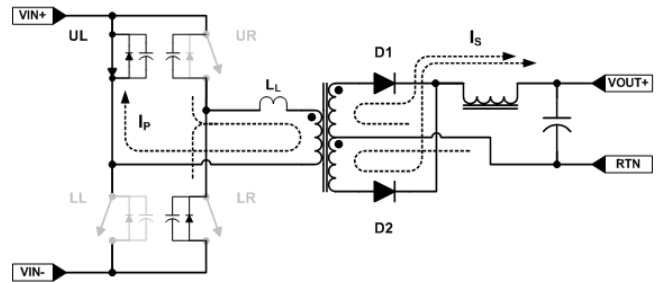


FIGURE 16 UPPER SWITCH TOGGLE AND RESONANT TRANSITION

當開關LR關閉，開始新的周期，第一次能量轉換開始。ZVS轉換要求漏感有足夠的存儲能量令寄生電容充電完全。由於存儲能量與電流平方數成正比($1/2 L_L I_p^2$)，ZVS諧振轉換是依賴於負載。如果漏感沒足夠存儲的能量供給ZVS，可串連一分立電感于原邊變壓器。

故障狀況

如果VREF或VDD跌落低於其欠壓鎖定(UVLO)門限值或觸發過熱保護就會發生故障狀況。檢測出故障時，軟啟動電容很快地被放電並且輸出就會截止。當故障清除後以及軟啟動電壓低於復位臨限時，一個軟啟動周期將重新運作。

過熱保護

ISL6753持有內部的過熱保護。內熱傳感器保護器件芯片結溫不超出 140°C ，而熱遲滯約 15°C 。

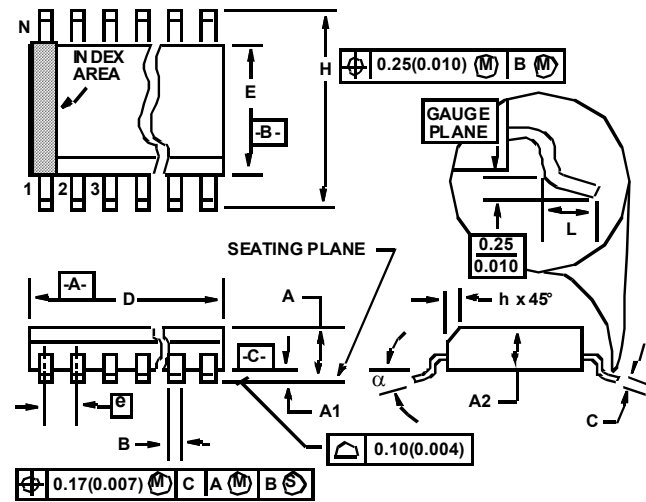
接地要求

為使這個器件能理想地工作，應該要仔細布局。特別是應用一個好的接地面，VDD和VREF必須以一個好的高頻電容直接旁接到地GND。

參考資料

Ridley, R., "A New Continuous-Time Model for Current Mode Control", IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991.

**Shrink Small Outline Plastic Packages (SSOP)
Quarter Size Outline Plastic Packages (QSOP)**



Notes:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs and are measured at Datum Plane. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. Dimension "B" does not include dambar protrusion. Allowable dambar protrusion shall be 0.10mm (0.004 inch) total in excess of "B" dimension at maximum material condition.
10. Controlling dimension: INCHES. Converted millimeter dimensions are not necessary exact.

M16.15A

**16 LEAD SHRINK SMALL OUTLINE PLASTIC PACKAGE
0.150" WIDE BODY**

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.061	0.068	1.55	1.73	-
A1	0.004	0.0098	0.102	0.249	-
A2	0.055	0.061	1.40	1.55	-
B	0.008	0.012	0.20	0.31	9
C	0.0075	0.0098	0.191	0.249	-
D	0.189	0.196	4.80	4.98	3
E	0.150	0.157	3.81	3.99	4
e	0.025 BSC		0.635 BSC		-
H	0.230	0.244	5.84	6.20	-
h	0.010	0.016	0.25	0.41	5
L	0.016	0.035	0.41	0.89	6
N	16		16		7
α	0°	8°	0°	8°	-

Rev.2 6/04

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.

Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com