

分比功率架构(FPA)印刷电路板布线指引

原著: Paul Yeaman 首席产品工程师- V·I晶片策略用户

内容	页	引言
引言	1	以V·I晶片实行的分比功率提供灵活布线及高功率密度使系统密度追上技术前沿。更重要是，V·I晶片容许功率转换系统“分比化”或分开成各自组成的功能。一种细小、高密度及高效的电压转换模块(VTM)作用于负载点，减小板上的高电流部分及表现出电压转变及隔离的功能。
布线的重要性	1	稳压功能由预稳压模块(PRM)提供，该模块可置放于远距VTM而对空间需求较宽松的母板别处，甚或可置放在另一片板上。
负载点处之低DC阻抗布线	1	分比功率及V·I晶片给予很多布线灵活优势，然而使用这些功率元件以设计系统则必须跟从一些基本指引。
负载点处之低AC阻抗布线	4	
PRM-VTM布线	5	
PRM控制信号: OS, SC, CD	5	
PRM控制信号: PR	6	
PRM, VTM及BCM控制信号	6	
PRM /VTM 互联信号: VC	7	
PRM / VTM 功率联接	7	
减低EMI的布线	8	
总结	9	

引言

以V·I晶片实行的分比功率提供灵活布线及高功率密度使系统密度追上技术前沿。更重要是，V·I晶片容许功率转换系统“分比化”或分开成各自组成的功能。一种细小、高密度及高效的电压转换模块(VTM)作用于负载点，减小板上的高电流部分及表现出电压转变及隔离的功能。

稳压功能由预稳压模块(PRM)提供，该模块可置放于远距VTM而对空间需求较宽松的母板别处，甚或可置放在另一片板上。

分比功率及V·I晶片给予很多布线灵活优势，然而使用这些功率元件以设计系统则必须跟从一些基本指引。

布线的重要性

电路板布线是应用上成功的关键。电源部分和实际负载部分都同样重要。良好布线能优化整体系统表现。不良布线可在整个系统上引发电源不稳、低效、噪声或数据错误。不当的高电流接线设计可出现未所预算的阻性发热损耗，也可在瞬变负载时引发尖峰噪声。

功率控制信号布线路径常是最受忽略的环节；对系统上主要的元件，数字、模拟的敏感信号之布线均细心考虑。然而那些交接电源系统的关键信号一般就基于方便而布线，未有跟从适当指引；最后，电磁干扰(EMI)能劣化系统的表现。而布线良好的话，本来却会是有很好的表现。虽然并没有铁定方法去消除电源系统的EMI。但有几项指引是能减低EMI的，本文会展述之。

负载点处之低DC阻抗布线

理想的负载点布铜导面是要依从负载种类而进行的。高电流、低电压负载组成主要有两类：a) 高电流单器件负载(图1)及 b) 单个低压轨驱动的多个器件(图2)

图1
高电流单器件负载

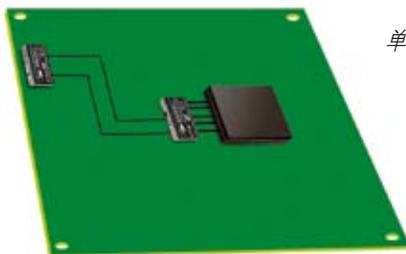
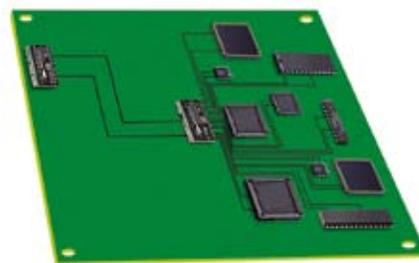
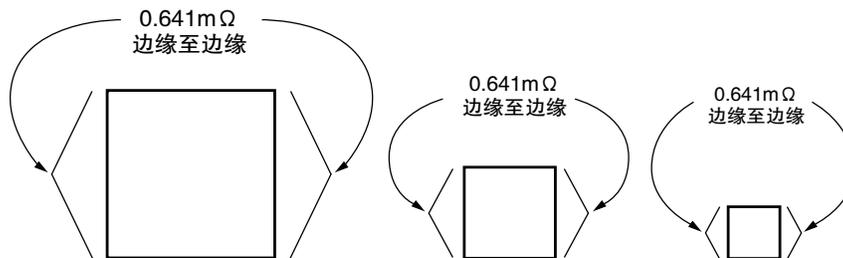


图2
单个低压轨驱动的
多个器件



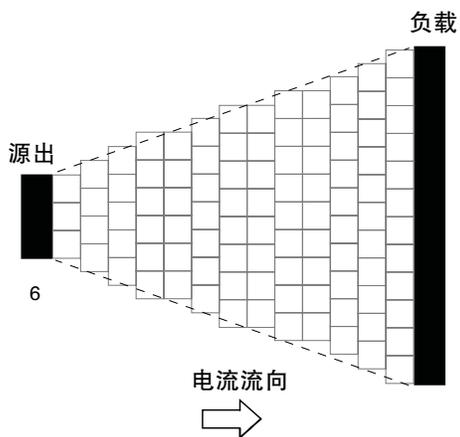
对于低压高电流应用，DC阻抗及AC阻抗(电感)均要尽小。尽小DC阻抗布线要使用正方方块分析去决定接线间之几何及阻抗。

图3
一个正方方块不论大小，其边
缘至边缘阻抗相同。



一个1oz铜正方方块，无论大小，其平行之边缘间阻抗是0.641mΩ(图3)，要留意电流必须平均源自及流向边缘至边缘，如果供电源或负载之几何使电流并非均匀流向正方之边缘至边缘，则正方方块之几何就要缩小(图4)。

图4
电流流过细分为正方
方块之导面



对单个微处理器负载有五个步骤去决定板上之DC损耗:

1) 决定供电源及负载间之电流走向路径, 如果供电源及负载由一条导铜线迹连接, 电流走向路径就是该导铜线迹路径(图5)

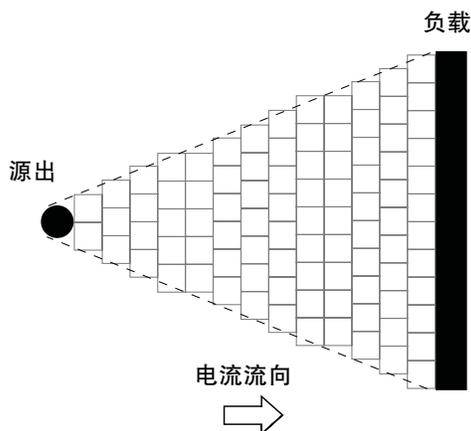
图5
一条导铜线迹很容易分成
正方方块



如果源出及负载由一片导铜面连接, 电流会依从最短程路径走向(图6)

如图6所示, 如源与漏(负载)之几何尺寸不同, 电流走向路径可最后形成扇形特征, 也要留意正极及负极电流走线可能布成不同的路径。

图6
电流流过一导铜面



2) 电流路径分成很多可积尺寸之方块; 如图5所示, 如导铜线迹宽度是20mils, 电流路径整个长度可分成一串20mil平方之正方; 如果电流走向是经过一导铜面如图6, 其形状可利用方块阵重组, 该些方块必须足够细小而能显示出原状。

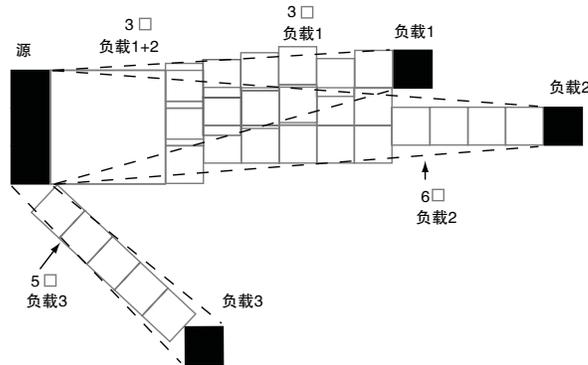
3) 计算出方块之总数, 若如图5, 就是电流路径上之方块数目总和。若如图6平行的方块数目会是并联方块数目之和之倒数。例如, 2个并联的正方代表1/2个正方。4个正方并联就会代表1/4个正方。以此类推。

4) 计算电流走向路径之电阻量, 使用1oz铜之方块电阻为0.641mΩ之方法, 以此数乘以计算出的方块数目以得出总电阻量。如总铜量多于1oz, 此数以比例减小, 同样, 如总铜量小于1oz, 此数以比例增加。

5) 以该数乘以最大电流之平方以计算出该电流路径之分布损耗瓦数。

步骤1-5应重复应用于供电源与负载间的载流分段，若有多个负载点(例如，一个V·I晶片驱动5或6个不同位置的器件)，应分别应用步骤1-5在共同电流分段(使用总电流)及单独电流分段(使用流向该特定器件之电流)去分析，如图7所示。

图7
电流流向多个负载点; 3个方块载电流到负载1及2, 3个额外方块专载电流到负载1; 6个额外方块载电流到负载2; 及5个方块载电流到负载3。



负载点处之低AC阻抗布线

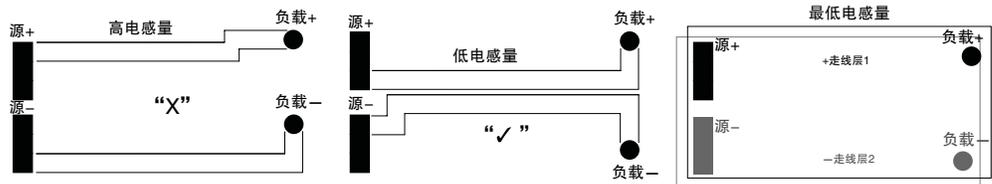
VTM输出到负载点之电流路径之AC阻抗，在对要求良好瞬态响应的应用是十分关键的。瞬态响应前沿部分由方程1决定。

方程1
$$V_{Trans} = L \cdot \frac{dl_L}{dt}$$

式中 l_L 表示负载电流而L表示供电源与负载间之电感。要限制这项电感量，源出及返回之电流流向要尽量互相靠近使各自之磁场尽量互相抵消。

电感量主要是回路面积之函数，源出及返回电流间面积越大，磁通量越难互相抵消，整体电感量越大(图8)

图8
减小回路面积降低AC阻抗



VTM封装设计限制寄生电感量(图9)，这是由于备有交间开之源出(Vout+)及返回(Vout-)焊引点。但是即使这样，此处仍不能完全把电流互相抵消，因而引发寄生电感项。板上(PCB)之Vout+及Vout-导面终接要尽可能互相靠近(图10)及VTM与负载间之Vout+及Vout-导面要交织连接，能尽量减低该电感项。

图9
VTM封装(底部)

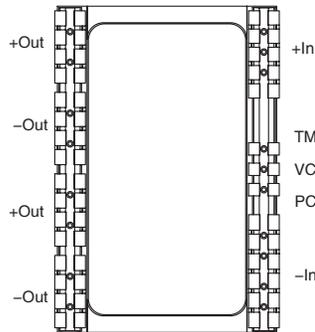
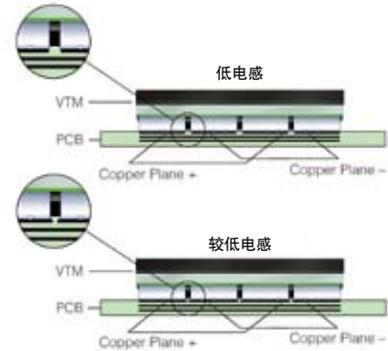


图10
低电感 VTM连接



对全型VTM封装使用这类布线，互接间电感量有可能低至400pH

其它能降低AC阻抗的建议

- 1) 在引脚(J-leads)之间及引脚后面使用导铜孔道(via)传输电流到电路板之交织内层。也可把孔道置于引脚前面从而进一步降低DC阻抗，但孔道处之铜圈要尽量缩小以限制AC阻抗。
- 2) 尽量交织导铜面，如未能有专设之Vout+及Vout-导铜面，那些导铜走向或次层导面应以上下对布，以别于相互靠近但布在同一层。
- 3) 在负载点处使用高频旁路电容把寄生电感去耦。这些电容要针对电流流向，要使用低ESL/ESR之电容。
- 4) VTM要置放于尽量靠近负载点处

PRM-VTM布线

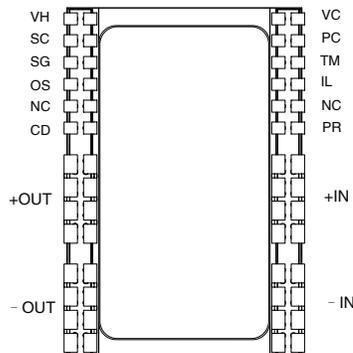
现在我们考察PRM及VTM系统之信号及功率接线之布线要项。

PRM控制信号: OS, SC, CD

PRM之引脚由图11所示，它有几个控制引脚，分别控制输出电压设定及对负载变化，从而补偿电压，这是在自适应环路模式的功能。

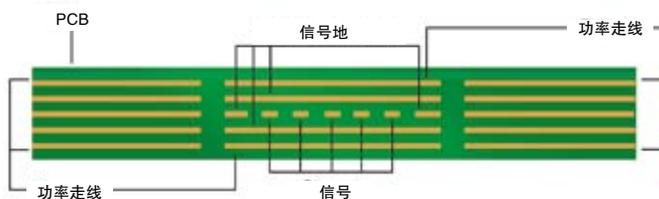
这些控制引脚均是高阻抗因而容易受噪声干扰。要顾及的引脚主要是：PR，OS，SC，CD，VC及PC，而PC在这方面严重性较轻。除了PC，所有这些引脚都与稳压控制回路直接关联。

图11
PRM封装(底部)



设定器件输出之电阻(OS，CD)要尽量靠近相应之PRM埠以减小检及噪声。把这些信号对功率信号屏蔽开能增强对噪声之免疫。这些屏蔽应作为PCB之一部分如图12所示。如这些元件不能靠近PRM，应以约200pF本地旁路电容衰减那些高频分量。这个PRM器件构成稳压级，故它相比VTM，对布线有关的问题最为敏感

图12
把信号对功率走线屏蔽开来
能改善噪声免疫性。



PRM控制信号: PR

PR信号是用于多个PRM或PRM/VTM对件并联阵列。V·I晶片并联阵列需要进行的布线有一些特别的考虑。这在另一篇应用笔记“并联PRM及VTM”有详尽的讨论。

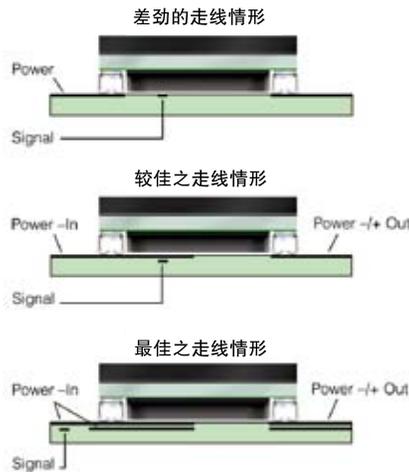
PRM、VTM及BCM控制信号: PC

PRM、VTM及BCM都具有PC(初级端控制)埠用以启动或停止器件。设计上它交接外部特定应用器件(如负载或微机或一些对电源开/闭次序有关的其它器件)。

一般应用可能把PC信号布成走过电路板上可观的距离，需要小心。PC信号对噪声免疫性不错，尤其是与OS，CD，SC及PR等控制信号比较来说。但是，邻近的高压开关走线电容性耦合仍可引起PC引脚噪声。这些噪声若足够强能使器件(PRM，VTM或BCM)停止运作。要消除它，PC引脚不应布线在一些强开关(dv/dt)信号之下或附近。要留意其它模块式功率器件内部可有高压开关动作(例如，PC走线不应走过高压BCM初级端下面，如图13所示)

如绝对需要在高压开关或器件附近走线，应进行法拉第屏蔽，对VTM及BCM用 - IN屏蔽，对PRM用SG屏蔽，如图13所示。

图13
把PC从高压开关节点屏蔽开来



PRM/VTM互联信号: VC

VTM有一个控制节点，VC用于与PRM组成自适应控制模式(Adaptive Control Loop Mode)操作下，依负载变化补偿电压，这信号应走向接近PRM之-OUT导线，该导线是VC信号之回路。使用两层接SG之导面把该信号置于其间屏蔽之。可于VC线上及-IN线上置放磁珠(33Ω @ 100MHz)对一些极高频信号衰减。

PRM/VTM功率联接

分比功率一项主要的优点是能把VTM放在负载点而同时尽量与PRM之电流连接，能如此实现是由于PRM提供一个相对高压约48Vdc的输出电压到VTM。这样，能支援一个150W，100A负载而只需提供约3A电流到负载点的VTM而已。

对使用VTM之负载，从负载点可看到的PRM-VTM间互联之阻抗依从方程2。

$$\text{方程2} \quad Z_{Load} = Z_{PRM-VTM} \cdot K^2$$

在此K是VTM的电压转变比，定义为输出电压除以输入电压。方程2对DC至约1MHz之阻抗有效，超越这个范围的话，VTM内部阻抗就担当角色。方程2显示出K因数与反射阻抗间一项几何关系， $K=1$ 表示负载阻抗与互接间阻抗相同，然而， $K=1/32$ 就表示所见之负载阻抗是互接间阻抗之1/1000倍。故如果使用 $K=1/32$ 之VTM， $1\ \Omega$ PRM-VTM互接间阻抗会在负载点看成一项 $1\text{m}\Omega$ 之源阻抗。

由于VTM把源阻抗在负载点降低，PRM与VTM间之功率(电流)联接能缩小些(较高阻抗)而对负载效应仍微。但是，导线尺寸永远应是要尽可能减轻功耗，寄生电感也要尽量减小。

最后一项要留意的是有关输出及输入纹波电压，由于PRM及VTM两者均为操作在特定开关频率之功率器件，它们都对输入及输出母线产生特征纹波电压，更由于PRM及VTM都开关在相近但不同之频率，就有可能在分比母线出现低频“差拍”效应。要衰减这些差频及其在控制环路及应用上造成的潜在问题，建议在PRM及VTM间使用少量电感，一个 $0.4\ \mu\text{H}$ 电感串接在PRM之+OUT与VTM之+IN间，在大多数应用上足够衰减高频电流。

减低EMI的布线

此处简述一些减小传导及辐射噪声效应之布线指引，真实的滤波器及屏蔽设计则在另一篇应用笔记说明。

PRM及VTM两元件都是1-2MHz开关转换器。由于使用了零电压开关(ZVS)及零电流开关(ZCS)技术，传导及辐射噪声水平，与传统硬开关电源相比大为减轻。

差模噪声是出现在转换器之 V_{in+} 及 V_{in-} 间(或 V_{out+} 及 V_{out-})之AC电压。对于PRM及VTM，共模及差模噪声两者都在1-2MHz有强分量及一些较小的超越10MHz高频分量。一般下游的负载点转换器(例如niPOL)会显示出100kHz至500kHz间强基频。

共模及差模滤波元件尺寸及位置要针对衰减1-2MHz基波。并联及串联衰减元件(电容器及电感器)应靠近V·I晶片置放。

非常重要要去控制传导噪声是关乎辐射噪声的。辐射噪声是电磁场感应产生之交流电压。电磁场是由AC电流行经一个导体(例如导铜走线，导铜面或导线)所产生。导体之辐射能力是基于其长度，其所载电流及其AC电流之频率。辐射噪声也由来自变压器或电感元件之磁场与就近导体互相耦合产生。

辐射及传导噪声是互相交连的，且彼此能很容易互相影响。滤波元件应足够靠近V·I晶片从而衰减传导噪声，但又不能太近而让辐射噪声跨越或与它耦合。围绕在附近之金属或能作为屏蔽以保护对噪声敏感之器件，但也可以是一项管道把噪声从新导向到其它电路部分。

以下是一些简单的为减低EMI效应之布线指引

- 1) 限制PCB板上高频差模电流行波。滤波及高频旁路电容要尽可能靠近模块，1-2MHz纹波电流分量要良好滤波，尤其是在行波超过1-2英寸时(即是PRM及VTM分开超过2英寸时)。
- 2) 对共模旁路要在VTM本地处进行及要旁路到直接位于VTM下方的接地屏蔽面，这会使电容耦合之共模开关电流局部在VTM及限制其耦合至其它平面之程度。

3) 要惯常使用串、并衰减手段，并联衰减要给噪声电流提供低阻抗回路。串联衰减要使从模块处(噪声源)及返回供电源之路径阻抗增大。

4) 对噪声敏感元件不要直接放近PRM或VTM之上面，这两个V·I晶片元件都有闭合磁场在其封装上面及底部，元件涉足该场就可耦合1-2MHz之噪声。

5) 应要清楚旁路元件本身之阶振频率，旁路电容元件本身的阶振是可能接近1-2MHz PRM/VTM的开关频率。一般陶瓷或薄膜电容Q值甚高，一些应用上或需考虑串接阻性阻尼。

结论

设计一个最佳表现的细小、高密度系统应用，良好的布线是关键。然而随着功率元件与敏感的负载元件一起应用，设计系统时两者都要小心顾及，负载元件布线及功率系统都要优化。

PRM及VTM一些基本的布线指引是高效、高密、静洁系统的基础。

Vicor的应用工程师在广泛的V·I晶片元件应用都很专门。如有需要，应用工程部能在应用环节任何阶段协助客户考察应用V·I晶片元件之布线，提供建议、意见。