

OB2262/OB2263 设计指导

-反激式开关电源应用

一. 概要:

随着电子技术的飞速发展, 各式各样的电子产品逐渐普及生活的每个角落; 同时伴随着人们环保意识的增强, 全球逐渐掀起的以欧盟为首的能源革命, 各式各样的电子产品对其使用的电源提出了体积小、重量轻、能源转换率高、待机功耗小及性价比高等要求, 诸多要求中尤以待机功耗小为重。昂宝电子在这些契机的引导下适时向市场推出一款 PWM 控制芯片 OB2262/2263, 让系统轻易的达到以上要求。OB2262/2263 具有如下特性:

▲ 低待机功耗: OB2262/OB2263 通过特别的低功耗间歇工作模式设计不但可以让整个系统在空载的状态下轻易达到国际能源机构最新的推荐标准, 而且能让系统在较轻负载 ($< 1/5$ load) 的情况下同样具有超低功耗的性能。

▲ 无噪声工作: 使用 OB2262/OB2263 设计的电源无论在空载、轻载和满载的情况下都不会产生音频噪声。优化的系统设计可以使系统任何工作状态下均可安静地工作。

▲ 更低启动电流: OB2262/OB2263 的启动电流低至 $3\mu\text{A}$, 可有效地减少系统启动电路的损耗, 缩短系统的启动时间。

▲ 更低工作电流: OB2262/OB2263 的工作电流约为 1.4mA , 可有效降低系统的损耗, 提高系统的效率。

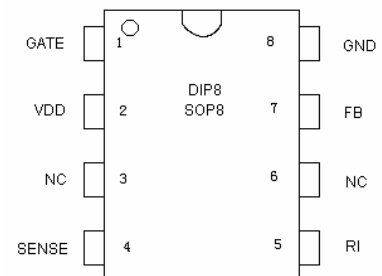
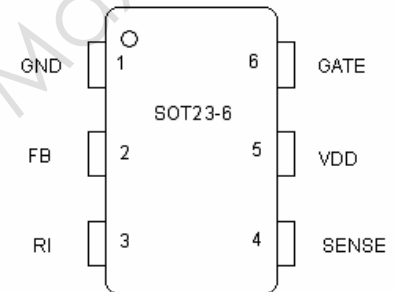
▲ 内置前沿消隐: 内置前沿消隐 (LEB), 可以为系统节省了一个外部的 R-C 网络, 降低系统成本。

▲ 完善的保护功能: OB2262/OB2263 集成了较完善的保护功能模块。UVLO, OCP, 恒定的 OLP 保护功能可以使系统设计更简洁可靠, 同时满足安规的要求。

▲ MOSFET 软驱动: 可有效的改善系统的 EMI。

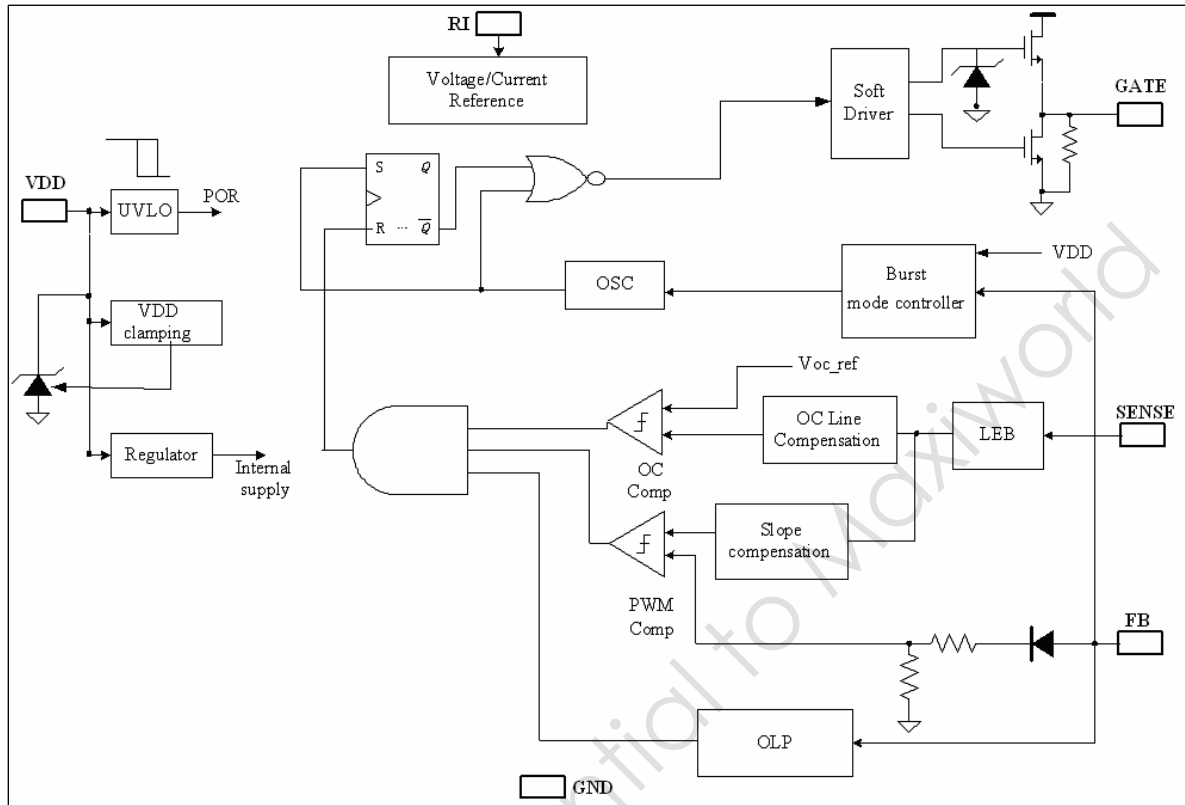
▲ 较少的外围器件: OB2262/OB2263 外围比较简单, 可有效提高系统的功率密度, 降低系统的成本。

▲ OB2263 优良的 EMI 特性: OB2263 内置的频率抖动设计可以很有效的改善系统的 EMI 特性, 同时可以降低系统的 EMI 成本。

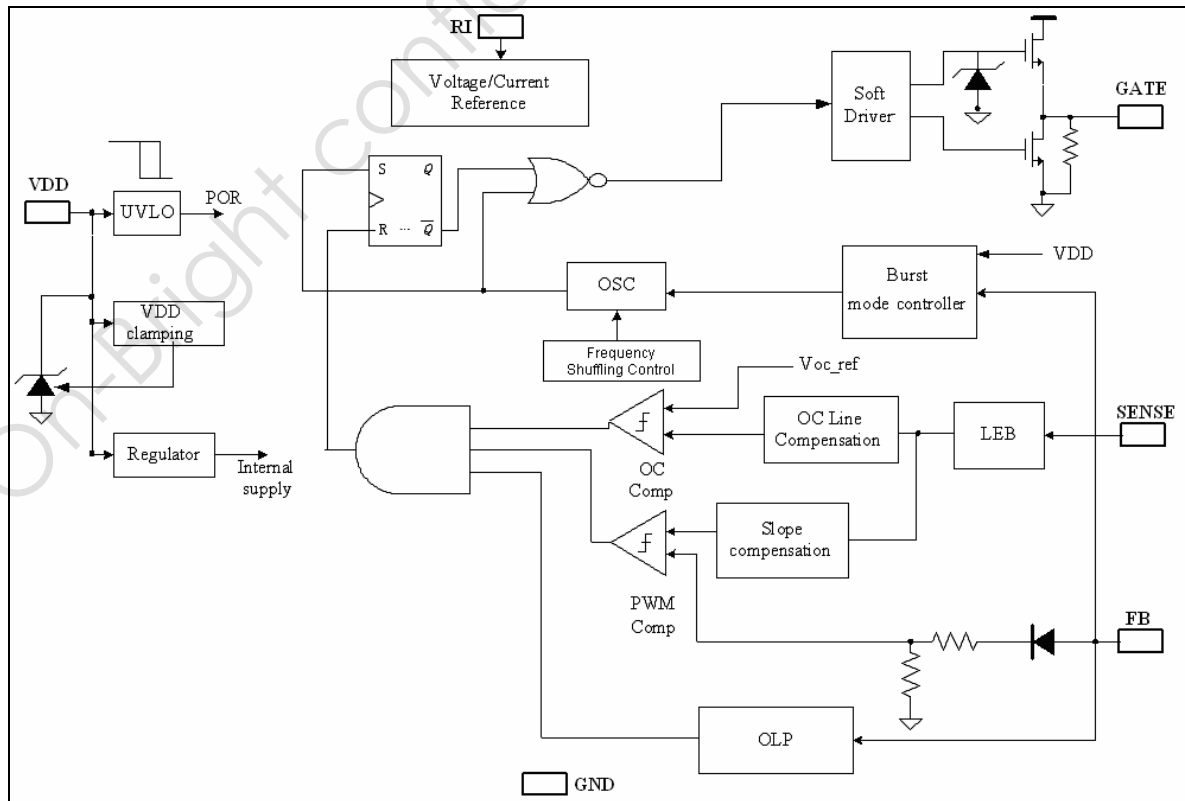


二. 芯片内部模块图

1. OB2262 内部模块图



2. OB2263 内部模块图



三. 典型应用电路:

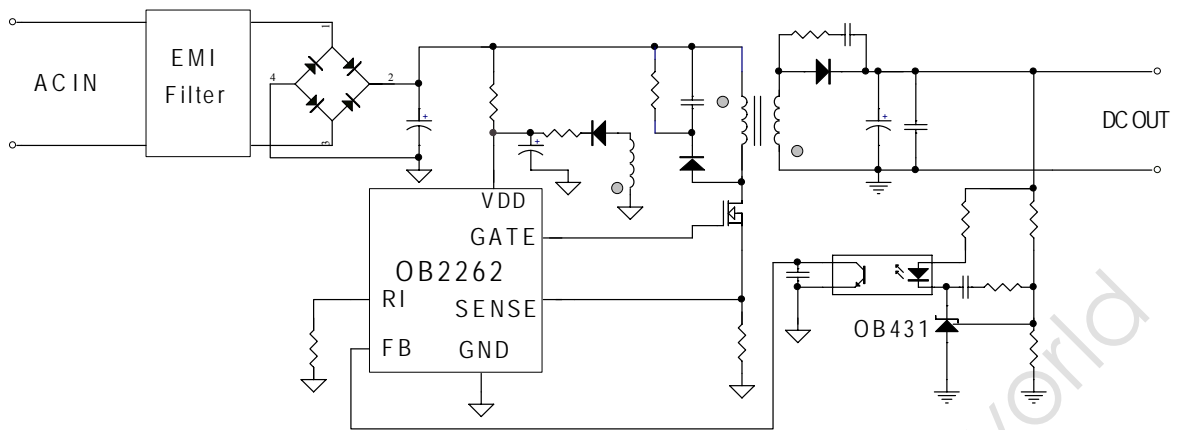


图 1 OB226/OB2263 典型应用电路

四. OB2262 与 OB2263 系列芯片应用说明:

1. OB2262/OB2263 应用领域推荐

芯片类别	应用领域			备注
	消费类,资讯类等单芯片应用场合	家电类,通信类等单芯片应用场合	医疗,救生设备类等应用场合	
OB2262	√	√	不推荐	OB2262/OB2263 的设计主要针对普通消费类电源产品,满足系统性价比低的要求。
OB2263	√	√		

2. OB2262 与 OB2263 的不同特性说明

OB2262 与 OB2263 的主要区别在于 OB2263 内置有频率抖动(shuffling)功能,该功能可以加大程度的改善系统的 EMI 性能,加快系统的研发过程,同时有利于降低系统的 EMI 成本。

五. 设计指导:

1. 启动电路及 OCP 补偿特性说明:

1.1 OB2262/OB2263 满足多种启动方式,常见的启动方式如下图:

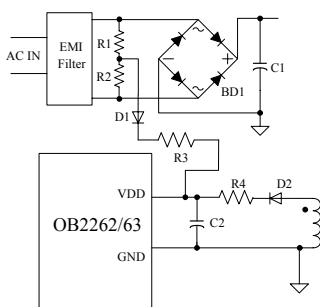


图 2 整流前启动方式

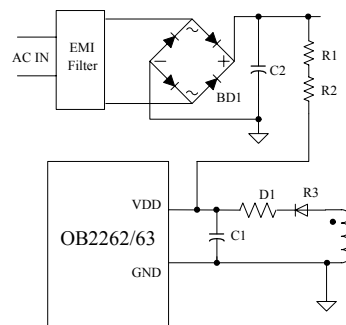


图 3 整流后启动方式

1.2 系统的启动时间:

以上的两种启动方式当电源上电开机时通过启动电阻 R_{IN} 给 V_{DD} 端的电容 $C1$ 充电,直到 V_{DD} 端电压达到芯片的启动电压 $V_{TH(ON)}$ (典型值 14.0V) 时芯片才被激活并且驱动整个电源系统正常工作。在图 3 中系统的最大启动延迟时间满足如下运算关系:

$$V_{VTH(ON)} = (V_{dc} - I_{DDST} \cdot R_{IN}) \left[1 - e^{-\frac{T_{D_ON}}{R_{IN} C1}} \right] \quad (1)$$

这里:

I_{DDST} : OB2262/2263 的启动电流

T_{D_ON} : 系统的启动延迟时间

R_{IN} : 为 $R1$ 和 $R2$ 电阻阻值之和

由于芯片具有低启动电流的特性并且考虑到空载的系统损耗, R_{IN} 可以取得较大, 具体值可在 $1.2M\Omega \sim 3M\Omega$ 范围内选取。如果需要系统具有更快的启动时间且在系统成本允许的情况下, 您可以参考图 4 中的典型电路, 电路中 $C2$ 的值可以取得较小(但要考虑系统的稳定性), R_{IN} 的值可以取得较大, 这样既可缩短系统的启动时间同时也可降低系统空载时的损耗。

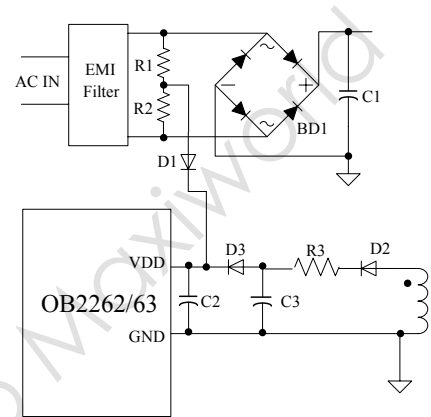


图 4 快速启动电路

1.3 启动电阻 R_{IN} 的最大功率损耗:

在图 3 中, R_{IN} 的最大功率损耗可以用下面的公式计算出来, 公式如下:

$$P_{RIN,max} = \frac{(V_{dc,max} - V_{DD})^2}{R_{IN}} \cong \frac{V_{dc,max}^2}{R_{IN}} \quad (2)$$

这里:

$V_{dc,max}$: 最大输入电压整流后的直流电压

V_{DD} : 芯片正常工作的电压

2. PWM 工作频率设定:

OB2262/63 允许设计者根据系统的使用环境需要自行调整系统的工作频率, OB2262/63 的典型工作频率为 50KHz 和 65KHz, 其应用电路如图 5, R_I 的取值决定了系统的工作频率, 工作频率的设定可通过以下公式(3)计算出来:

$$f_{PWM} (KHz) = \frac{6500}{R_I (K\Omega)} \quad (3)$$

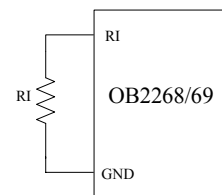


图 5 频率设置电路

在 PCB layout 时应尽可能使 R_I 的接地端靠近芯片的 GND 端, 以便减少干扰。

3. FB 端的输入:

了解 FB 端各电压门限相对应的系统工作状态对分析及优化系统设计是非常有帮助的, OB2262/63 各电压门限相对应的系统工作状态可通过图 6 表示。

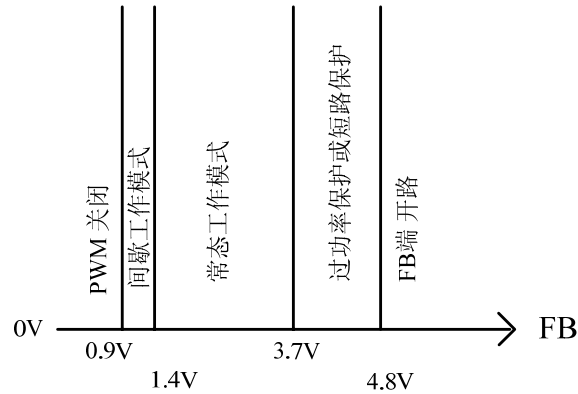


图 6 FB 端各电压门限相对应的系统工作状态

1.0V~1.4V 为系统在空载或轻载时工作在间歇模式下的 FB 端电压值；1.4V~3.7V 为系统正常工作时 FB 端的电压值；3.7~4.8V 为环路开环，过功率保护或短路保护时 FB 端的电压值，1.0V(典型值)以下 gate 端输出被关闭，保护整个系统。FB 的短路电流典型值为 0.80mA。

OB2262/63 采用传统的电流模式结构设计，其关断时间根据峰值电流调整，通过与主开关管 MOSFET 源极相连接的电流反馈电阻 R_{sense} 转化成电压反馈到 OB2262/63 SENSE 端来实现控制。在正常工作时，这个峰值电流与 FB 具有如下关系式：

$$I_{PK} = \frac{V_{FB} - 0.9}{1.67 \cdot R_S} \quad (5)$$

这里

VFB: FB 端的电压。

Rs: 与主开关管 MOSFET 源极相连接的电流反馈电阻阻值

当 $V_{FB} > 3.7V$ 持续 35ms 的时间 ($f=65KHz$) 或 $V_{FB} < 0.9V$ (典型值) 时，OB2262/63 Gate 端立即停止输出脉冲，保证整个系统的安全。

注意：1. 当 $V_{FB}=0.9\sim 1.4V$ 时系统工作在间歇工作模式，如果系统出现可听见的异音，请先检查系统是否工作正常，如果你确认无误，请检查系统缓冲吸收回路中的电容材质，如果使用的是普通压电陶瓷电容，那么当系统工作在间歇工作状态时电容由于发生压电效应而产生异音是很可能的。这时，请更换电容的材质，如 MYLA, PEA, MEF 或 CBB 等薄膜类电容；考虑成本及电容体积大小的因素，我们推荐使用 MYLA 电容，在保证吸收回路效果的前提下可以通过调整缓冲吸收回路中的电阻阻值来减少该电容的值有利于缩小电容体积及降低系统成本，例如 2200PF/250V, 4700PF/250V 或 10000PF/250V 的 MYLA 电容可以接受的。

2. 当系统工作在满载的情况下如果系统出现可听见的异音时，请检查系统是否工作正常，如果你确认无误，请检查芯片的 FB 端的电压波形是否较平滑，如果发现较大的干扰请检查系统的 PCB layout 是否合理，对于较小的干扰可通过外加滤波网络进行抑制，如图中的 R_{FB} 及 C_{FB} 组成的低通滤波器，这里 R_{FB} , C_{FB} 的取值不宜过大，比如 47 Ohm, 1000 PF；根据系统的实际情况， R_{FB} 可以为 0 Ohm。 R_{FB} , C_{FB} 的取值会影响系统的环路稳定，一般 C_{FB} 的取值建议要 $\leq 4700PF$ 。

4. Sense 端的输入：

内置的前沿消隐(LEB)电路，可以为系统节省一个外部的 R-C 网络。如果由于 Sense 端的电流反馈信号前沿噪声干扰持续时间超过芯片内置的前沿消隐(LEB)时间导致系统性能异常，可以

考虑外接 R-C 网络，但建议 R-C 的取值不宜过大，否则可能会引起电流反馈信号的失真过大，导致系统启动或输出端短路时 MOSFE 漏源端电压 V_{ds} 过高等常见的系统异常现象。

5. Gate 端驱动信号输出：

芯片采用图腾结构驱动输出，可直接驱动 MOSFET。同时芯片还内置了一个 18V 的驱动输出钳位电路，防止由于某种原因导致系统驱动输出电压过高使 MOSFET 的栅极击穿。

为改善系统 EMI，芯片设计时对驱动信号进行了软驱动优化处理。

6. 动态响应(DNY)的调整：

从动态响应的原理来看，系统要具有较快的环路响应特性才能使系统的动态响应特性较好。通过分析图 7 的电路，对调整系统的动态响应特性是很有帮助的。

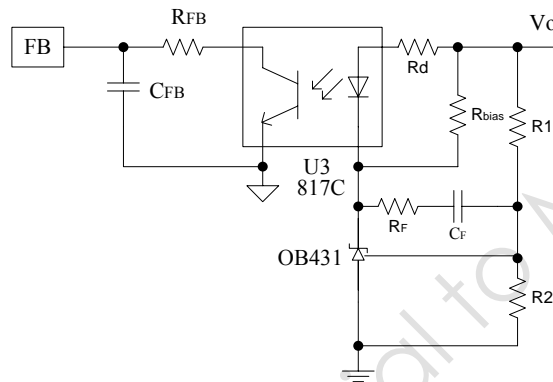


图 7

对芯片而言，整个系统的环路响应是芯片的 FB 端通过检测 U3 光耦反馈传输过来的信号强度及信号变化来进行控制的，系统的响应特性不仅与 OB431 的增益有关，而且与光耦的传输特性有关。为了使系统具有较好的动态响应特性，我们需要调节 OB431 的反馈增益环路相关元件 R_f 与 C_f 的值，使环路具有较高的增益，另外需要调节 R_d 的值(R_d 的取值不宜过大)，使 U3 光耦发射二极管端能够把次级变化的信号转化为电流变化信号，并迅速的反馈到芯片的 FB 端进行跟随控制。

注意：OB431 的最小工作电流 I_f 值为 1mA，但是这个值并不是 OB431 稳定工作的最小值，具体的值不同公司生产的会有所不同，设计参考值一般为 2~5mA；设计中建议给 OB431 提供 1 个偏置电阻以方便调整环路的稳定性。

8. 系统进入间歇工作模式(Burst mode)的条件：

为使系统在空载或轻载的待机模式下尽可能的降低系统整机的损耗，达到国际能源机构最新的推荐标准，OB2262/63 为系统提供了较为人称道的间歇工作模式(Burst Model)，当 $0.9V < V_{FB} < 1.4V$ ，且 V_{dd} 端(7 脚)电压达到芯片内部预置的稳定的 Burst Model 门限电压值 ($V_{th_burst} \approx 10.8V$ ，考虑到系统温度的影响，设计中建议该门限电压值 $V_{th_burst} > 11.3V$) 时芯片就会使系统进入稳定的间歇工作模式(Burst mode)。这时系统的工作原理可简略的描述如下：当 V_{dd} 大于预置电压 11.3V 时 Gate 立即关闭输出，变压器储存的能量就会通过输出绕组传输到输出端用以维持系统输出的稳定直到下个周期的到来；同时，变压器辅助绕组也通过耦合输出绕组给 V_{dd} 端电容充电，使 V_{dd} 端电压持续上升，直到输出绕组停止传输能量。间隔一段时间后，芯片内部持续消耗 V_{dd} 端电容储存的能量使 V_{dd} 端电压下降，一旦 V_{dd} 端电压下降到小于预置电压 11.3V(典型值)时 gate 就会输出脉冲进入正常工作状态，直到 V_{dd} 大于预置电压 11.3V(典型值)重复上述循环。

9. 内置保护说明:

9.1 短路保护(SCP)、过流保护(OCP)及过功率保护(OPP/OLP):

芯片 SENSE 端通过监控系统初级侧(一次侧)流过主开关管的电流信号活动, 芯片能检测到系统过流或过功率的状况。当系统输出发生短路、过流或过功率现象时, 如果 SENSE 端的电压 V_{TH_OC} 超过 0.75V(典型值)时, Gate 端输出脉宽将会被限制输出, 这时系统处于恒功率输出状态 $P_o=V_o \cdot I_o$, 即如果增加输出负载电流, 那么系统输出电压相应会下降, FB 相应上升; 当这种现象持续 35mS(典型值, $f=65\text{KHz}$)后, 芯片将使系统进入过功率保护(OLP)状态, Gate 会立即关闭输出, 保护整个系统, 然后芯片重新启动, Gate 输出驱动信号, 当故障依然存在时系统将重复上述现象。当系统进入过功率保护状态时, 系统损耗的平均功率是较低的。

9.2 过压钳位(V_{DD} clamp):

OB2262/63 芯片 V_{DD} 端内置有优异的过压钳位电路, 当 V_{DD} 端电压由于系统发生异常导致 Vdd 电压上升到 34.0V(典型值)时, 芯片会自动进入过压钳位状态, 同时 Gate 停止输出脉宽, 从而保护整个系统的安全。

注意: Vdd 钳位电路能承受的电流大约为 10mA(rms), 如果系统由于其他原因导致 Vdd 钳位电路动作后 Vdd 端电压仍然持续上升且超过芯片的耐受能力, 那么芯片就可能会被烧毁。

9.3 欠压保护(UVLO):

OB2262/63 系列芯片都内置有欠压保护电路(UVLO), 当 V_{DD} 端电压小于 9.8Vmax 时(考虑温度的影响建议设计参考值为 10.3V), 芯片就会进入欠压保护状态, 这时 Gate 停止输出 PWM。

注意: 设计中需要检查交流输入全电压范围内当输出负载瞬间由满载转为空载时芯片的 Vdd 端电压是否受影响而误触发 UVLO, 即 Vdd 端电压瞬时低于 9.8V(考虑温度的影响建议设计参考值为 10.3V), 这样很容易造成空载电压不稳现象, 解决方案见“10. 输出电压不稳调整方案”的叙述。

10. 输出电压不稳调整方案

使用 Flyback 架构的系统, 由于系统工作一般会跨越电流连续(CCM)及电流不连续(DCM)两种模式。如果系统参数不匹配, 那么这种工作模式将很容易导致大信号不稳现象发生, 在系统板上具体现象表现为:

- 1) 输出空载电压不稳定。
- 2) 输出负载突然由满载切换为空载的情况易造成输出电压不稳定。
- 3) Overshoot/Undershoot 性能较差。

如设计中遇到以上现象, 请先检查系统在输出空载且输入电压在 90~264Vac 的情况下, 芯片的 Vdd 端(7 脚)的电压是否达到稳定的 Burst Model 门限电压值($V_{th_burst} \approx 11.3\text{V}$), 考虑到系统温度的影响, 设计中建议该门限电压值 $V_{th_burst} > 11.3\text{V}$; 其次 check 系统的环路是否真的处于稳定状态。如果以上均确定没有问题, 建议进行如下几点的调整方案:

- 1) 适当增加 Vdd 端电容(如图 2 的 C1)的容值。
- 2) 适当减少 Vdd 端限流电阻(如图 2 的 R4)的阻值。这里特别说明, OB2262/63 的 OCP 不是依靠 Vdd 的电压下降进行保护的, 如: OBPD15W-LXXA Demo Board 该位置的取值就为 0 Ohm。

3) 在满足系统省功要求的情况下在次级增加较小的假负载。

如果进行以上调整后仍然感到不满意，综合考虑省功、缩短启动时间及方便调整大信号不稳等因数，较强力推荐图 4 的典型应用电路，特别在大功率输出的应用场合。值得提醒的是，在使用图 4 的电路时需要注意调整 C2 及 C3 的容值搭配，保证输出负载发生突变现象的情况下(如：满载突然转空载的情况)，C2 的能量能够较长时间维持芯片稳定工作而不会误触发 UVLO(9.8V_{max}，考虑温度影响建议设计参考值为 10.3V)，否则系统又有可能进入大信号不稳现象。

On-Bright confidential to Maxiworld