

AN-6920MR

集成临界模式PFC与准谐振电流模式PWM的控制器FAN6920

1. 引言

针对某一电源系统，该使用说明书给出了采用飞兆半导体PFC/PWM组合控制器FAN6920的按步设计思路。该控制器集成了临界导电模式(BCM)功率因数校正(PFC)控制器和准谐振(QR)PWM控制器。图1中给出了典型的应用电路，其中BCM PFC位于电路前级，双开关准谐振反激变换器位于电路后级。

对于75~200W的应用对象，采用双开关反激结构，并运行在BCM和QR下，FAN6920能够提供最佳性能，获得较高效率和相对较低成本。相比连续导电模式(CCM)升压PFC变换器，BCM升压型PFC能够获得较高的效率。该优势主要源于消除了升压二极管的反

向恢复损耗，并且升压开关采用了零电压切换(ZVS)或接近ZVS(也称为波谷切换，或谷值切换)。凭借漏感能量回收技术，相比传统反激变换器，DC/DC变换器部分的双开关QR反激式变换器获得了较高的效率。

FAN7382为单片高端或低端门极驱动器集成电路(IC)，用来驱动工作电压高达+600V的MOSFET。

在变压器次级，采用同步整流器技术代替传统的整流二极管，可以进一步提升效率。

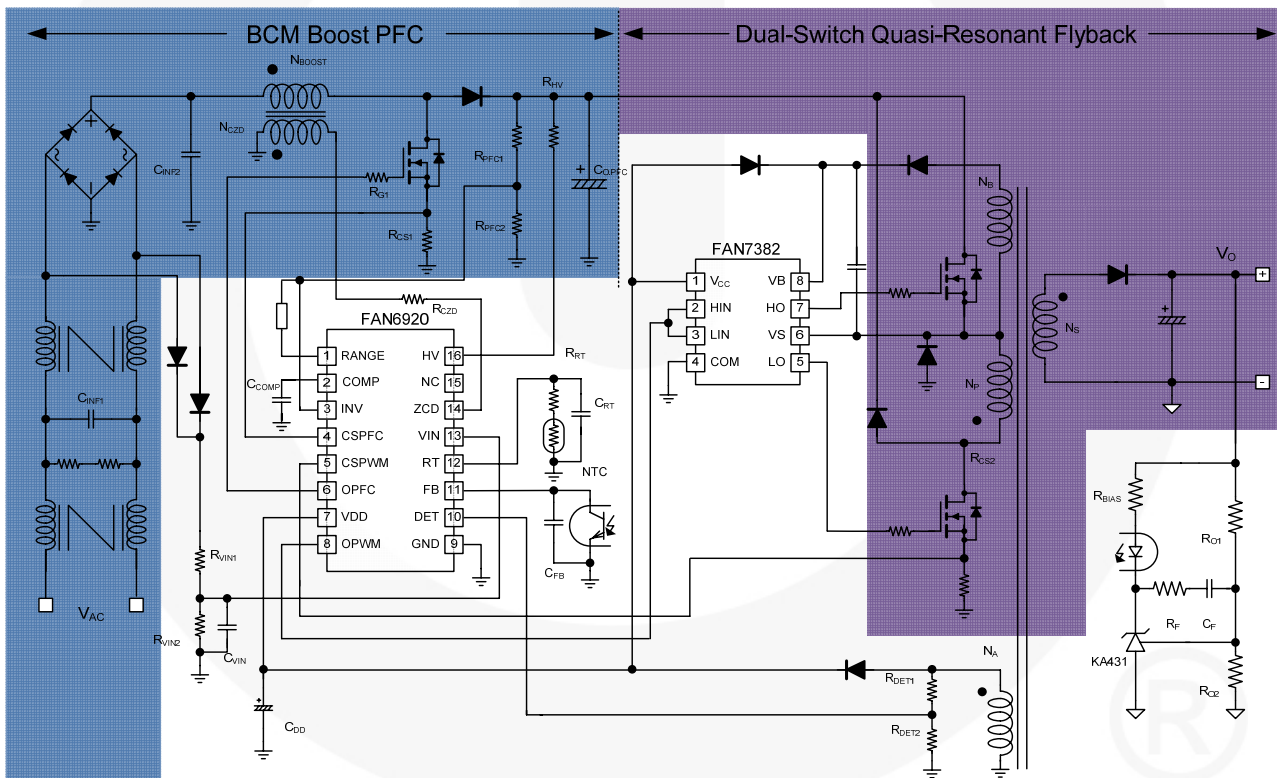


Figure 1. 典型的应用电路

2. BCM 升压PFC 变换器的工作原理

对于升压变换器而言，最常用的工作模式为连续导电模式（CCM）和临界导电模式（BCM）。指的就是PFC 变换器中流过储能电感的电流，如图2 所示。顾名思义，在CCM 模式下电感电流为连续，但是在BCM 模式下，新的开关周期起始于电感电流回零时刻，处于连续导通和断续导通工作模式的临界状态。即使BCM 工作下电感和功率开关具有较高的电流有效值，但是BCM 能够允许MOSFET 和二极具有较好的开关条件。如图2 所示，消除了二极管反向恢复，也无需使用快速碳化硅（SiC）器件。MOSFET 还能够零电流开通，进一步降低开关损耗。

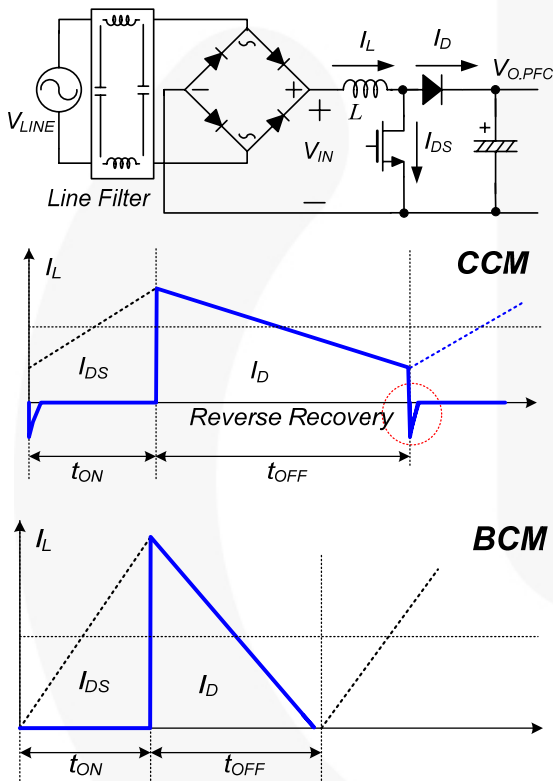


Figure 2. CCM与BCM控制

BCM PFC 的基本概念是，在每一个开关周期中，电感电流由零开始上升，如图3所示。当升压变换器的功率晶体管导通时间固定时，电感电流峰值与输入电压成正比例。由于电流波形为三角波，每个开关周期内的电流平均值也与输入电压成正比。在正弦电压输入情况下，该变换器的输入电流会高精度地跟随输入电压波形，从电源汲取出一个正弦电流波形。该性能使得工作在BCM 模式下的升压变换器成为功率因数校正的理想备选方案。

BCM 的副特性是升压变换器的开关频率会发生变化，而且主要依赖于所定的输出电压、输入电压瞬时值、升压电感的感值以及传输至负载侧的输出功率。随着输入电流跟踪正弦输入电压波形，工作频率相应变

化，如图3所示。最低频率出现在正弦输入电压峰值处。

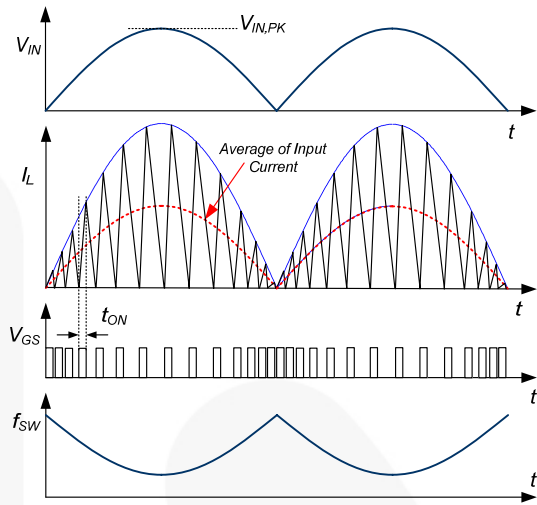


Figure 3. BCM PFC的工作波形

升压电感的电压-秒平衡方程为：

$$V_{IN}(t) \cdot t_{ON} = (V_{O.PFC} - V_{IN}(t)) \cdot t_{OFF} \tag{1}$$

式中， $V_{IN}(t)$ 表示整流后电源电压。

可得BCM 升压 PFC 变换器的开关频率为：

$$f_{SW} = \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN}(t)}{V_{OUT}} \tag{2}$$

$$= \frac{1}{t_{ON}} \cdot \frac{V_{O.PFC} - V_{IN.PK} \cdot |\sin(2\pi f_{LINE}t)|}{V_{O.PFC}}$$

式中， $V_{IN.PK}$ 表示电源电压的幅值， f_{LINE} 表示电源频率。

图4中给出了随着输出功率下降，MOSFET 导通时间和开关频率的变化趋势。当负荷下降时，如图4右侧所示，随着MOSFET 通态时间的减少，电感峰值电流逐渐下降，开关频率逐渐上升。

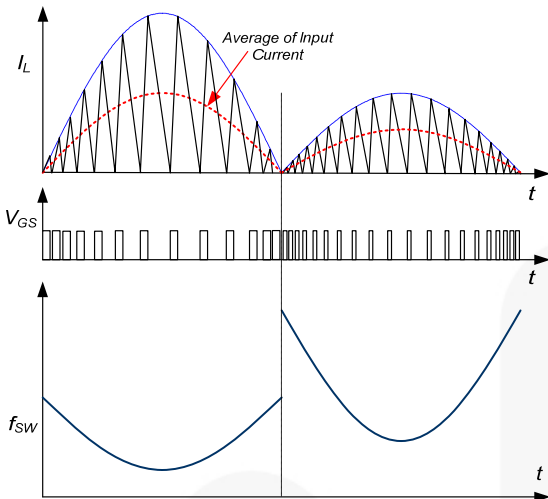


Figure 4. BCM PFC的频率变化

由于BCM PFC 变换器中开关频率可变，电源滤波器和电感的设计应该考虑最低频率条件。具有意义的是，应该检查BCM PFC 变换器的最低开关频率是如何随着工作条件变化的。

图5中给出了在不同的输入电压设置时出现在电源电压峰值处的最低开关频率，它是输入电压有效值的函数。对于通用电源应用而言，只要输出电压低于405V，最低开关频率将出现在电源高压(265V_{AC})时。

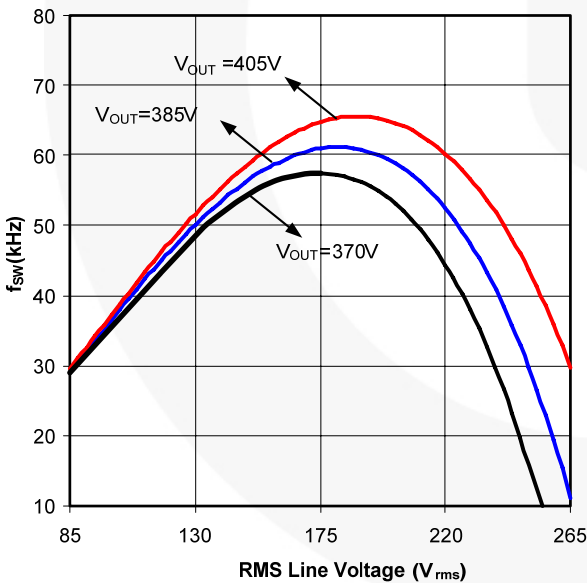


Figure 5. 最低开关频率相对电源电压有效值的关系
(L = 780μH, P_{OUT} = 100W)

3. 双开关准谐振反激变换器的工作原理

双开关准谐振反激变换器的拓扑来源于传统的方波高端/低端PWM，双开关反激变换器具有漏感回收环路，因此无需初级缓冲电路，可以回收在开关导通期间储存在漏感的能量。这一点特别适合大功率（高达200W）和薄型应用。图6和图7给出了简化后双开关准谐振反激变换器的电路图及其典型波形。基本工作原理如下：

- 当初级功率开关导通时，输入电压(V_{IN}) 施加在初级电感(L_m) 的两端。MOSFET 电流(I_{DS}) 由零至峰值(I_{pk}) 线性上升。在此期间，从输入电源获取能量，并存储在电感中。
- 当初级功率开关关断时，变压器漏感产生电压尖峰并施加在PWM 开关上，使得漏极电压增加到电压 V_{IN} 。当钳位到该电平时，在PWM 开关导通期间存储的漏感能量能够通过二极管(D_1, D_2) 得到释放，这样初级绕组上的电压被钳位到 V_{IN} 。电感中存储的能量强迫整流二极管(D_3) 导通。在该二极管导通时间 (t_D) 内，输出电压(V_o) 施加在次级电感两端，二极管电流(I_D) 从峰值到零线性下降。在 t_D 结束时，存储在电感中的所有能量都被传递到输出端。在该时间段内，输出电压反射到初级，数值为 $V_o \times N_p/N_s$ 。输入电压(V_{IN}) 与反射电压($V_o \times N_p/N_s$) 之和强加在MOSFET 两端。

初级绕组上的电压被钳位到 V_{IN} 。如果输入电压过低，次级电压会低于输出电压目标值($V_{IN} < N_p/N_s \times V_o$)，而且输出电压将会跟随输入电压降落。

- 当电感电流达到零时，由于初级电感(L_m) 和MOSFET 输出电容(C_{oss1}, C_{oss2}) 之间出现谐振，漏极-源极电压(V_{DS}) 开始振荡，幅值为 $V_o \times N_p/N_s$ ，抵消部分 V_{IN} ，如图7所示。当 V_{DS} 达到其最小值时，通过开通MOSFET，可以得到准谐振开关。这样就降低了由MOSFET 的漏极-源极之间电容负荷引起的开通损耗。

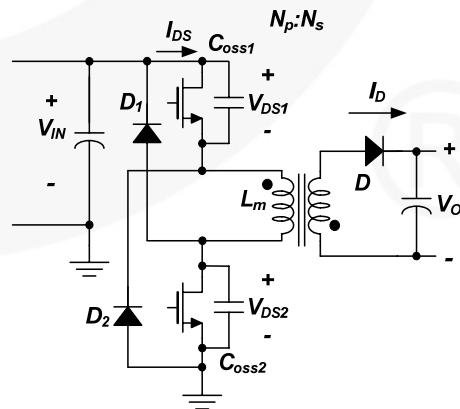


Figure 6. 双开关反激变换器的原理图

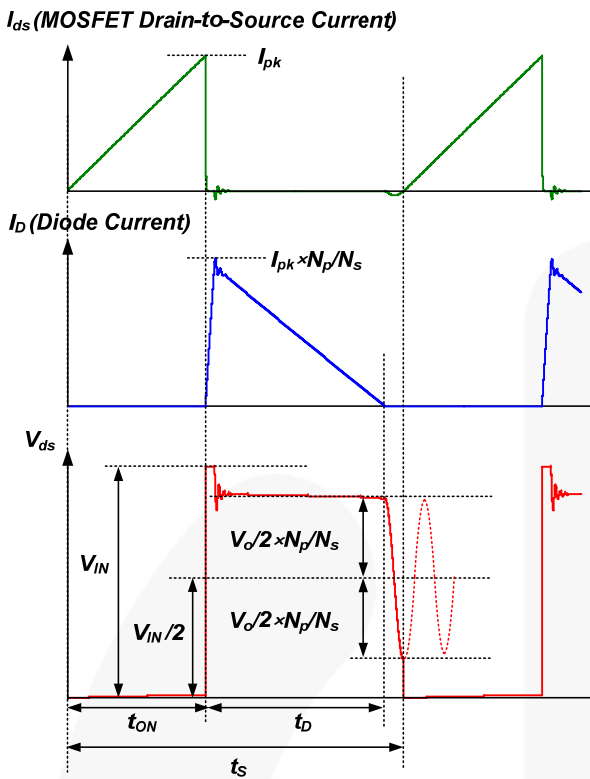


Figure 7. 双开关QR反激变换器的典型波形

4. 高端门极驱动电路

图8和图9中给出了高端/低端门极驱动电路。高端门极驱动集成电路获得了较高性能，而且简单低廉，但是对于双开关反激应用而言，存在一种局限性。

对于高压门极驱动器集成电路的高端门极驱动电路，其中一种最普遍采用的方法是自举电源。自举电源技术具有简单和成本低的优点。对于高压门极驱动器而言，自举电源非常有用，工作原理如下：当高端 V_S 低于该集成电路电源电压 V_{DD} 或被拉低至地（低端开关导通，且高端开关关断）时，自举电容 C_{BOOT} 源自 V_{DD} 电源并通过变压器初级进行充电。

当高端 V_S 被高端开关拉到一个较高的高压时，驱动电源由 V_{BS} 来提供。 V_{BS} 电源悬浮，自举二极管反向偏置，阻断源自半导体电源电压的轨电压 V_{DD} （低端开关关断，且高端开关导通）。但是，双开关反激高端和低端MOSFET 在同一时间导通与关断。因此，一旦高端MOSFET 导通，高端 V_S 等于PFC的 V_O ， V_{DD} 不能为 C_{BOOT} 充电。即使在漏感能量回收期间高端 V_S 被拉低至地，鉴于该期间太短，也不能为 C_{BOOT} 充电。

图8中给出了带有辅助电源的高端门极驱动器电路。如果 V_{CBOOT} 低于高压集成电路的阈值，高端门极输出(V_{HO}) 维持关断状态，则低端MOSFET 导通， C_{BOOT} 充电一个开关周期，在下一个PWM 周期中高端驱动器

再次启动。最后，辅助电源的电压跟随输出电压上升，为高端电路持续供应能量。

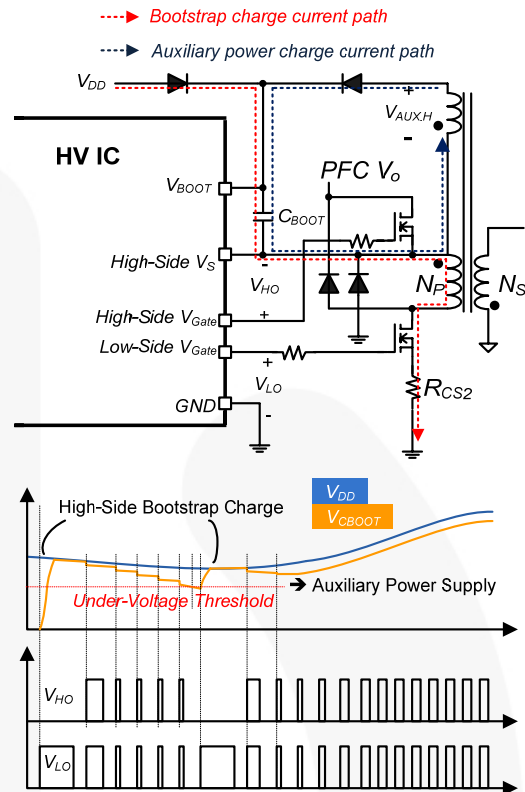


Figure 8. 高端驱动器电路与启动波形

图9 中给出了带有备用电源的高端门极驱动器电路。该电路中，高压集成电路采用了独立电源，供应高端驱动器工作。该电路可用于带有备用电源的应用对象，例如PC 电源。

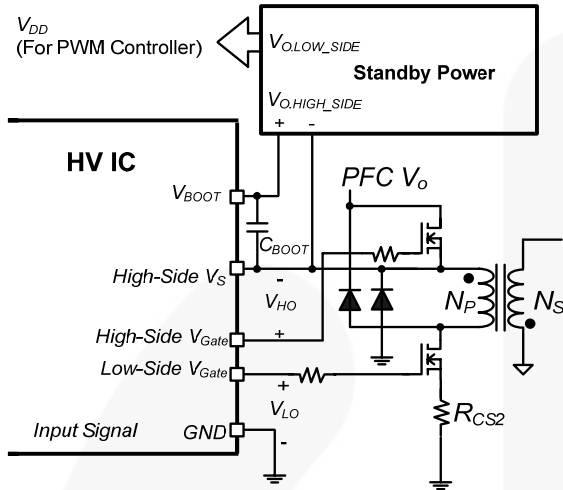


Figure 9. 具有备用电源的高端驱动电路

5. 设计思路

本设计过程采用了图1所示的原理图作为参考。设计范例为一个90W 的PFC 应用，适合通用输入电压范围。设计指标如下：

- 电源电压范围：90~264V_{AC} (60Hz)
- DC/DC 变换器输出：19V/4.7A (90W)
- PFC 输出电压：400V
- 最低PFC开关频率：> 50kHz
- 欠压保护电源电压：70V_{AC}
- 输出过压保护动作限值：22.5V
- 整机效率：90% (PFC 电路：95%，DC/DC电路：95%)

Part A. PFC 环节

[STEP-A1] 升压电感的设计

升压电感的感值决定于输出功率和最低开关频率。根据式2，在给定电源电压和MOSFET 导通时间情况下，最低开关频率为：

$$f_{SW,MIN} = \frac{1}{t_{ON}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (3)$$

式中，

V_{LINE} 指电源电压有效值；

t_{ON} 指MOSFET 导通时间；

V_{O,PFC} 指PFC 输出电压。

在标称输出功率和给定电源电压情况下，MOSFET 导通时间为

$$t_{ON} = \frac{2 \cdot P_{O,PFC} \cdot L}{\eta \cdot V_{LINE}^2} \quad (4)$$

式中，

η 指整机效率；

L 指升压电感。

P_{OUT} 指标称输出功率。

采用式4，则式3 的最低开关频率为：

$$f_{SW,MIN} = \frac{\eta \cdot V_{LINE}^2}{2 \cdot P_{OUT} \cdot L} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE}}{V_{O,PFC}} \quad (5)$$

由于最低频率出现在电压高压时，只要PFC 输出电压低于405V（如图5所示），一旦输出电压和最低开关频率设置完成，可得电感的感值为：

$$L = \frac{\eta \cdot (V_{LINE,MAX})^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC} - \sqrt{2}V_{LINE,MAX}}{V_{O,PFC}} \quad (6)$$

式中，V_{LINE,MAX} 指最高电源电压。

随着最低开关频率的下降，开关损耗逐渐降低，但是电感尺寸和电源滤波器尺寸将增大。因此，最低开关频率应该取决于效率与磁芯原件尺寸之间的折衷。为了消除可听噪声，最低开关频率必须高于20kHz。

一旦电感的感值得到确定，可在低电源电压条件下以及标称输出功率情况下的最大峰值电感电流为：

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} \quad (7)$$

式中，V_{LINE,MIN} 指最小电源电压。

由于最大导通时间被内部限定为20μs，则最大导通时间应该低于20μs，即：

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} < 20\mu s \quad (8)$$

升压电感匝数的确定应该考虑磁芯的饱和问题。最小匝数为：

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} \quad (9)$$

式中，A_e 指磁芯的横截面积，ΔB指磁芯的最大磁通摆幅，单位为T（特斯拉）。

ΔB的设置应该低于饱和磁通密度。

(设计范例) 由于输出电压为400V，最低开关频率出现在高压(264VAC)和满载时。假定，整机效率为90%，选定的最低开关频率为50kHz，可得电感的感值为：

$$L = \frac{\eta \cdot V_{LINE,MAX}^2}{2 \cdot P_{OUT} \cdot f_{SW,MIN}} \cdot \frac{V_{O,PFC,H} - \sqrt{2} \cdot V_{LINE,MAX}}{V_{O,PFC}}$$

$$= \frac{0.9 \cdot 264^2}{2 \cdot 90 \cdot 50 \times 10^3} \cdot \frac{400 - \sqrt{2} \cdot 264}{400} = 464 \mu H$$

升压电感的感值选定为450μH。

在标称输出功率时最大峰值电感电流的计算值为：

$$I_{L,PK} = \frac{2\sqrt{2} \cdot P_{OUT}}{\eta \cdot V_{LINE,MIN}} = \frac{2\sqrt{2} \cdot 90}{0.9 \cdot 90} = 3.14 A$$

$$t_{ON}^{MAX} = \frac{2 \cdot P_{OUT} \cdot L}{\eta \cdot V_{LINE,MIN}^2} = \frac{2 \cdot 90 \cdot 450 \times 10^{-6}}{0.9 \cdot 90^2}$$

$$= 11.1 \mu s < 20 \mu s$$

假定，采用磁芯QP2512 (3C96, $A_e=110mm^2$)，并设置 ΔB 为0.30T，则初级绕组的匝数应该为：

$$N_{BOOST} \geq \frac{I_{L,PK} \cdot L}{A_e \cdot \Delta B} = \frac{3.14 \times 450 \times 10^{-6}}{110 \times 10^{-6} \times 0.30} = 42.82 turns$$

这样，升压电感的匝数(N_{BOOST})选定为44。

[STEP-A2] 辅助绕组的设计

图11中给出了零电流检测(ZCD)的内部电路。利用升压电感的辅助绕组，FAN6920可以间接地检测电感电流过零时刻。

辅助绕组的设计应该确保：当升压开关关断时，ZCD管脚的电压升高并超过2.1V，这样才能触发内部比较器：

$$\frac{N_{ZCD}}{N_{BOOST}} (V_{O,PFC,H} - \sqrt{2} V_{LINE,MAX}) > 2.1V \tag{10}$$

式中， $V_{O,PFC,H}$ 指高电源电压条件下PFC的输出电压。

ZCD管脚的高压钳位为10V，低压钳位为0.45V。当ZCD管脚的电压被钳位在0.45V时，最大源电流为1.5mA，因此，在最坏条件下，电阻 R_{ZCD} 的设计应该将ZCD管脚的电流限制在1.5mA以内。

$$R_{ZCD} > \frac{V_{IN}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} = \frac{\sqrt{2} V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{AUX}}{N_{BOOST}} \tag{11}$$

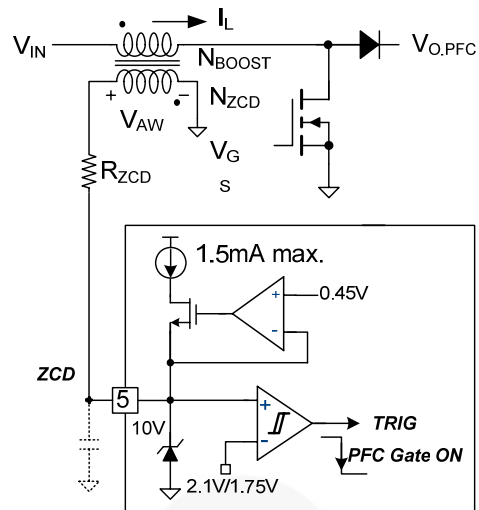


Figure 10. ZCD的内部电路

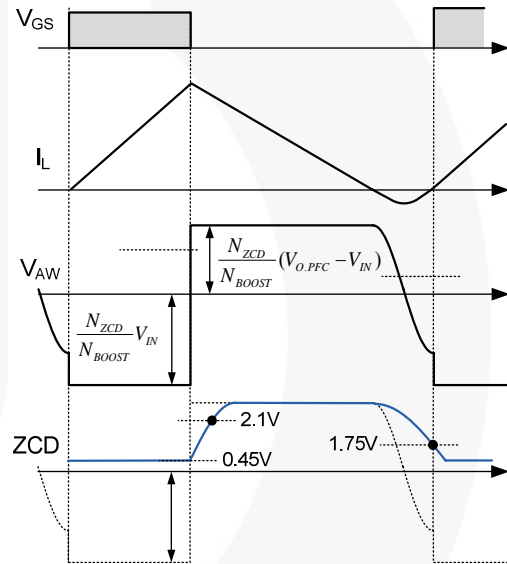


Figure 11. ZCD波形

(设计范例) 可得辅助ZCD绕组的匝数为：

$$N_{ZCD} > \frac{2.1 N_{BOOST}}{(V_{O,PFC,H} - \sqrt{2} V_{LINE,MAX})} = 3.5 turns$$

留足余量，确定 N_{AUX} 为8匝。

然后，选取 R_{ZCD} 为：

$$R_{ZCD} > \frac{\sqrt{2} V_{LINE,MAX}}{1.5mA} \cdot \frac{N_{ZCD}}{N_{BOOST}} = \frac{\sqrt{2} \cdot 264}{1.5 \times 10^{-3}} \cdot \frac{8}{44} = 45.248 k\Omega$$

选择47.5kΩ。

[STEP-A3] VIN 检测电路的设计

FAN6920采用平均电路检测电源电压，如图12所示，图中VIN 管脚通过分压电路和交流滤波电容连接到交流电源。当VIN 跌至1V以下时，COMP 管脚被钳位在1.6V，限制了能量输出。跟随VIN 管脚电压，VO.PFC 相应下降。当VIN 管脚电压跌至1V以下时，欠压保护触发，终止PFC 与DC/DC 环节的栅极驱动信号。

欠压保护电平确定公式为：

$$V_{LINE.BO} = \frac{\pi}{2\sqrt{2}} \cdot \frac{R_{VIN1} + R_{VIN2}}{R_{VIN2}} \quad (12)$$

允许PFC 启动的最小电源电压给定公式为：

$$V_{LINE.STR} = 1.2 \cdot V_{LINE.BO} \quad (13)$$

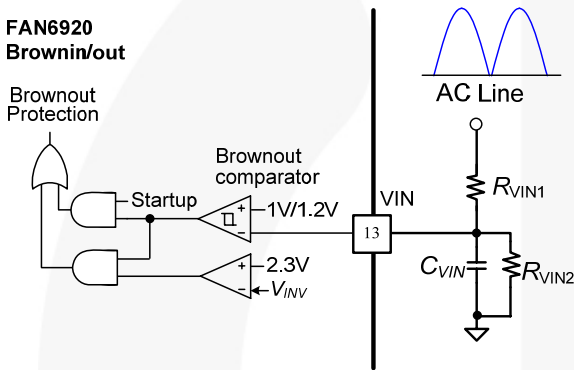


Figure 12. VIN 检测的内部电路

(设计范例) 设置欠压保护动作限值为69V_{AC}，则：

$$\frac{R_{VIN1} + R_{VIN2}}{R_{VIN2}} = V_{LINE.BO} \cdot \frac{2\sqrt{2}}{\pi} = 62$$

选择R_{VIN2} 为154kΩ，R_{VIN1} 为9.4MΩ。可得允许启动PFC 的电源电压为：

$$V_{LINE.STR} = 1.2 \cdot V_{LINE.BO} = 83V_{AC}$$

[STEP-A4] PFC 的测流电阻

FAN6920 具有逐脉冲限流功能。典型地，设置逐脉冲限流限值应高于最大电感电流的20~30%，则：

$$R_{CSI} = \frac{0.82}{I_{L.PK}(1 + K_{MARGIN})} \quad (14)$$

式中，K_{MARGIN} 指裕度系数，0.82V指逐脉冲限流阈值。

(设计范例) 给定裕度系数为35%，则选择测流电阻为：

$$R_{CSI} = \frac{0.82}{I_{L.PK}(1 + K_{MARGIN})} = \frac{0.82}{3.14(1 + 0.35)} = 0.19\Omega$$

[STEP-A6] 补偿网络的设计

对于PFC 应用而言，反馈环路带宽必须低于20Hz，控制环路目的就是衰减输出电压中的120Hz纹波电压，并降低电源电流畸变和提高功率因数。COMP 与GND 之间连接的电容可以将电源频率的纹波电压衰减40dB。如果在误差放大器输出端与GND 之间连接一个电容，则误差放大器成为积分器，误差放大器的补偿电容计算公式为：

$$C_{COMP} > \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O.PFC.H}} \quad (15)$$

为了提高功率因数，C_{COMP} 必须高于计算值。但是，如果取值过大，输出电压控制环路的速度将变得很慢。

(设计范例)

$$C_{COMP} > \frac{100 \cdot g_M}{2\pi \cdot 2f_{LINE}} \cdot \frac{2.5}{V_{O.PFC.H}} = \frac{100 \cdot 125 \times 10^{-6}}{2\pi \cdot 2 \cdot 60} \cdot \frac{2.5}{400} = 103nF$$

选择补偿电容为470nF，可以获得较高的功率因数。

Part B. DC/DC 环节

[STEP-B1] 次级整流电压(V_D^{nom})的确定

图13中给出了双开关准谐振反激变换器的典型工作波形。当MOSFET 关断时，输入电压（即PFC 输出电压）以及输出电压反射到初级的(V_{RO})被强加在MOSFET 上。当MOSFET 导通时，反射到次级的输入电压以及输出电压之和被施加在次级整流器的两端。这样，二极管和MOSFET 两端的最大标称电压(V_{ds}^{nom})为：

$$V_{DS}^{nom} = \frac{V_{O.PFC} + n(V_O + V_F)}{2} = \frac{V_{O.PFC} + V_{RO}}{2} \quad (16)$$

式中，

$$n = \frac{N_P}{N_S} = \frac{V_{RO}}{V_O + V_F}$$

$$V_D^{nom} = V_O + \frac{V_{O.PFC}}{n} \quad (17)$$

通过增加V_{RO} (即匝数 n)，MOSFET 的容性开关损耗和导通损耗可以减少。这样做还可以降低次级整流器的电压应力。V_{RO} 的确定应该在保持时间与次级整流二极管电压应力之间进行折衷。

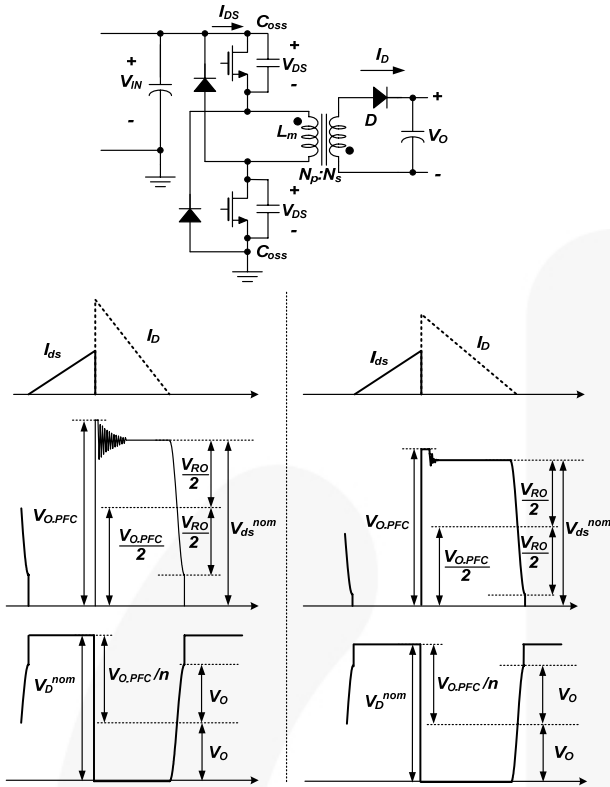


Figure 13. QR反激变换器的典型波形

(设计范例) 假定，次级（同步整流器）选用75V的MOSFET，预留70%的电压裕量，则：

$$0.7 \cdot 75 > V_D^{nom} = V_O + \frac{V_{O,PFC}}{n}$$

$$\therefore n > \frac{V_{O,PFC}}{0.7 \cdot 75 - V_O} = \frac{400}{0.7 \cdot 75 - 19} = 11.94$$

这样，确定匝数n为12。

[STEP-B2] 保持时间所需最小PFC输出电压(V_{O,PFC.L})的计算

对于PFC输出电容，典型地，当400V PFC输出时，按照每瓦输出功率选择0.5~1μF电容。与此同时，对于输出电压可变的PFC，按照每瓦输出功率选择1μF电容是合理的，这是由于在保持时间中会出现相比400V输出的较大压降。在本例中，选择两个100μF电容作为输出电容(C_{O,PFC})。

在低电源电压条件下，较低的PFC输出电压可以改善系统效率，但是PFC输出电容的能量会影响到保持时间。所需保持时间对应的最小PFC输出电压计算公式为：

$$V_{O,PFC}^{min} \geq \sqrt{\frac{2 \cdot t_{HOLD} \cdot P_{OUT}}{\eta \cdot C_{O,PFC}}} + V_{O,PFC,HLD} \quad (18)$$

式中，

t_{HOLD} 指所需保持时间；

P_{OUT} 指总的标称输出功率；

V_{O,PFC.L} 指所需保持时间对应的最小PFC输出电压；

V_{O,PFC,HLD} 指保持时间内允许的最小PFC输出电压。

变压器初级绕组的电压被钳位到V_{O,PFC}，因此可得保持时间内最小PFC输出电压为：

$$V_{O,PFC,HLD} = n \cdot (V_O + V_F) \quad (19)$$

式中，V_F指同步整流器MOSFET漏极-源极二极管正向电压，V_F大约为1V。

(设计范例) 鉴于PFC的响应较慢，所需保持时间应该大于12ms，才能避免在动态负荷条件下PFC输出电压降落影响输出电压。假定，保持时间为12ms，则V_{O,PFC}^{min}为：

$$V_{O,PFC}^{min} \geq \sqrt{\frac{2 \cdot t_{HOLD} \cdot P_{OUT}}{\eta \cdot C_{O,PFC}} + [n \cdot (V_O + V_F)]^2}$$

$$= \sqrt{\frac{2 \cdot 12 \times 10^{-3} \times 90}{0.9 \cdot 100 \times 10^{-6}} + [12 \cdot (19 + 1)]^2} = 286V$$

[STEP-B3] 变压器的设计

图14中给出了准谐振变换器典型的开关时序。MOSFET导通时间(t_{ON})、二极管导通时间(t_D)、漏极电压下降时间(t_F)之和构成了开关周期(t_S)。为了确定初级电感(L_m)，应首先确定以下参数：

最低开关频率(f_{S,QR}^{min})

最低开关频率出现在最低输入电压和满载条件下。为了避免可听噪声，最低开关频率应该高于20kHz。通过增加f_{S,QR}^{min}，可以减少变压器尺寸。但是，这将导致开关损耗增加，确定f_{S,QR}^{min}应该在考虑开关损耗和变压器尺寸之间进行折衷。典型的f_{S,QR}^{min}应设置为70kHz。

MOSFET漏极电压的下降时间(t_F)

如图14所示，MOSFET漏极电压下降时间为MOSFET等效输出电容与初级电感之间谐振周期的一半。t_F的典型值为0.6~1.2μs。

MOSFET 的关断时间 (t_{OFF})

FAN6920规定了MOSFET 的最小关断时间($5\mu\text{s}$)，在该期间，禁止开通MOSFET。为了最大化提升效率，在重载条件下，有必要在漏极-源极电压出现的第一个波谷时就开通MOSFET。因此，重载条件下MOSFET 关断时间应该高于 $5\mu\text{s}$ 。

确定完 $f_{S,QR}^{\min}$ 和 t_F 后，可得最大占空比计算公式为：

$$D_{\max} = \frac{V_{RO}}{V_{RO} + V_{O,PFC,L}} \cdot (1 - f_{S,QR}^{\min} \cdot t_F) \quad (20)$$

接着，可得初级电感为：

$$L_m = \frac{\eta_{QR} \cdot (V_{O,PFC,L} \cdot D_{\max})^2}{2 \cdot f_{S,QR}^{\min} P_{OUT}} \quad (21)$$

一旦 L_m 确定完成，可得在常规工作条件下最大峰值电流和MOSFET 有效值电流分别为：

$$I_{DS}^{PK} = \frac{V_{O,PFC,L} \cdot D_{\max}}{L_m f_{S,QR}^{\min}} \quad (22)$$

$$I_{DS}^{RMS} = I_{DS}^{PK} \sqrt{\frac{D_{\max}}{3}} \quad (23)$$

在重载和低电源电压下，MOSFET 的关断时间为：

$$t_{OFF,L} = \frac{(1 - D_{\max})}{f_{S,QR}^{\min}} \quad (24)$$

在重载和较高PFC 输出电压($V_{O,PFC,H}$)下，MOSFET 的关断时间为：

$$t_{OFF,H} = t_{OFF,L} \cdot \frac{V_{O,PFC,L}}{V_{O,PFC,H}} \cdot \frac{V_{O,PFC,H} + V_{RO}}{V_{O,PFC,L} + V_{RO}} \quad (25)$$

为了确保在高电源电压和重载条件下下实现第一波谷开关切换， $t_{OFF,H}$ 应该大于 $5\mu\text{s}$ 。

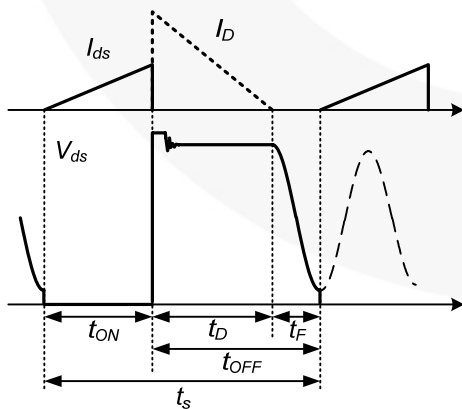


Figure 14. QR反激变换器的开关时序

在设计变压器时，应该考虑到正常工作时的最大磁通密度摆幅(B) 以及瞬态时的最大磁通密度摆幅(B_{\max})。正常工作时的最大磁通密度摆幅与磁芯的磁滞损耗有关，瞬态时的最大磁通密度摆幅与磁芯饱和有关。

可以避免磁芯过温的变压器初级最小匝数为：

$$N_P^{\min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} \quad (26)$$

式中， B 指最大磁通密度摆幅，单位为T (特斯拉)。

如果缺乏参考数据，可以采用 $B = 0.25 \sim 0.30\text{T}$ 。

一旦初级的最小匝数确定完成，需要计算取整，使得到的 N_P 大于 N_P^{\min} ， N_P 为：

$$N_P = n \cdot N_S > N_P^{\min} \quad (27)$$

V_{DD} 辅助绕组的匝数为：

$$N_{AUX} = \frac{V_{DD}^{nom} + V_{FA}}{(V_O + V_F)} \cdot N_S \quad (28)$$

式中， V_{DD}^{nom} 指 V_{DD} 标称电压，范围为 $12 \sim 20\text{V}$ ； V_{FA} 指 V_{DD} 二极管的正向压降，大于为 1V 。

一旦初级绕组的匝数确定完成，应该校验漏极电流达到其逐脉冲限流限值时的最大磁通密度，确保在瞬态或故障条件下变压器不出现饱和。

当漏极电流达到 I_{LIM} 时的最大磁通密度 (B_{\max}) 为

$$B_{\max} = \frac{L_m I_{LIM}}{A_e N_P} < B_{sat} \quad (29)$$

B_{\max} 应该小于饱和磁通密度。

如果缺乏参考数据，可以采用 $B_{sat} = 0.35 \sim 0.40\text{T}$ 。

(设计范例) 设置最低频率为 65kHz ，下降时间为 $1\mu\text{s}$ ，并假定 $V_{O,PFC,L} = 300\text{V}$ ，则：

$$D_{\max} = \frac{V_{RO}}{V_{RO} + V_{O,PFC,L}} \cdot (1 - f_{S,QR}^{\min} \cdot t_F) = \frac{240}{240 + 300} \cdot (1 - 70 \times 10^3 \cdot 1 \times 10^{-6}) = 0.413$$

$$L_m = \frac{\eta \cdot (V_{O,PFC,L} \cdot D_{\max})^2}{2 \cdot f_{S,QR}^{\min} \cdot P_O} = \frac{0.95 \cdot (300 \cdot 0.413)^2}{2 \cdot 70 \times 10^3 \cdot 90} = 1160 \mu\text{H}$$

$$I_{DS}^{PK} = \frac{V_{O,PFC,L} \cdot D_{\max}}{L_m f_{S,QR}^{\min}} = \frac{300 \cdot 0.413}{1160 \times 10^{-6} \cdot 70 \times 10^3} = 1.53\text{A}$$

$$t_{OFF.L} = \frac{(1 - D_{max})}{f_{S,QR}} = \frac{1 - 0.413}{70 \times 10^3} = 8.39 \mu s$$

$$t_{OFF.H} = t_{OFF.L} \cdot \frac{V_{O,PFC.L}}{V_{O,PFC.H}} \cdot \frac{V_{O,PFC.H} + V_{RO}}{V_{O,PFC.L} + V_{RO}}$$

$$= 8.39 \times 10^{-6} \cdot \frac{300}{400} \cdot \frac{400 + 240}{300 + 240} = 7.46 \mu s > 5 \mu s$$

假定，采用磁芯QP2912 ($A_e=144\text{mm}^2$)，且磁通摆幅为0.28T，则：

$$N_p^{\min} = \frac{L_m I_{DS}^{PK}}{A_e \Delta B} = \frac{1160 \times 10^{-6} \cdot 1.53}{144 \times 10^{-6} \cdot 0.28} = 44$$

$$N_p = n \cdot N_s \Rightarrow 12 \cdot 3 = 36 < N_p^{\min}$$

$$\Rightarrow 12 \cdot 4 = 48 > N_p^{\min}$$

确定 N_p 为48匝， N_s 为4匝。

$$\frac{12 + V_{FA}}{(V_o + V_F)} \cdot N_s < N_{AUX} < \frac{20 + V_{FA}}{(V_o + V_F)} \cdot N_s$$

$$\Rightarrow \frac{12 + 1}{20} \cdot 4 < N_{AUX} < \frac{20 + 1}{20} \cdot 4$$

$$\Rightarrow 2.6 < N_{AUX} < 4.2$$

这样，确定 N_{AUX} 为3匝。

高端驱动器辅助绕组的匝数为：

$$N_{AUX.H} \leq N_{AUX}$$

确定 $N_{AUX.H}$ 为2匝。

假定，低PFC输出电压时，逐脉冲电流限值为重载下峰值漏电流的140%，则：

$$B_{max} = \frac{L_m I_{LIM}}{A_e N_p} = \frac{1160 \times 10^{-6} \cdot 2.14}{144 \times 10^{-6} \cdot 48} = 0.36T$$

[STEP-B3] 波谷检测电路的设计

通过监测流过DET管脚的电流，可以检测MOSFET电压的波谷。典型的应用电路如图15所示，典型的波形如图16所示。DET管脚的高压钳位为5V，低压钳位为0.7V。在MOSFET关断后，波谷检测电路的消隐时间为5μs。当 V_{AUX} 降低至零时， V_{DET} 钳位在0.7V，电流流出DET管脚。一旦流出DET管脚的电流超过30μA，MOSFET的开通延时为200ns。当DET管脚被钳位在0.7V时，为了保证波谷检测电路能够触发，流过 R_{DET2} 的电流应该大于30μA。

$$\frac{0.7}{R_{DET2}} > 30 \mu A \tag{30}$$

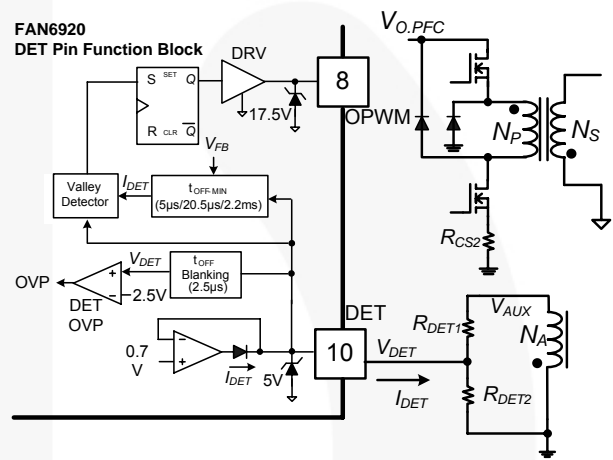


Figure 15. DET管脚的典型应用电路

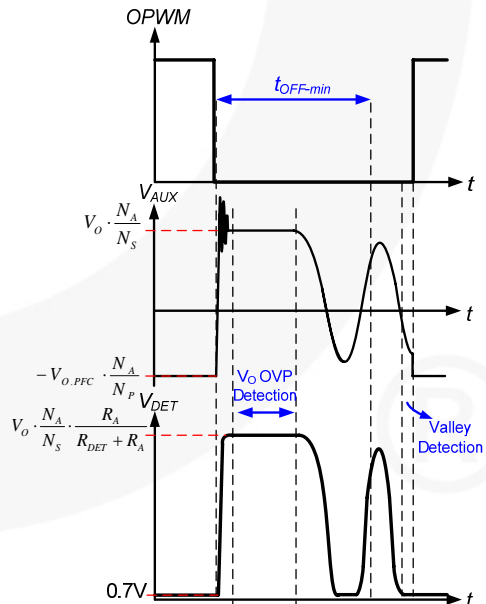


Figure 16. 波谷检测与 V_o OVP 检测的波形

在MOSFET 关断时，采用DET 管脚的电压可以间接监测输出电压，用于过压保护。R_{DET1} 与 R_{DET2}的比值应该确定为：

$$2.5 = \frac{R_{DET2}}{R_{DET1} + R_{DET2}} \frac{N_A}{N_S} V_{OVP} = \frac{1}{K_{DET} + 1} \frac{N_A}{N_S} V_{OVP} \quad (31)$$

由上式，可得R_{DET1} 与 R_{DET2}的比值为：

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_A}{N_S} \cdot \frac{V_{OVP}}{2.5} - 1 \quad (32)$$

对于准谐振反激变换器，在给定输出功率时峰值-漏极电流随着输入电压的增加而下降。结果，采用阈值恒定的逐脉冲限流手段，并不能获得恒定功率限制。FAN6920 具有高/低电源过功率补偿功能，随着输入电压的增加，能够降低逐脉冲限流限值。当MOSFET 导通时，FAN6920采用流出DET 管脚的电流来检测输入电压。逐脉冲限流限值相对DET 电流的关系如图18所示。

对于低电源电压与高电源电压 PFC 输出电压，DET 管脚的电流计算公式为：

$$I_{DET.L} = \frac{V_{O.PFC.L} \frac{N_A}{N_P} - 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.L} \frac{N_A}{N_P}}{R_{DET1}} \quad (33)$$

$$I_{DET.H} = \frac{V_{O.PFC.H} \frac{N_A}{N_P} - 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \cong \frac{V_{O.PFC.H} \frac{N_A}{N_P}}{R_{DET1}} \quad (34)$$

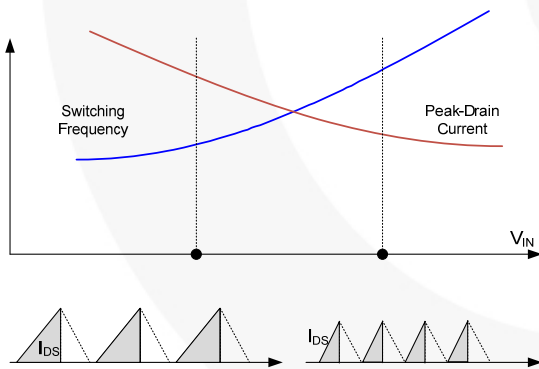


Figure 17. 随输入电压增加开关频率与峰值漏极电流的变化

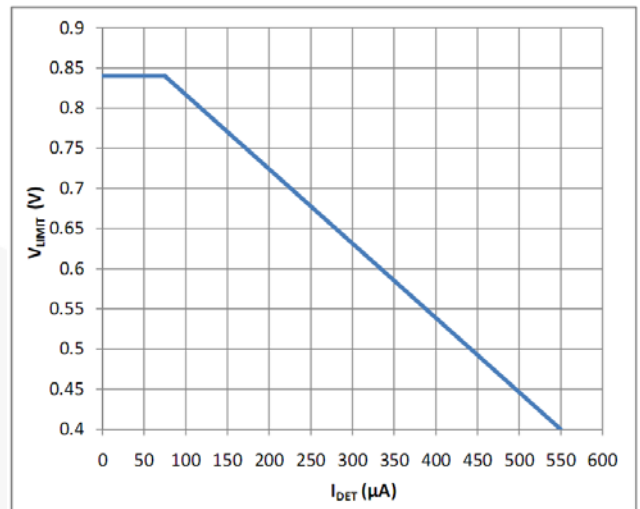


Figure 18. I_{DET}-V_{LIMIT} 曲线

在线性区间(I_{DET}=100~500μA)，I_{DET} 与 V_{LIMIT} 的关系近似为：

$$V_{LIMIT} = -877 \cdot I_{DET} + 0.882 \quad (35)$$

假定，两级电压PFC 输出：对于给定输出功率，在低电源电压与高电源电压时，峰值-漏极电流之间的比值为：

$$\frac{I_{DS}^{PK.L}}{I_{DS}^{PK.H}} = \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}} \quad (36)$$

对于给定的输出功率，在低电源电压与高电源电压时，逐脉冲限流限值之间的比值为：

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} \cong \frac{-994 \cdot V_{O.PFC.L} \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \frac{N_A}{N_P} + R_{DET1}} \quad (37)$$

为了获得恒定功率限制，确定R_{DET1} 时应使式(38) 和式(39) 相等。然而，对于实际设计，考虑到逐脉冲关断延时以及在低电源电压时PFC 输出电压纹波的增加，典型地，选取为式(38)的108~115%。

给定R_{DET1}可以确定限流阈值电压，可得限流阈值电压为：

$$V_{LIMIT} = -877 \cdot \left(\frac{V_{O.PFC.L} \frac{N_A}{N_P} - 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882 \quad (38)$$

可得测流电阻的阻值为：

$$R_{CS2} = \frac{V_{LIMIT}}{I_{DS}^{LIM}} \quad (39)$$

(设计实例)

$$\frac{0.7}{R_{DET2}} > 30\mu A, R_{DET2} < 23.3k\Omega$$

设置OVP 动作限值为22.5V

$$K_{DET} = \frac{R_{DET1}}{R_{DET2}} = \frac{N_{AUX}}{N_S} \cdot \frac{V_{OVP}}{2.5} - 1 = \frac{3}{4} \cdot \frac{22.5}{2.5} - 1 = 5.75$$

则, $R_{DET1} = K_{DET-R} \cdot R_{DET2} < 134k\Omega$

$$\frac{I_{DS}^{PK.L}}{I_{DS}^{PK.K}} = \frac{V_{O.PFC.H}}{V_{O.PFC.L}} \cdot \frac{V_{O.PFC.L} + V_{RO}}{V_{O.PFC.H} + V_{RO}}$$

$$= \frac{400}{300} \cdot \frac{300 + 240}{400 + 240} = 1.125$$

采用1.125的113%倍,

$$\frac{V_{LIMIT.L}}{V_{LIMIT.H}} = 1.27 = \frac{-994 \cdot V_{O.PFC.L} \cdot \frac{N_A}{N_P} + R_{DET1}}{-994 \cdot V_{O.PFC.H} \cdot \frac{N_A}{N_P} + R_{DET1}}$$

$$= \frac{-994 \cdot 300 \cdot \frac{3}{48} + R_{DET1}}{-994 \cdot 400 \cdot \frac{3}{48} + R_{DET1}} = \frac{-18637.5 + R_{DET1}}{-24850 + R_{DET1}}$$

则, $R_{DET1} = 47.5K\Omega, R_{EDT2} = 8.25K\Omega$ 。

R_{DET1} 与 R_{DET2} 采用标准元件, 取值分别为150kΩ and 18kΩ。

接下来, 可得逐脉冲限流阈值电压为:

$$V_{LIMIT} = -877 \cdot \left(\frac{V_{O.PFC.L} \cdot \frac{N_A}{N_P} - 0.7}{R_{DET1}} + \frac{0.7}{R_{DET2}} \right) + 0.882$$

$$= 0.474V$$

设置低电源电压下的限流限值为 I_{DS}^{PK} 的115%

$$\frac{0.63}{1.53A \times 1.15} = 0.27\Omega$$

[STEP-B4] 反馈电路的设计

图19中给出了一种典型的反馈电路, 主要由一只分流稳压器和一只光电耦合器构成。 R_{O1} 与 R_{O2} 构成了分压电路, 用于输出电压调节。 R_F 与 C_F 用于调节控制环路补偿。一种低值RC 滤波器 (例如, $R_{FB} = 100\Omega, C_{FB} = 1nF$) 安置在FB 管脚与GND 之间, 可以大大地改善稳定性。FB 管脚的最大源电流大约为1.2mA。该光电晶体管必须能够灌入该电流, 才能在空载时拉低FB 电平。可得该偏置电阻 R_{BIAS} 的阻值为:

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3} \tag{40}$$

式中, V_{OPD} 指光电二极管的压降1.2V, V_{KA} 指分流稳压器的最小阴极- 阳极电压(2.5V), CTR 指光电耦合器的电流变比。

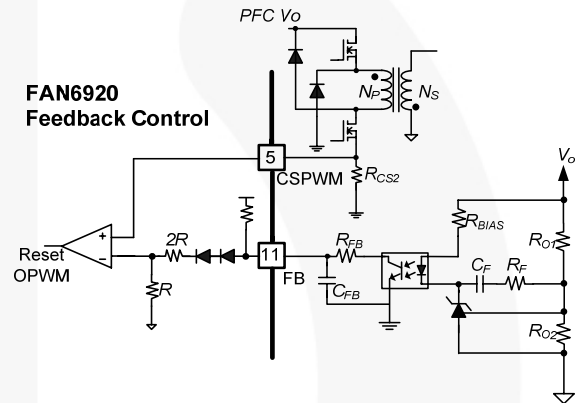


Figure 19. 反馈电路

(设计范例) 假定, CTR为100%, 则:

$$\frac{V_O - V_{OPD} - V_{KA}}{R_{BIAS}} \cdot CTR > 1.2 \times 10^{-3}$$

$$R_{BIAS} < \frac{V_O - V_{OPD} - V_{KA}}{1.2 \times 10^{-3}} = \frac{19 - 1.2 - 2.5}{1.2 \times 10^{-3}} = 12.75k\Omega$$

选择 R_{BIAS} 为330Ω。

选择 V_O 检测的分压电阻分别为66.5kΩ and 10kΩ。

[STEP-B5] 过温保护电路的设计

可调过温保护 (OTP) 电路如图20 所示。可以发现，一个恒定电流源 (I_{RT}) 与 RT 管脚相连。一旦 V_{RT} 低于 0.8V，持续时间大于10ms反跳时间，FAN6920就被锁住。 R_{RT} 的确定公式为：

$$0.8V = (R_{RT} + R_{NTC@OT}) \times 100\mu A \tag{41}$$

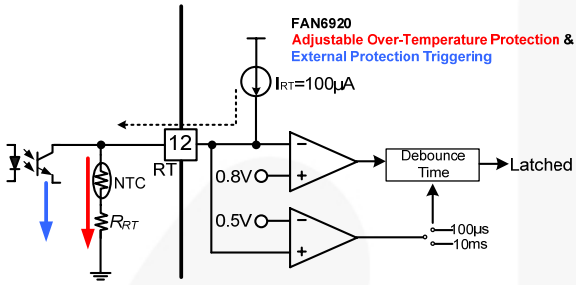


Figure 20. 可调过温保护与外部闭锁功能

(设计范例) 假定，在过温保护限值时NTC阻值为 4.3kΩ。

$$R_{RT} = \frac{0.8V}{100\mu A} - 4.3k\Omega = 3.7k\Omega$$

设计范例的最终原理图

本节中对最终设计范例进行了总结。主要的系统指标总结如表1所示，主要的设计参数总结如表2所示，最终设计原理图如图21所示。在启动中，为了使V_{DD}获得足够的保持时间，采用了两级电路。为了获得最高效率，采用飞兆半导体FAN6204，将次级整流器设计成同步整流电路。

表 1. 系统指标

输入	
输入电压范围	90~264V _{AC}
电源频率范围	47~63Hz
输出	
输出电压(V _o)	19V
输出功率(P _o)	90W

表 2. 主要的设计参数

PFC电路	
PFC电感(L _{BOOST})	450μH
PFC电感匝数(N _{BOOST})	44T
ZCD 辅助绕组匝数 (N _{ZCD})	8T
最低开关频率 (f _{s,PFC} ^{min})	40kHz
PWM电路	
PWM 变压器的初级电感匝数 (N _P)	48T
PWM 变压器的辅助绕组匝数(N _{AUX})	4T
高端驱动变压器辅助绕组的匝数(N _{AUX,H})	3T
PWM 变压器匝比 (n)	12
初级电感 (L _P)	1160μH
最低开关频率 (f _{s,QR} ^{min})	70kHz

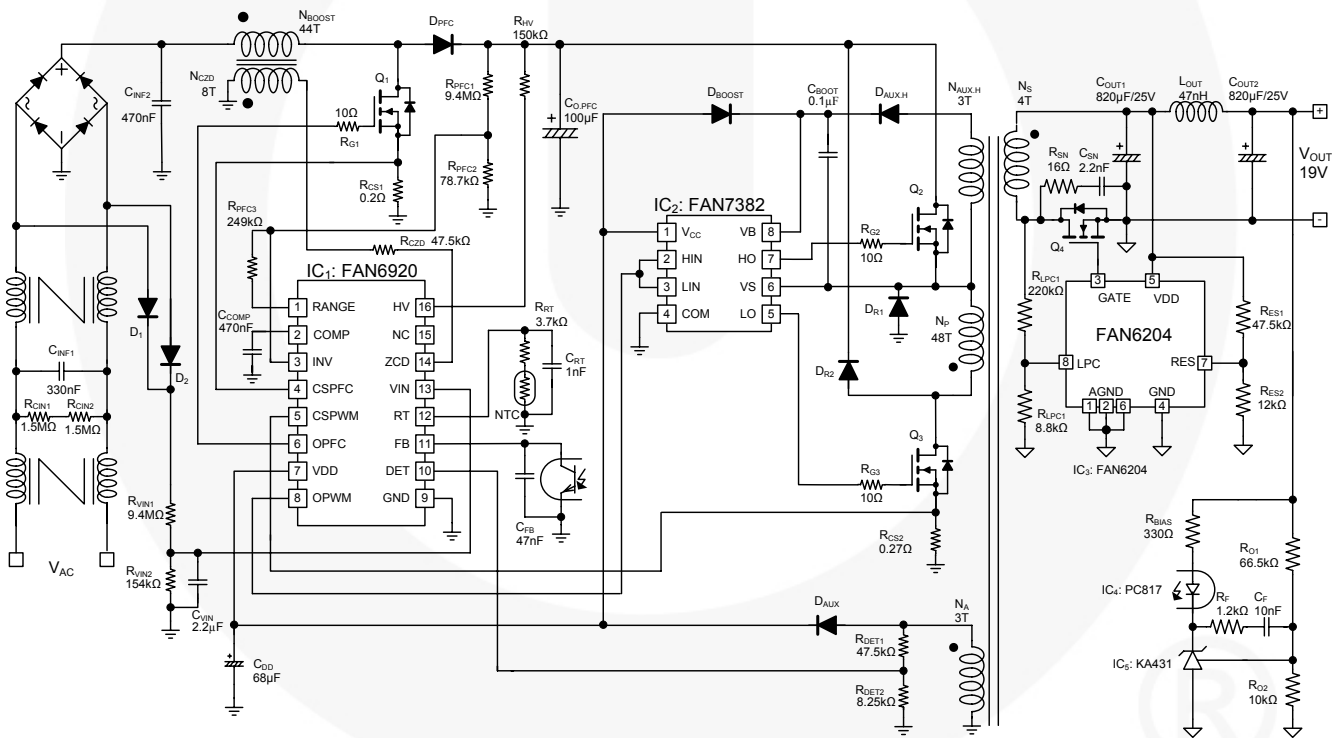


Figure 21. 最终设计范例的原理图

表 3. 材料单

器件	值	备注
电阻		
R _{PFC1}	9.4kΩ	1/4W
R _{PFC2}	78.7kΩ	1/8W
R _{PFC3}	249kΩ	1/8W
R _{VIN1}	9.4kΩ	1/4W
R _{VIN2}	154kΩ	1/8W
R _{ZCD}	47.5kΩ	1/4W
R _{HV}	150kΩ	1W
R _{RT}	3.7kΩ	1/8W
R _{CS1}	0.2Ω	2W
R _{CS2}		2W
R _{G1}	10Ω	1/4W
R _{G2}	10Ω	1/4W
R _{G3}		1/4W
R _{DET1}	47.5kΩ	1/4W
R _{DET2}	8.25kΩ	1/8W
R _{CIN1}	1.5MΩ	1/4W
R _{CIN2}	1.5MΩ	1/4W
R _{LPC1}	220kΩ	1/8W
R _{LPC2}	8.8kΩ	1/8W
R _{RES1}	47.5kΩ	1/8W
R _{RES2}	12kΩ	1/8W
R _{SN}		1W
R _{O1}	66.5kΩ	1/8W
R _{O2}	10kΩ	1/8W
R _{BIAS}	330Ω	1/4W
R _F	1.2kΩ	1/8W
电容		
C _{INF1}	330nF	XCAP
C _{INF2}	470nF	
C _{VIN}	2.2μF	
C _{COMP}	470nF	
C _{DD}	68μF	50V
C _{RT}	1nF	

器件	值	备注
C _{FB}	47nF	
C _{O,PFC}	100μF	450V
C _{SN}	2.2nF	
C _F	10nF	
C _{OUT1}	820μF	25V
C _{OUT2}	820μF	25V
C _{BOOT}	0.1μF	
二极管		
D ₁	S1J	
D ₂	S1J	
D _{PFC}	ES3J	
D _{BOOST}	ES1H	超快二极管
D _{AUX}	RS1D	快速二极管
D _{MIX,H}	RS1D	快速二极管
D _{R1}	ES1H	超快二极管
D _{R2}	ES1H	超快二极管
MOSFET		
Q ₁	FCB11N60	
Q ₂	FCB11N60	
Q ₃	FCB11N60	
Q ₄	FDB031N08	
IC		
IC ₁	FAN6921MR	
IC ₂	FAN7382	
IC ₃	FAN6204	
IC ₄	PC817	
IC ₅	KA431	
其它		
NTC	TTC104	
L _{OUT}	47nH	

实验室说明

在修改或焊接/去焊接该电源之前，应利用外部泄放电阻对初级电容放电。否则，PWM 半导体可能会因为碰触外部高压而损坏。

该器件对静电放电（ESD）非常敏感。为了提高产量，应依据 ANSI ESD S1.1、ESD S1.4、ESD S7.1、ESD STM 12.1 以及 EOS/ESD S6.1 标准，对生产线采取 ESD 防护。

印刷电路板布局

对于开关电源而言，印刷电路板布局和设计非常重要，因为会出现高电压 dv/dt 与高电流的 di/dt 。合理的PCB布局能够最大限值地降低EMI，并防止在浪涌/ESD测试中该电源出现崩溃。

集成电路侧

- INV、COMP、CSPFC、CSPWM 与 VDD 管脚的参考地应该连接在一起，然后直接与该集成电路的GND 相连；
- ZCD、VIN、RT、FB 和 DET 管脚的参考地应该直接与该集成电路的GND 相连；
- 该集成电路周边的小型电容应该与该集成电路直接相连；
- CSPWM、OPFC 与 OPWM 的敷线不应该平行布线，并且相互紧凑布置，以避免引入噪声；
- 该集成电路的GND、 $R_{CS.PWM}$ 的地、高压集成电路（HV IC）的地以及PWM 变压器辅助绕组的的地之间的接线方法为：

方法

- 辅助绕组的的地 → 该集成电路的GND → $R_{CS.PWM}$ 的地 (2 → 1 → 4)
- 高压集成电路（HV IC）的地 → $R_{CS.PWM}$ 的地 (3 → 4)

系统侧

PFC电路

- PFC电感/扼流圈的辅助绕组连接到该集成电路的GND；

- $R_{CS.PFC}$ 应该单独地连接到 C_2 的地 (6 & 8)；
- 外部驱动电路能够缩短MOSFET 门极放电电流环路，并改善浪涌/ESD 能力；
- 由PFC电感、PFC 二极管、PFC MOSFET、 C_{Bulk} 以及 C_2 构成的电流环路应该尽可能缩短。

PWM电路

- $R_{CS.PWM}$ 应该直接连接到 C_{Bulk} 's 的地，保持较短和较宽；
- 由于 C_{Bulk} 、XFMR、PWM MOSFET、钳位二极管以及 $R_{CS.PWM}$ 构成的电流环路应该尽可能缩短；
- 光电耦合器的地应该尽可能连接到该集成电路的GND；
- 在次级一侧，由变压器、肖特基二极管以及输出电容构成的电流环路应该尽可能缩短；
- Y电容的接线方法：

方法

- Y CAP初级地 → C_1 的地 (10 → 9)

地环路的方法：

- 7 & 2 → 1 → 4
- 3 → 4
- 4 → 5 → 8
- 6 → 8
- 8 & 10 → 9

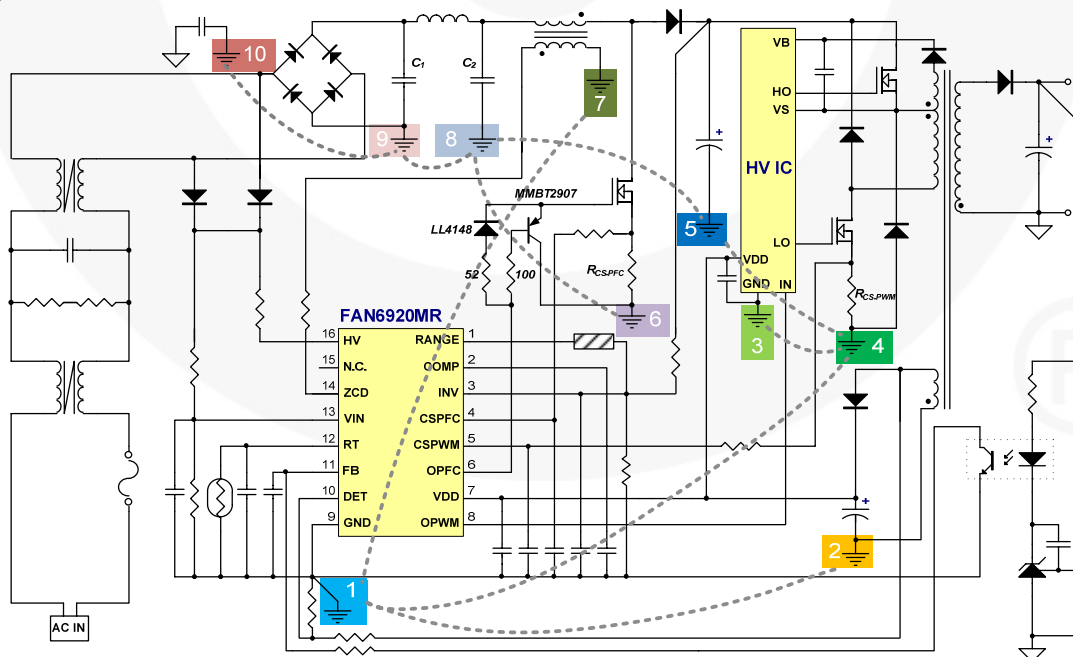


Figure 22. 布局思路

相关文档

[FAN6920MR — 高度集成准谐振电流PWM控制器](#)

[FAN6204MY — 反激与正激续流整流的同步整流控制器](#)

[FAN7382 — 高端与低端门极驱动器](#)

[AN-6076 — 高压门极驱动器IC自举电路的设计与应用指南](#)

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

更新及免责声明:

本文为中文翻译稿, 仅供参考; Fairchild 半导体虽然合理谨慎从事以确保本文的准确和完整, 但没有明示或暗示保证本文没有任何错误和疏忽; 请访问 www.fairchildsemi.com 网站查阅最新版本。