

# 印刷電路板設計 在真實世界裡的 EMI 控制

## PCB Design for Real-World EMI Control

*By Bruce R. Archambeault*

Dr. Archambeault 為 IBM 之資深 EMI 工程師，在 EMI 之分析上有非常深入之研究。我曾於 2002 年初參加過其於馬里蘭大學開辦之一短期課程，受益良多。同年 8 月間於 IEEE 研討會尋得並購買本書，特將之整理編譯以與大家分享。

Bruce 上課之費用極為高昂，但確有其價值。我參加過其課程後曾與其聯繫希望能促成其至台北開課，惜因時間、費用等因素未能實現，殊為可惜。但花些時間研讀其著作，相信也可讓大家獲益不少。

本書內容闡述許多 EMI 之基本觀念，對於 EMI 工程師是很好的教科書。同時對於相關之產品設計工程師，如電子、Layout、機構工程師，也是建立正確 EMI 觀念之教材。畢竟，好的 EMI 產品設計是要各部分配合的。閱讀本書可以知道要如何做好 EMI 設計，更重要的是知道其原理為何，讓你不僅可以知其然，更知其所以然。

張蘭光

## 目錄

第一章 印刷電路板之 EMI/EMC 設計簡介 .....	3	第四節 控制來自於『非意圖信號-共模』之輻射 干擾.....	62
第一節 EMI/EMC 介紹.....	3	第五節 非意圖信號—『串音』耦合到 I/O 線 .....	65
第二節 EMI 干擾源 .....	4	第六節 控制非意圖信號—串音耦合至 I/O 線	67
第三節 電感 Inductance .....	5	第七節 結論.....	69
第四節 接地 Ground .....	5	第八章 對電源/接地平面去耦合 .....	70
第五節 屏蔽 Shielding .....	5	第一節 介紹.....	70
第六節 結論.....	6	第二節 背景說明 .....	70
第二章 EMC 基本觀念 .....	7	第三節 計算去耦合雜訊之源頭 .....	71
第一節 介紹.....	7	第四節 去耦合電容之效果 .....	74
第二節 耦合作用之發生機制 Coupling Mechanisms.....	7	第五節 結論.....	87
第三節 信號頻譜 Signal Spectra .....	9	第九章 EMC 濾波器設計 .....	88
第四節 諧振效應 Resonance Effects.....	11	第一節 介紹.....	88
第五節 潛在的干擾源頭.....	13	第二節 濾波器設計概念 .....	88
第六節 必要信號之內涵.....	14	第三節 濾波器之組態 .....	90
第七節 總結.....	14	第四節 非理想元件對濾波器之影響 .....	94
第三章 電感是什麼? .....	15	第五節 共模濾波器 Common-Mode Filters .....	98
第一節 介紹.....	15	第六節 結論.....	99
第二節 電磁感應 Electromagnetic Induction .....	15	第十章 在 EMC 分析上使用信號完整性工具.....	100
第三節 互感.....	16	第一節 介紹.....	100
第四節 自感 Self-Inductance .....	17	第二節 意圖電流頻譜 .....	100
第五節 區域電感 Partial Inductance .....	22	第三節 佈線電流之去耦合分析 .....	104
第六節 結論.....	24	第四節 差模信號分析 .....	106
第四章 接地之謎思 The Ground Myth.....	25	第五節 串音分析 Crosstalk Analysis .....	109
第一節 『地』這個名詞是怎麼來的? .....	25	第六節 結論.....	109
第二節 當我們說『Ground 地』時是什麼意思? .....	27	第十一章 印刷電路板佈局 Layout.....	110
第三節 『地』並不是一個電流槽(Current Sink) .....	32	第一節 介紹.....	110
第四節 參考點策略.....	32	第二節 PC 板的堆疊.....	110
第五節 散熱器與 PC 板之連接.....	33	第三節 元件之放置 Component Placement .....	114
第六節 PCB 參考與機殼參考之連接 .....	37	第四節 隔離 Isolation .....	114
第七節 結論.....	38	第五節 結論.....	114
第五章 迴返電流設計 .....	39	第十二章 有孔隙之屏蔽機殼.....	116
第一節 介紹.....	39	第一節 介紹.....	116
第二節 分開的參考平面.....	40	第二節 屏蔽機殼之共振模式 .....	117
第三節 線路佈線變更參考平面.....	44	第三節 屏蔽機殼 Shielded Enclosures .....	121
第四節 主機板以及附加卡.....	47	第四節 預測有開口機殼的屏蔽效果 .....	124
第五節 結論.....	48	第五節 PC 板邊緣的屏蔽 .....	125
第六章 控制 EMI 源頭 - 意圖之信號 .....	49	第六節 電纜之屏蔽 .....	126
第一節 介紹.....	49	第七節 結論.....	127
第二節 有危險的信號(Critical Signals).....	49	第十三章 當產品在 EMC 實驗室測試不通過時怎辦	128
第三節 意圖信號(Intentional Signals).....	49	第一節 介紹.....	128
第四節 意圖信號—環路模式.....	54	第二節 信號從哪來? .....	128
第五節 意圖信號輻射之控制—環路模式 .....	55	第三節 信號是如何跑出屏蔽機殼的? .....	129
第六節 意圖信號—共模.....	55	第四節 耦合之機制 .....	131
第七節 意圖信號—共模與中斷的迴返路徑 .....	58	第五節 結論.....	132
第八節 結論.....	59	第十四章 附錄 A.....	133
第七章 EMI 源頭控制—非意圖信號 .....	61		
第一節 介紹.....	61		
第二節 非意圖信號 .....	61		
第三節 非意圖信號—共模.....	61		

## 第一章 印刷電路板之 EMI/EMC 設計簡介

### 第一節 EMI/EMC 介紹

電磁干擾(EMI)與電磁相容(EMC)最初是在 1940 及 1950 年代變成關切之議題，大多是因為馬達之雜訊，經由電源線之傳導影響到其他敏感之器材。在此一時期，一直到 1960 年代，EMI/EMC 主要是在軍事上之考量，確保器材之電磁相容性。在一些意外事件中，如雷達之輻射造成武器之意外啓動，或 EMI 造成導航系統之故障，所以，軍事上首先關注到如飛機或船艦上之武器系統之問題。

到了 70 及 80 年電腦科技發展，來自電腦器材之干擾對廣播電視機及無線電接收造成嚴重之問題。美國政府因而對這些工業產品採行 EMI 之規範。美國聯邦通訊委員會(FCC)發布了一系列之法規，以規範電腦器材之干擾強度，並定義了量測之方法。同樣的，歐洲及其他地區之政府也開始限制電腦產品產生之干擾。在此一時期，EMI/EMC 之控制只侷限在電腦、週邊器材、以及電腦通訊產品。

在 1990 年代，在 EMI/EMC 上之規範擴大了很多；事實上，許多國家之輸入管制都將 EMI/EMC 規範加了進去。所有器材之相容性，以及在整體環境中這些器材都能夠和諧的共同存在。干擾、對外界干擾之耐受、對靜電放電之承受能力等，不論是經由輻射或傳導之媒介，都要受到控制。此控制也不再侷限在電腦產品。現在任何可能產生 EMI 干擾之產品，或是可能被他種電氣器材干擾之產品，都需要小心地進行測試。以前不需要 EMI/EMC 控制的產品現在都必須要符合管制之規範，如洗碗機、錄影機、工業器材、以及大部分之電子器材。

當商用產品進行了嚴格的 EMI/EMC 管制之時，軍事產品也沒有放鬆其 EMI/EMC 要求。事實上，由於更高度之自動化及更快之處理速度，軍規之 EMI/EMC 控制以成爲所有軍規要求中之一項重要部分。

對不同的人而言，EMI/EMC 控制代表著不同的涵義。對商業應用言，如錄影機、個人電腦、電視機等，其管制規範較之軍規/TEMPEST 標準要鬆一些，但是。其還是有一定之困難度。商用產品較鬆標準的結果是，設計人員常被要求要降低干擾及耐受特性，以因應降低生產成本之目的。在 EMI/EMC 設計上之取捨很清楚，但對於是否絕對需要某些 EMI/EMC 元件就沒有那麼清楚了。傳統上，EMI/EMC 工程師使用以往之經驗、公式、材料手冊上之圖表，來從事產品設計之各個階段。在大學或是任何機構裡，很少有高品質之 EMI/EMC 工程師等級之訓練，許多在此領域工作之工程師，會發現到這種傳統之方法會越來越不適用了。

軍事，太空，以及其他因安全原因必須控制輻射之政府應用，武器系統，通訊等，對 EMI/EMC 之要求都是遠在商業要求之上。這些更高等級之考量，需要更多之 EMI/EMC 設計，及更高之花費，同時還面對要降低成本之壓力。

EMI/EMC 的問題是肇因於器材內之導體上之時變電流，稱之爲『 $di/dt$  雜訊』。電流之變化產生了電磁場輻射。相反地，外來的電磁場能量也會導致電路上的『 $di/dt$  雜訊』，造成錯誤的邏輯運算及器材之誤動作。大多數的高速及快速上升時間之信號會造成 EMI/EMC 問題。這些問題會被連接到該器材之導線電纜所放大，在較低頻率變成有效率之天線。典型之解決方案是使用屏蔽之外殼，對輸出入信號及電源線濾波，並且對機板上之信號線及電源平面提供濾波電路。而真正

的問題是：『加多少才是足夠？』以及『會不會加太多？』

許多 EMC 工程師都會強調在產品研發之初期就要密切注意到 EMC 設計，此一『密切注意』通常只是在 EMC 設計準則中一長串的『要如何..』及『不要如何..』。這些準則通常是根基於以往的產品經驗，而且很多準則會互相抵觸。我們缺少的準則是，在根本原因分析中我們不真正的知道為什麼我們需要這一項準則，或者，更重要的，當某一項準則因有些設計限制而無法實施時應使用哪些替代方法。設計者只是簡單的被告知『這樣做或是那樣做..』。

典型的設計程序之結果如下：

- EMC 工程師提供給產品設計工程師一個 EMC 準則的表列。
- 產品設計者無法、或是不願意遵循所有的 EMC 設計準則。
- 產品設計只使用了方便導入之 EMC 設計準則。
- 樣品在 EMC 實驗室中測試，無法通過。
- EMC 工程師及設計工程師花費 2 週至 2 月的時間增加電容、ferrite bead 濾波、導電襯墊、金屬彈片直到問題解決。
- 以修正過之 EMC 更新產品設計，開始量產準備。

這一設計流程的結果是延遲第一批貨交貨的時間以及增加產品成本，因為這些 EMC 零件並不是原始設計。顯然的，這不是我們所希望的流程，但它是最常見的流程。

本書之目的在於移除這些 EMC 設計流程之謎思。許多人將 EMC 設計看成是一種黑箱魔術，大膽猜測，或是更差狀況。EMC 設計是極端複雜的。有許多內部連接之現象發生，許多是難以預測的，特別是在其同時發生時。如果每一個潛在之干擾源都個別考慮到，那麼可以一個個的對每個干擾源進行適當的設計對策，這樣，設計者就不會在看整個產品時感到疑惑了。

適當的 EMC 設計並不僅僅是一串的準則。其需要有完整的程序，考慮到每一潛在源頭以及依序一個個的解決。自然的，主要的目標還是要確保產品之功能不被影響。如果，在設計階段，EMC 的考慮與功能性之考量都被包括且協調，則設計者才能在兩方面都獲致成功。

## 第二節 EMI 干擾源

降低 EMI 最有效之方式是控制信號之分布以及它們的源頭。所以，這些信號是從哪裡來的？這些信號的起源可能有很多種，但是最主要的干擾是來自於 IC 中的高速切換電流。

幾乎所有的 EMI 干擾來自於產品某處存在之共模電流。所有的這些共模電流都來自於某些功能上之工作電流。如果這些工作電流能夠好好控制，讓它只含有工作上所需之諧波，來自於高頻諧波造成之不必要干擾就可以降低。

此一共模電流的來源最有可能是工作信號之迴返電流路徑。當電路佈局工程師花很多精神在連接電路間之路徑時，很少會注意到迴返電流路徑。當時脈信號在 10MHz 以下時，迴返電流不會是個問題。現今，機板上之時脈速度多至 200 至 400MHz，且資料匯流排之速度高達 1GHz 是很普通的，因此，信號之佈線路徑

應該視為是微波傳輸線(Transmission line)。不論是對 EMC 特性或是功能特性而言，信號線之高頻迴返電流路徑都是非常重要的。

### 第三節 電感 Inductance

一個通常被誤解的觀念是對於電感的認知。初級工程師把電感認為是一個特定之零件，如在電感器(Inductor)及變壓器元件中，而很少考慮到在接地參考平面、信號佈線等等電流路徑上之電感。有電流流經一個環路，就會有電感的存在。有時候我們並不知道整個的路徑，並且整個路徑中也可能只有部分區域會造成輻射，所以區域電感的觀念也很重要。將區域電感組合起來，就可構成完整的環路電感了。也就是說，若是路徑一部份之區域電感被考慮到且將其降低了，則整個路徑的總電感也就降低了。

現今產品所使用的高速信號使得環路電感及區域電感變的比以往都要重要。即使是一個完美的超導體都會有電感。當電流流過電感阻抗時，會產生一個電位差。此一電位差會導致接地參考平面的雜訊、信號位準降低、造成 EMI 輻射的產生。

### 第四節 接地 Ground

如果說電感是一個經常被誤解的觀念，那麼『接地』就是『最常』被誤解。當使用『接地 Ground』這個詞彙時，設計者通常是指許多種不同的事。它可能是指相對於 50/60Hz 之交流電源之安全接地(Safety earth reference)。它可能是指對高速佈線之信號參考點(Signal reference)。它可能是指在 PCB 上之電源迴返(Power return)，或者，它可能是指金屬機殼之機殼接地點(Chassis reference)。它甚至也可能指的是真正的大地接地點(Earth ground)，像是在 EMI 開放測試場地(OATS)中的金屬地平面一樣。

很清楚的，在所有的這些場合中『接地 Ground』這個字不可能都是同樣的電位位準，但這卻是最原始『接地 Ground』的定義。『接地 Ground』是一個零電位的點。實際上，『接地 Ground』或是『零電位』只存在於無限值(infinite)，因之，除非我們使用了非常長的導線，否則真正的零接地電位是不可能存在我們的產品之中。

較清楚且明確的表示法是將在不同之場合將『接地』描述成說：『大地接地 Earth-Ground』、『接地參考點 Ground-reference』、『電源參考點 Power-reference』、『機殼參考點 Chassis-reference』，等等。則說的人與聽的人就都可以明白了。

### 第五節 屏蔽 Shielding

另外一個在 EMC 中容易誤解的是屏蔽的觀念。古典的屏蔽理論講的是一個平面波撞擊到一個有開孔的屏蔽物。以我們現在所接觸的產品的構造言之，設計者所要面對的撞擊有開孔的屏蔽物的並不會是平面波，所以使用古典之趨近法可能會誤導結論。

在典型的產品中，能量的來源很靠近外殼之屏蔽及開孔。此一密切靠近之結構，使得在與屏蔽間存在電容、電感、或是電磁耦合感應電流。能量來源與屏蔽體間之距離是非常重要的，會造成耦合現象之巨大差異。在屏蔽上生成之感應電流找到適當之開孔，就會將能量轉移到屏蔽體之外，變成輻射干擾了。

## 第六節 結論

對 PCB 洽當的 EMC 設計，最有效的方法是考慮到每個不同的信號源頭，並且在信號源頭將其控制住。後面之幾章將會詳細的說明不同之信號源頭，以及如何來控制每一個個別的來源。在設計階段的早期就必須要考慮 EMC，並且持續到全部的設計階段。

很重要的是不要把 EMC 設計看成是一個簡單流程的步驟。在設計進行中，有許多工程上的折衷方案(trade-offs)要考慮。如果設計者了解到我們的目標，並且了解到發生 EMI 輻射的源頭在哪裡及如何去控制它，那這個設計者就能夠很成功的掌握並做出正確的折衷判斷。如果 EMC 的設計流程只是遵循一連串的準則，哪麼當這個準則變得很困難或是無法實現時，此準則就會被忽略掉，此產品就會失敗，那麼整個流程就要再來過一次。

爲了要完整的了解跟干擾源頭有關的完整程序，一些基本觀念必須要了解的很清楚，譬如說『接地』、『電感』及『屏蔽』。在這些方面有很多的錯誤觀念，本書的目的就是要協助來了解並降低對它們的誤解。

## 第二章 EMC 基本觀念

### 第一節 介紹

關於 EMC 一個最基本的事實就是它不是魔術也不是巫術。它是關係於電流，電場及磁場耦合，以及電磁場輻射的現象。在個個單一電子元件之互動關係是非常複雜的，難以個別同時觀察到。爲了要正確的了解到這些不同的問題，最好把整個的複雜問題區分成小的，離散的問題以便能容易的了解。這樣就能應用簡單的科學與工程原則來成功的解析。

此一章節將介紹 EMC 問題的一些基礎觀念。在能將整個的複雜問題區分成小的，離散的問題並妥善解決之前，必須要先了解這些基礎觀念。許多 EMC 工程師常用的方法是『試試看就知道 Try-it-and-see』。也就是說，在做根本原因分析 (Root cause analysis) 時考慮到很多很小的東西(好像是說物理定律在此產品上會不同似的)。當產品在 EMC 測試不通過時，會試著這裡加個電容，那裡加個 ferrite bead，或在別處加上個導電襯墊。最後，某些組合發生了作用，此產品通過了 EMC 測試。另外一種方式是使用『散彈槍 Shot gun』策略。以這種方式，設計工程師把所有可能的濾波器、濾波電路、屏蔽設計都加上，希望某些能發揮作用。此種方式會增加產品之成本，更不會是最佳的設計。

### 第二節 耦合作用之發生機制 Coupling Mechanisms

耦合發生的兩種機制是電場耦合與磁場耦合。從雜訊源耦合到其有效輻射天線之機制可能是電場、可能是磁場耦合，也可能是兩者皆有。要知道如何控制他們，就要先了解這些耦合的機制，以及其會如何的影響產品設計。

#### 第一項 電場耦合 Electric Field Coupling

電場耦合是因爲位移電流(displacement current)之電容性效應而產生。亦即，我們並沒有要電流流經某一特定方向，但是因爲有一自然形成的寄生電容對電流提供了一個低阻抗的路徑，此路徑之阻抗較設計上的電流路徑阻抗要低。電流永遠是需要一個完整的環路，所以環路之阻抗是一個重要之因素。

例如說，圖 2-1 中顯示典型的 PC 之印刷線路板。一時脈緩衝器驅動一條線路，該線路靠近一個裝有散熱器之大型 IC。當此線路佈線途經散熱器時，在線路佈線與散熱器之間有一個寄生電容產生。同時在散熱器與時脈緩衝器之間也有寄生電容之存在。(當然，在散熱器與接收器、與屏蔽、與系統之其他元件之間都會有寄生電容，但是在本例中很小，因此不致影響 EMC 之特性。)此一電容之阻抗爲

$$X_c = j \frac{1}{2\pi f C} \dots\dots\dots (2.1)$$

此處

C = 電容量 Capacitance

f = 頻率

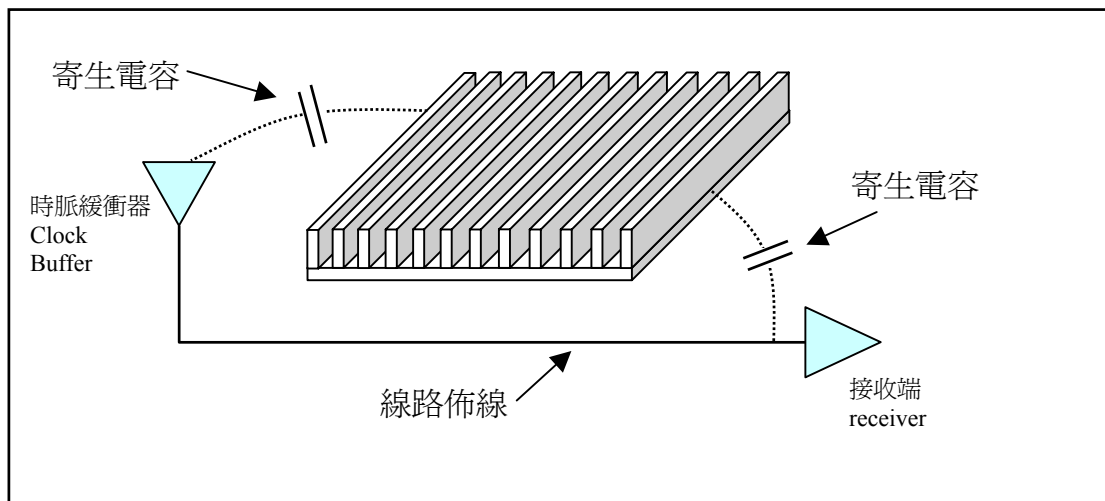


圖 2-1 有元件之印刷電路板

電容量之大小決定於其幾何結構。而阻抗會隨頻率不同而異。在相同結構下，對越高頻率的諧波其阻抗越低。

再次提醒，所有的電流都必須要流經完整的環路以回到其源頭。在此例子裡，我們希望對於所有諧波之電流，其電流路徑都是流經時脈緩衝器，經線路佈線到接收端，然後再經由接地參考平面回到時脈緩衝器。然而在此例中，在線路佈線與散熱器間之寄生電容，以及在散熱器與時脈緩衝器間之寄生電容，提供了比上述路徑還要低阻抗的路徑，造成了有一部份之電流流經過散熱器。若我們沒有注意到此一迴返電流路徑，則散熱器在體積上是比線路佈線要大多了的輻射器。因此散熱器會成爲一個有效率的輻射器，特別對於高頻段之諧波，造成了不必要的輻射干擾，到最後就需要藉助屏蔽之機殼來隔離。

## 第二項 磁場耦合 Magnetic Field Coupling

磁場耦合是因爲傳導電流(conduction current)之電感性效應而產生。在此例中，我們希望電流能以某一特定方向流動，但是自然生成之寄生電感對電流提供了一個比原來路徑要較低阻抗的路徑。因爲電流必須總是要流經完整環路，故環路阻抗再次地是一個重要的因素。

例如說，圖 2-2a 表示在一個印刷電路板上的兩個貫穿孔，此貫穿孔穿過兩個完整平面(假設說是電源與接地平面)。在此例中，使用前面曾討論過之時脈緩衝器，不同的是，現在線路佈線埋到板子的不同層中間(如圖 2-2b)，以改善前項討論之電場耦合效應。通常線路佈線在有些位置必須要改變佈線層以閃避其他之佈線或元件，此信號電流就如圖 2-2b 所示流經貫穿孔。

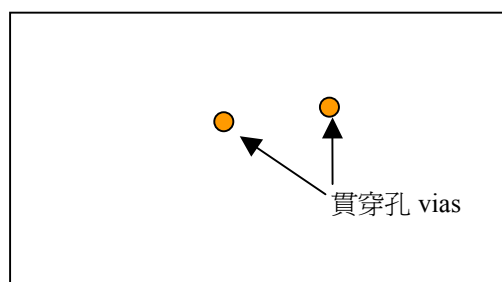


圖 2-2a 印刷電路板上之貫穿孔

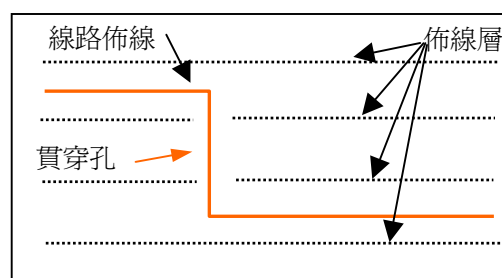


圖 2-2b 印刷電路板上之貫穿孔(內部)



此例中，第二個貫穿孔接到一個內部非屏蔽之纜線，例如磁碟機之排線。在第一個貫穿孔之電流造成磁力線(Magnetic flux line)，某些的磁力線被第二個貫穿孔擷取，如圖 2-2c 所示。此一磁力線在第二個貫穿孔感應出電流，而傳導至磁碟機之排線。此一寄生互感對較高之諧波有較低之阻抗，因此會較容易傳導電流至會造成潛在輻射之路徑，而不走其原先設計之路徑。(在第 6 及 7 章中還有描述)

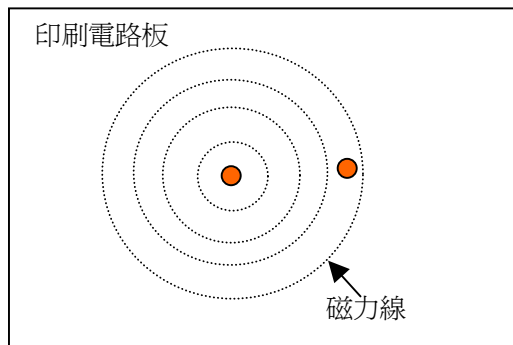


圖 2-2c 印刷電路板貫穿孔磁力線

再次強調電流必須要流經一封閉環路以回到其源頭。假設說此一內部排線與時脈緩衝器間也有足夠大之寄生電容存在，則有一些電流會沿此路徑流過，如圖 2-2d。寄生互感與寄生電容之組合造成高頻諧波電流流經此一非屏蔽之排線，而輻射在此一空間結構中。因此結構體需要更好的屏蔽能力以阻擋此一輻射干擾，因此增加了屏蔽外殼之結構與價格成本。

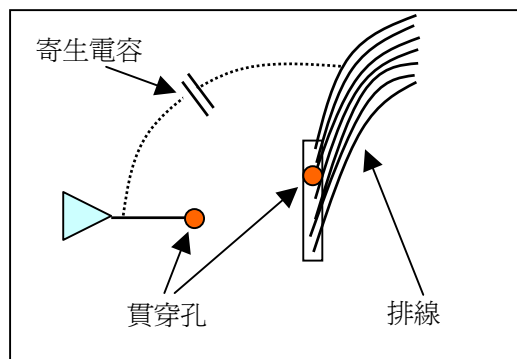


圖 2-2d 寄生迴返電流路徑

### 第三節 信號頻譜 Signal Spectra

信號之諧波頻譜在 EMC 設計考慮中是一個很重要的項目。基頻(Fundamental harmonic frequency)很少是會造成問題的頻率。大多數之 EMC 問題是來自於較高之頻率諧波。

#### 第一項 時脈信號之諧波頻率

由傅立葉(Fourier)分析，一個簡單方波之諧波頻率成分包含有基頻以及所有的奇次諧波(Odd harmonics)。每一個別諧波之振幅大小為

$$A_n = \frac{1}{n} \dots\dots\dots (2.2)$$

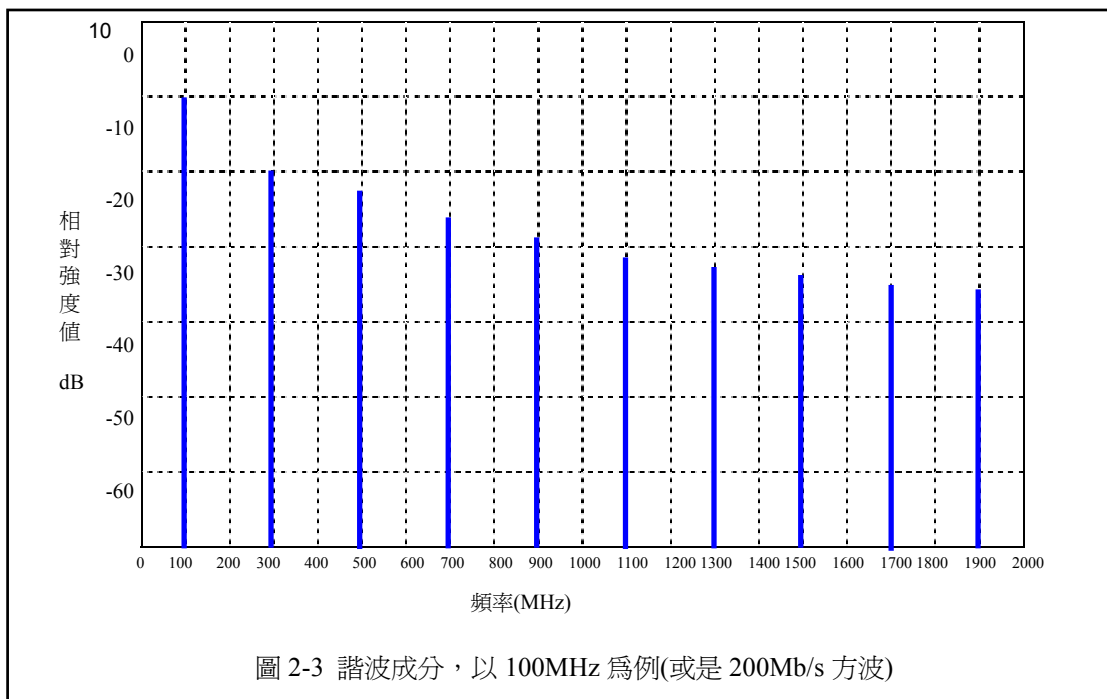
此處

$n =$  奇數諧波 (1,3,5,7...)

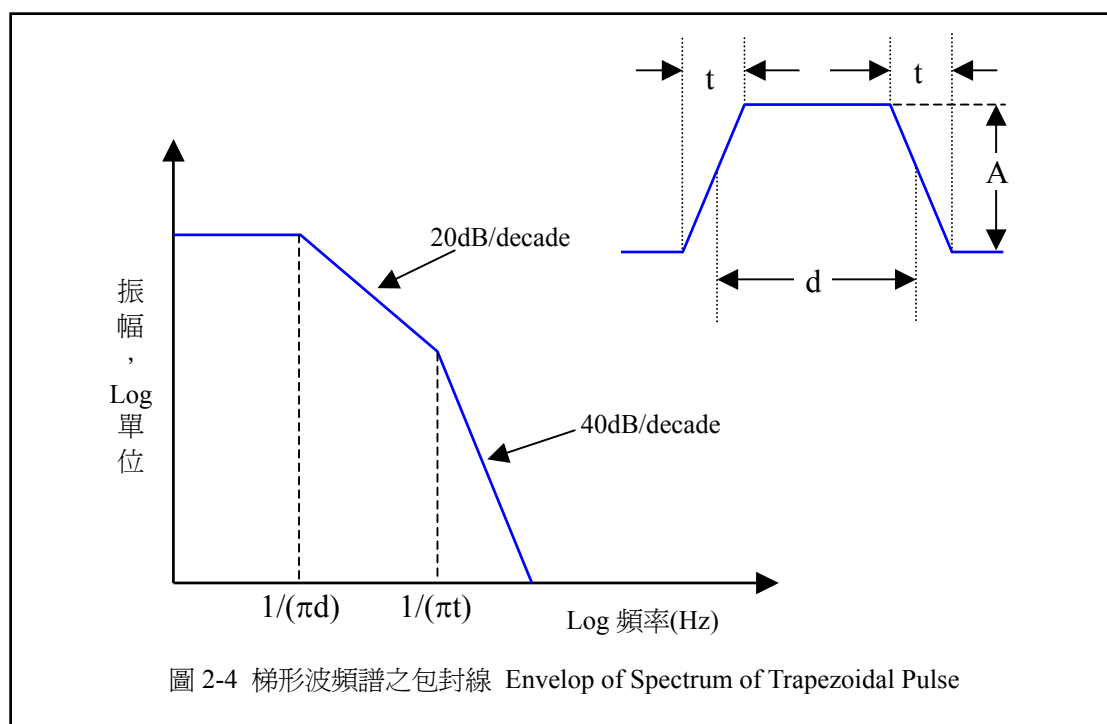
$A_n =$  諧波之振幅

圖 2-3 顯示的是一個 100MHz 之方波信號頻譜。振幅大小以 dB 表示。很明顯的可以看到在較高頻率之諧波並不會很快的衰減。

此一例子中沒有偶數諧波，因為 duty cycle 剛好是 50%，並且此一方波之上升時間與下降時間是相等的。在真實環境中極少有這種情形。Duty cycle 的一點小小變動就會造成很大的偶數諧波。而即使 duty cycle 剛好是 50%，上升時間與下降時間的差異也會造成偶數諧波。

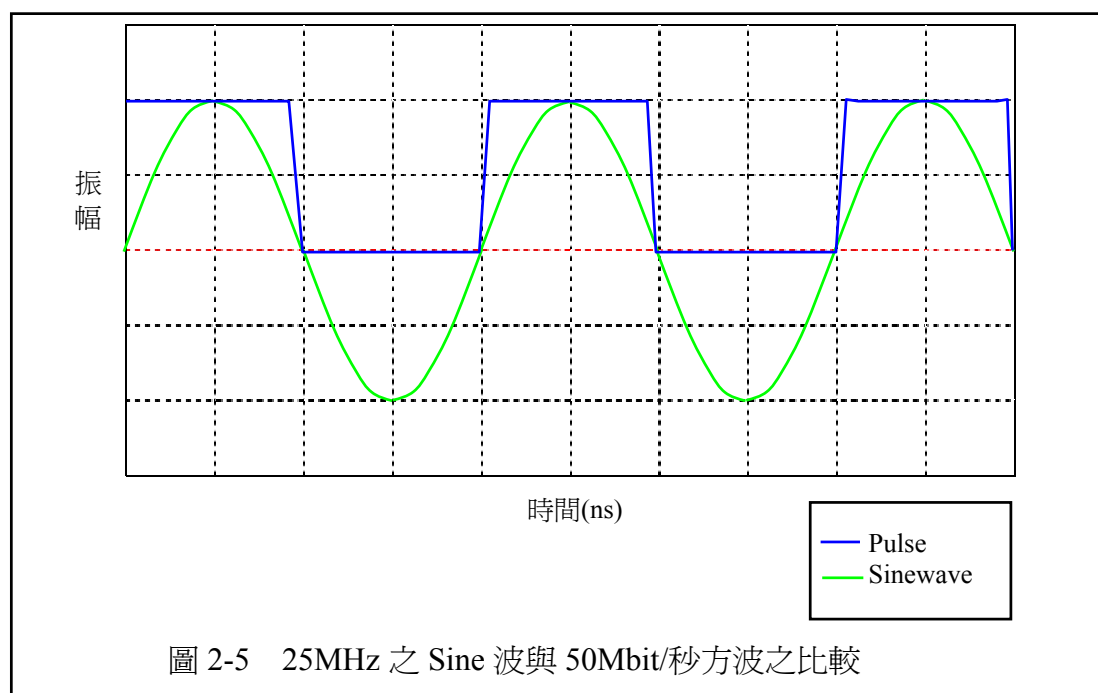


前面之例子並未把脈波之上升/下降時間之效應考慮進去。事實上，前面之例子是將上升與下降時間都當成爲零。當把真實地上升與下降時間包括進來，較高頻之諧波就會受到影響。圖 2-4 顯示的是一典型梯形脈波(trapezoidal pulse)之頻譜包封線(envelop)，依據其脈波寬度與上升及下降時間而變。因爲越高頻率越容易有效率的由線路佈線及機殼之小開孔輻射出去，所以要讓高頻諧波儘可能的越低越好。如圖 2-4 所示，此脈波頻譜之振幅會隨著越高頻率而降低。在脈波寬度頻率以上之頻譜會以 20dB/十度(decade)之速度降低，而在上升/下降時間頻率以上會以 40dB/十度的速度降低。上升/下降時間越緩慢，第二轉折點就會在越低之頻率發生，因此就會降低高頻之信號強度。很明顯地，脈波的上升及下降時間越慢，此信號中所包含的高頻諧波成分就越低。



## 第二項 Hertz 與『每秒位元率 Bits-per-Second』

有時我們對於(例如)50M bit/秒 之信號及 50MHz 信號之間會有些混淆。這兩種信號並不一樣，50M bit/秒 信號之基頻並不是 50MHz。圖 2-5 顯示一個 50M bit/秒 之方波以及一個 25MHz 之 Sine 波。事實上，方波之資料速率只是根據一個位元寬度來決定的，也就是整個 Sine 波週期的一半。此意味著 100M bit/秒 之方波其奇數諧波會在 50MHz、150MHz、250MHz、350MHz、等等。



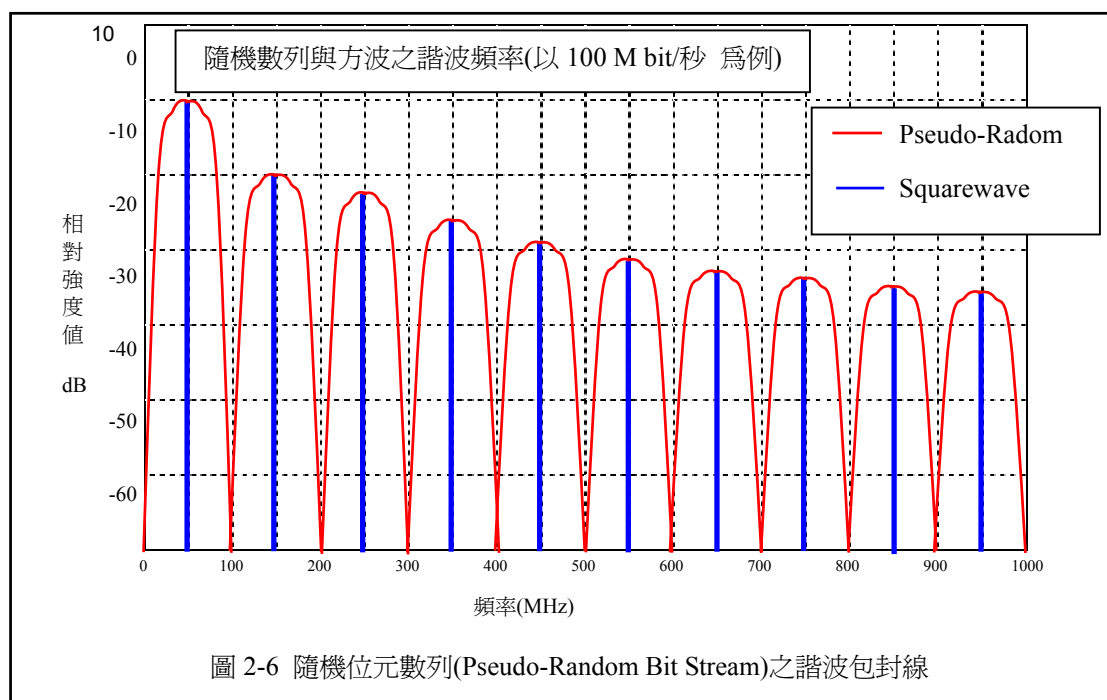
## 第三項 非方波之數據信號 Non-Squarewave Data Signals

時脈信號一般都是方波(Square wave)，但數據資料與位址資料則會隨著時間而變動。其瞬間頻譜會隨著資料內容不同而變。基本之諧波成分類似方波，以 Sinc 形式之方程式 $[\text{Sin}(x)/x]$ 變化。對一個隨機之資料序列以 max-hold 之功能紀錄其頻譜變化，可得其包封線如圖 2-6 所示。其諧波包封線之峰值會與方波諧波一致。然而，在任何之一瞬間，實際之諧波頻率與振幅將是在此包封線之下，且可能不會剛好是方波之諧波頻率。

如前節所述，如果 duty cycle 不是剛好等於 50%，則在圖 2-6 之零點頻率位置就會存在有非零的數值，其大小會隨著與 50% duty cycle 之偏移量而變。

## 第四節 諧振效應 Resonance Effects

大部分的 EMI 輻射並非寬頻帶(broad band)，大多是窄頻帶(narrow band)之輻射。在系統之某處會激勵出諧振。其可能是一條外部導線激勵出的諧振，因而變成有效率的發射器，或是一內部之散熱器被激勵而變成發射器，或是許多其他物件被激勵而在某一特定頻率變成有效之發射器。



諧振可能是一與實體空間大小有關之現象，或是與電路相關的現象。電路相關之諧振是由於電容性與電感性阻抗元件大小相等且方向相反。能量反覆地在電容器與電感器之間儲存。

與實體大小相關之諧振是由於導體之物理尺寸大小造成的。例如，一個在自由空間的導線，當由其中心點激勵它時，其表現就像是一個雙極天線 (Dipole Antenna)。當此天線之長度等於其激勵信號之二分之一波長時，天線之效率最好。天線之實際長度決定了其諧振頻率。一般說來，長直導線會在半波長諧波頻率之奇數倍諧振。

諧振會增加輻射之強度，因為它會讓輻射器更有效率。例如說，個人電腦的面板顯示 LED。此 LED 通常位在金屬機殼之外面。若只靠它自己，LED 以及其相關電路在其工作頻率(以及諧波)並不是一個有效率的發射器。在靠近 LED 顯示器旁邊有一個塑膠門。此塑膠門並不是金屬機殼的一部份因此不會有 EMI 的問題。但是，塑膠門的門是以金屬製成的，長約 30cm。即使說此金屬門並未接觸到任何之 LED 電路部分，經由寄生電容與寄生電感還是會耦合能量到它上面，使得它將 LED 電路中之 500-600MHz 之諧波信號有效率的發射出去。一個 30cm 長的導線之半波長諧振頻率點大約就是 500MHz，所以此一金屬門對此頻段之諧波就是個有效的發射天線。這個就是一種不預期發生之諧振將輻射強化的例子。

一個外殼/空洞的空間則會產生空間諧振(Cavity Resonance)。在一個理想的傳導金屬牆邊，因為邊界條件(boundary condition)的關係其電場之正切值(tangential electric field)為零。在一個空的矩形空間中，只要其內部之任一尺寸等於半波長之整數倍，就會造成駐波(standing wave)的發生，也就是諧振。對一個空的矩形體而言，其空間諧振點頻率為

$$f_{mnp} = \frac{1}{2\sqrt{\epsilon\mu}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2 + \left(\frac{p}{c}\right)^2} \dots\dots\dots (2.3)$$

此處

$a, b$  及  $c =$  此空間之三邊長度

$m, n$  及  $p =$  整數 (一次只有其中的一個可以為零)

方程式(2.3)只能應用在空的矩形體上。一般說來，電子與電腦產品內部包括許多電路板、導線及電源供應器等，這些都會改變其邊界條件因此會改變諧振頻率。若一個殼子之內部只有很少之空間，則可以支持駐波產生的空間就有限，因此內部空間諧振的程度就會較低。

### 第一項 魔術及運氣

EMC 會被視為是魔術的一個主要理由就是因為諧振的效應。這些一般並不僅是來自於長直導線或是空間諧振，而是當寄生元件之因素包括進來以後，實體諧振與電路諧振間之交互作用所產生的。如先前提到，這些寄生元件很難或是根本不可能以簡單封閉形式之方程式計算得出來，所以通常是忽略掉他們的存在，但不管我們是不是忽略它，它永遠是存在的。

例如說，在過去，在設計上通常會故意不將每一個螺絲接地孔接到 PCB 之參考接地平面。通常在 PCB 上留一個焊點位置，使得在稍後測試時若發生問題時再依狀況加上電容、零歐姆電阻、或是 ferrite bead。不幸的是，這樣會製造出比其解決掉的還要多的問題出來，因為即使是零歐姆電阻都會增加其電感(阻抗)而使得在高頻時接觸不良。

傳統上，工程師會試用不同數值之電容、ferrite，等等，直到輻射狀況降低至可通過測試規範。通常，當試用不同之組合元件時，會看到所要對策之信號降低了，但是另一個信號頻率反而升高至限制值之上。不知不覺地，他們只是以所加上之電路元件去微調(tuning)這些不同的寄生元件之諧振點，直至幸運地試到一個組合的諧振狀況如其所願。

很明顯的，這種方式並不是太好。與其依靠運氣及在實驗室中花費許多時間找尋不同之電路組合，不如在設計上就考慮這些寄生電路元件、可能的諧振、以及整體之等效電路，將可讓設計者在第一次就獲得成功。

### 第五節 潛在的干擾源頭

要在 EMC Chamber 中了解潛在的干擾源頭，所要考慮的產品要裝在一個理想的外殼中。任何離開此理想外殼的東西都是可能的干擾源。

#### 第一項 屏蔽之產品

雜訊能量有兩種管道離開屏蔽之外殼。能量可以由金屬外殼之開孔輻射出去或是經由外殼之 I/O 導線傳導出去。

外殼的開孔通常是通氣孔、金屬元件之接縫處、其他之門或窗。雜訊能量會由這些開孔溢出，以複合之形式導致在機殼之外部或是導線上產生 RF 電流。這些電

流會導致輻射干擾，並視外部結構之諧振頻率而增減其發射效率。這些輻射並不一定是直接由縫隙、開孔等離開而輻射至其接收天線。這是為什麼輻射常常看來是從某個並沒有縫隙的角落來的，或是從一個沒有接縫的金屬板傳出來的。輻射的方向是由整體外部系統條件決定的，並不是由洩漏點決定的。

I/O 導線可以直接傳遞內部信號至機殼之外。這些信號可能是功能上所要的信號，但是常常會有不必要的信號耦合至 I/O 導線或連接器之信號腳之上。一旦這些不必要的信號傳到了外部的導線，就會因為外部導線之長度與形狀等諧振而輻射出去。

長直導線有其諧振頻率，當此導線彎折時，諧振頻率會因 RF 電流之分佈改變而發生變化。一般說來，EMI 測試程序上要求，對所有的頻率點，要將外部導線放在不同之位置以尋找其最大輻射位置。此方式即是改變導線之諧振頻率點以使其變成更有效率的輻射天線。

## 第二項 非屏蔽之產品

有些產品並不包括金屬外殼。一般是對於低單價之產品若使用金屬外殼就太貴了。在此類場合，PC 板可能直接的輻射，或是信號可能耦合到連接之導線。

來自於 PC 板的輻射可能很嚴重。耦合到散熱片及外部線路佈線之能量都可能造成輻射。通常，此類產品對成本很敏感，常使用單層板或雙層板之電路構成，因而少了完整電源平面及接地平面之優勢。功能上必要信號與其迴返電流會構成一個迴路，此迴路可能產生直接的輻射。

## 第六節 必要信號之內涵

關於輻射之一個重要之基本觀念是『電流導致輻射，而非電壓』。工程師通常是專注在電壓波形之量測而非電流。對於純電阻電路這樣是足夠的，但我們談論的很少是這種情形。CMOS IC 的電流波形常常是大不相同的。此外，當有些非線性裝置存在時，例如箝位二極體(clamping diodes)，其電流量，特別是在高頻段，可能是非常大的。

高頻比低頻更容易輻射。這是因為在較高頻率時諧振效應及寄生元件較有效率之故。在一開始之時，若一個能量不被創造出來，它就不會耦合到其他的寄生元件，當然也就不會造成諧振而變成輻射了。控制輻射最節省且有效之方法就是在其源頭，以及控制信號之電流頻譜。第六章會有更詳細的討論。

## 第七節 總結

EMC 不是一種魔術。要有效的控制 EMC 輻射需要有對信號諧波頻譜之了解，以及寄生電容與寄生電感如何能造成電流流過不應該的區域。當信號電流流過他們不應去的金屬表面時，這些金屬元件之自然諧振會大大的增強輻射現象。

### 第三章 電感是什麼？

#### 第一節 介紹

很多人覺得我們了解它，但是事實上電感是個常常被誤解的觀念。電感對 EMI/EMC 設計考量很重要，因為它是高頻設計的一個主要限制因素。只要有金屬存在，以及有電流流經金屬，電感就會存在並且會影響電流。在高頻時，本質電感主宰了所有的元件、佈線、及金屬平面。電容器及電阻器都變成電感器。

對電感的研究可以寫出一整本書。本章的目的是要協助讀者更加了解『電感』、『互感 mutual inductance』、以及應用在 EMI/EMC 設計，特別是 PCB 之『區域電感 partial inductance』之觀念。

#### 第二節 電磁感應 Electromagnetic Induction

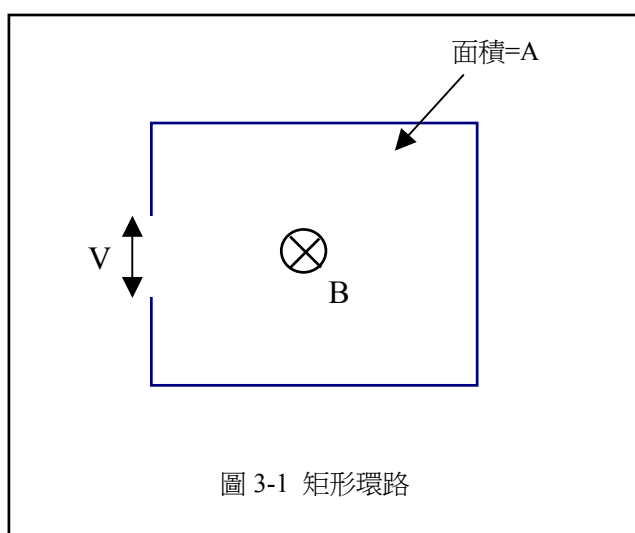
當電流在一個環路中隨時間而變，伴隨著電流的磁場也同時會變化。當此變化之磁場切過一個導體，會在該導體上感應出一個電壓。此磁力線不管是切過其他的導體，或是切過原本電流所在的導體，這種狀況都會產生。在此單一導體環路上感應出的電壓大小等於通過此導體之磁通量對時間之變化量。在法拉第定律 (Faraday's law) 中所描述之電磁感應

$$\oint \vec{E} \cdot d\vec{l} = - \iint \frac{\partial \vec{B}}{\partial t} \cdot d\vec{S} \quad \dots\dots\dots (3.1)$$

圖 3-1 顯示一簡單的矩形環路。如果環路的大小與所討論之頻率之波長比起來很小的話，則可以假設在面積 A 內之磁通量為固定，則方程式(3.1)可以簡化為

$$V = -A \frac{\partial B}{\partial t} \quad \dots\dots\dots (3.2)$$

一隨時間變動之磁場在一個任意形狀區域之感應電壓可以使用(3.1)計算得知，對於簡單的矩形環路則可以使用(3.2)。



### 第三節 互感

真實世界中的互感是很難計算的，因為環路很少是簡單的幾何形狀，並且在周圍環境中之金屬也會影響場的行爲。如果假設兩個環路在自由空間(電性上與其他之導體距離很遠)中，則問題可以簡化以做合理之估算。在此條件下，兩環路間之互感可以如下表示

$$M_{12} = \frac{\int \vec{B}_1 \cdot d\vec{S}_2}{I_1} \dots\dots\dots (3.3)$$

此處

$I_1$  = 流過 1 號環路的電流

$B$  = 在 1 號環路之電流所造成之磁通量

$S_2$  = 2 號環路之表面積

在方程式(3.3)中，來自第一個環路之電流產生之磁通量對橫過第二個環路之表面做積分以求得互感量。

另一種計算互感之方式是使用參考書籍[3.2]中之向量電位公式。此法以兩個環路之 Neumann 形式互感沿著兩環路之輪廓線做雙積分，在自由空間中，如下式

$$M = \frac{\mu_0}{4\pi} \oint_{C1} \oint_{C2} \frac{d\vec{l}_1 \cdot d\vec{l}_2}{r} \dots\dots\dots (3.4)$$

此處

$r$  = 環路 1 與環路 2 輪廓線積分元素之距離，如圖 3-2

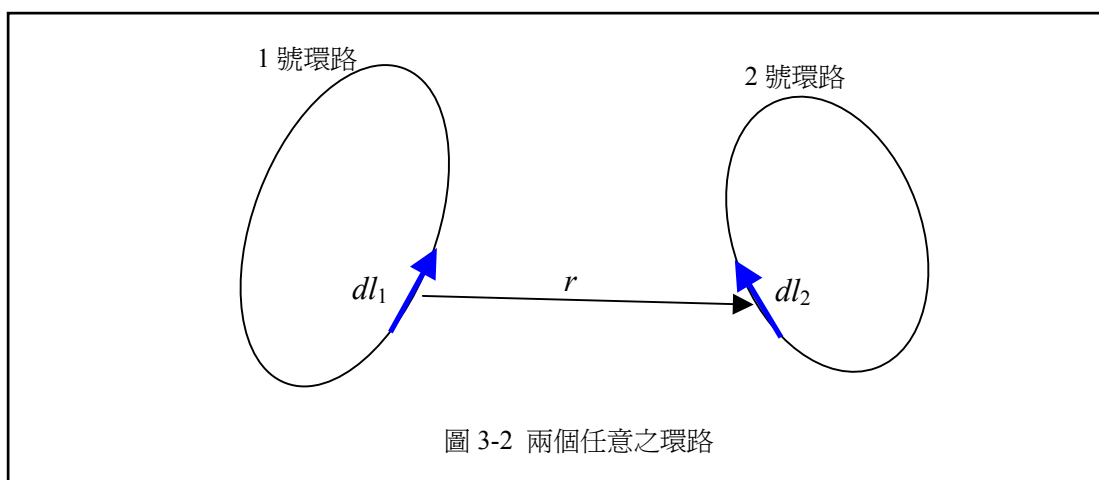
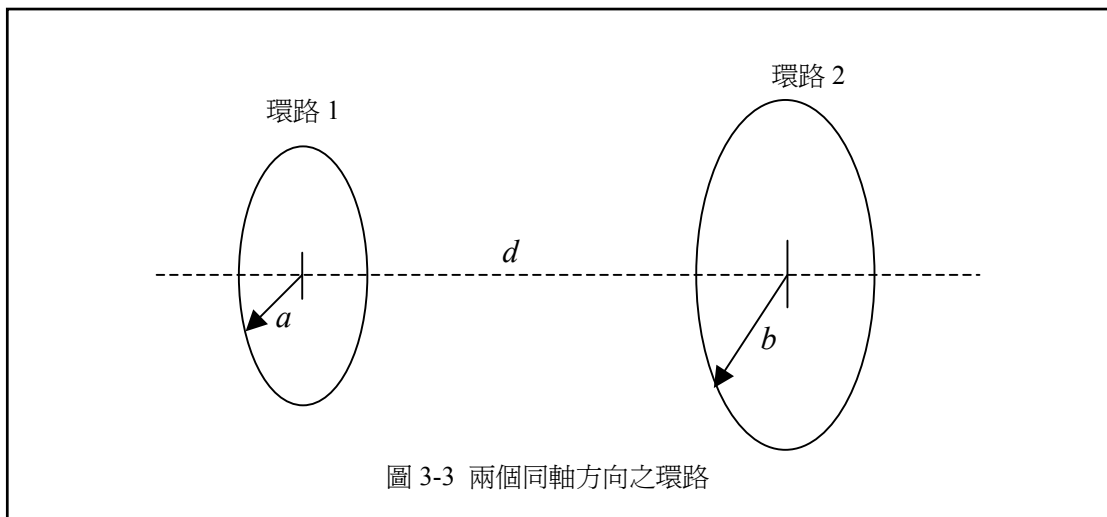


圖 3-2 兩個任意之環路

由方程式(3.4)可以得知任何一般組合之環路的互感。對兩個同軸圓形環路之特殊狀況(如圖 3-3 所示)，以及  $a \ll d$  及  $b \ll d$ ，方程式(3.4)可以近似於如下

$$M = \frac{\mu_0 \pi a^2 b^2}{2(b^2 + d^2)^{3/2}} \dots\dots\dots (3.5)$$

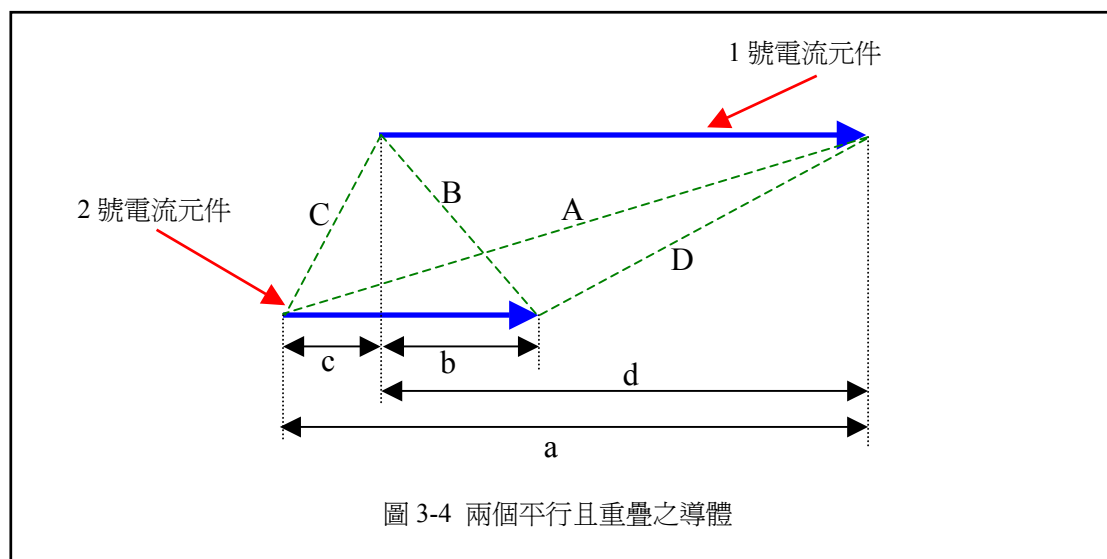




另一個特殊狀況是計算兩個平行電流元件之互感，如圖 3-4 所示。由參考書籍[3.3]得其電感方程式(3.6)。其距離 A 至 D 以及重疊距離 a 至 d 之定義如圖 3-4 所示。此結果之表示式對於尋找兩個方形環路結構或是電路板佈線之互感很有幫助。

$$M = \frac{\mu_0}{4\pi} \left[ \ln \frac{(A+a)^a (B+b)^b}{(C+c)^c (D+d)^d} + (C+D) - (A+B) \right] \dots\dots\dots (3.6)$$

在這些方程式中使用 $\mu_0$ ，若是傳播介質不是空氣的話，則要使用該介質適當之藉電係數 $\mu$  (permittivity)。



#### 第四節 自感 Self-Inductance

記得在前一節講過當一隨時間變化之電流產生之磁力線切過金屬導體時，會發生電感應(Induction)。直至現在，我們所看的只限定在一環路電流產生的磁力線切過另一個導體。這些環路電流產生之磁力線也可能會切過自身環路的導體。這就造成了環路的自感。

由方程式(3.4)將兩個環路當成是重疊的就可以看出單一圓形電流環路的自感

了。在方程式(3.4)中將環路半徑視為與單一環路之半徑相等。對一個簡化的單一電流環路而言，此處導線的半徑  $r_0$  遠小於環路的半徑  $a$ ，則此環路之自感近似於

$$L = \mu_0 a \left[ \ln \frac{8a}{r_0} - 2 \right] \dots\dots\dots (3.7)$$

若是使用了多圈之環路，則自感單純的乘以其圈數即可得到全部線圈的感量了。

對於一在自由空間中之單一方形線圈，自感可以由方程式(3.4)中得知

$$L = \frac{2\mu_0 a}{\pi} \left[ \ln \frac{p + \sqrt{1+p^2}}{1 + \sqrt{2}} + \frac{1}{p} - 1 + \sqrt{2} - \frac{1}{p} \sqrt{1+p^2} \right] \dots\dots\dots (3.8)$$

此處

$$p = a/r_0$$

$a$  = 一邊之長度

$r_0$  = 導線之半徑

對於導線之半徑遠小於環路半徑之狀況( $r_0 \ll a$ )，方程式(3.8)可以簡化為

$$L = \frac{2\mu_0 a}{\pi} \left[ \ln \frac{2p}{1 + \sqrt{2}} - 2 + \sqrt{2} \right] \dots\dots\dots (3.9)$$

注意到在此計算中我們忽略了導體內部磁通量對自感量的貢獻。此部份對低頻是較為重要的，因為在低頻時集膚效應(Skin effect)不明顯且此時電流是均勻分布在導體之橫截面。此一內部通量造成之自感量，以單位長度計算是為

$$L'_{int} = \frac{\mu_0}{8\pi} \dots\dots\dots (3.10)$$

此項目乘以環路之長度即可得知整個內部通量造成之感量。

對於一個在自由空間中之單圈矩形環路(圖 3-5)，自感量為

$$A = h \ln \left[ \frac{h + \sqrt{h^2 + w^2}}{w} \right]$$

$$B = w \ln \left[ \frac{w + \sqrt{h^2 + w^2}}{h} \right]$$

$$C = h \ln \left[ \frac{2h}{a} \right] + w \ln \left[ \frac{2w}{a} \right]$$

$$L = \frac{\mu_0}{\pi} \left( -2(w+h) + 2\sqrt{h^2 + w^2} - A - B + C \right) \dots\dots\dots (3.11)$$

此處

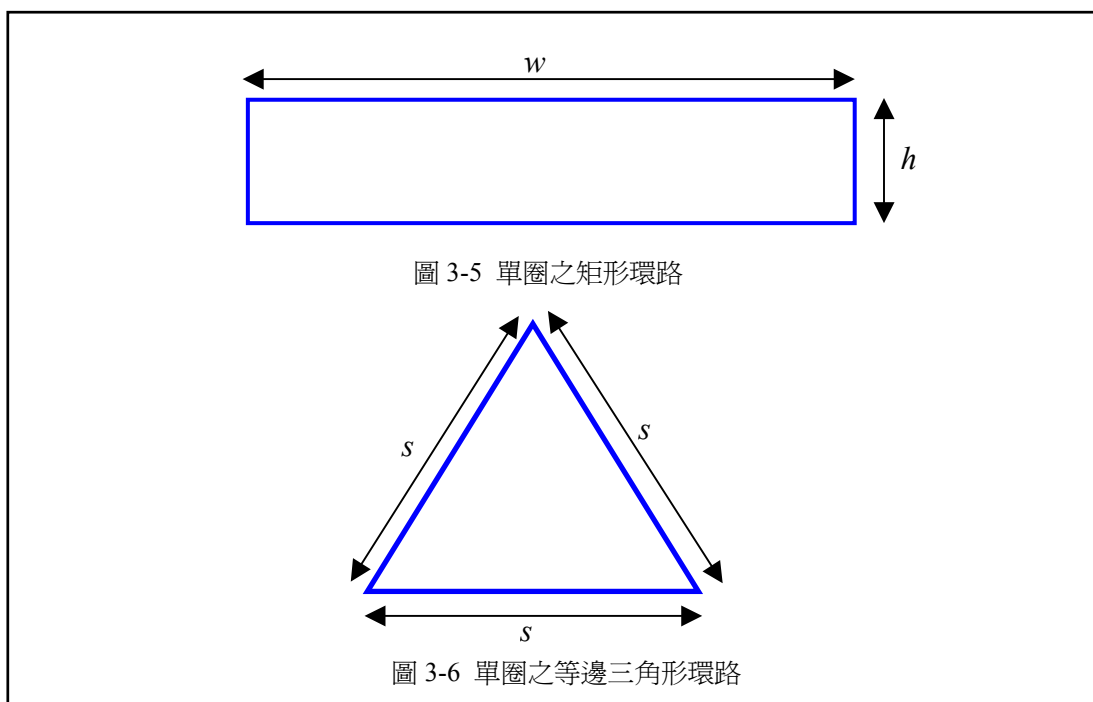
$w$  = 矩形之寬度(長邊)  
 $h$  = 矩形之高度(短邊)  
 $a$  = 導線之半徑

對於一個在自由空間中之等邊三角形(圖 3-6)來說，其自感量為

$$L \approx \frac{3\mu_0 s}{2\pi} \left[ \ln \frac{s}{a} - 1.405 \right] \dots\dots\dots (3.12)$$

此處

$s$  = 三角形之邊長  
 $a$  = 導線之半徑



對於一個在自由空間中之等腰三角形(圖 3-7)來說，其自感量為

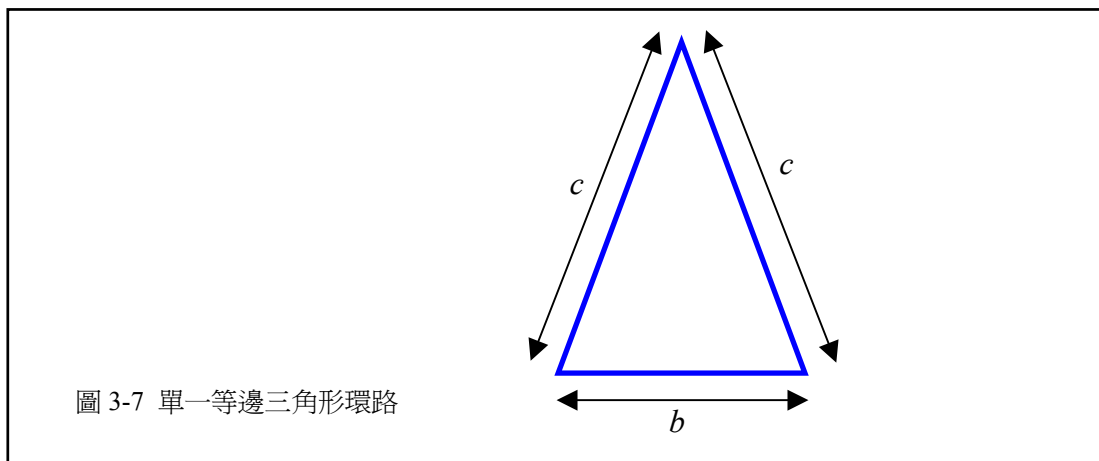
$$A = 2(b+c) \sinh^{-1} \left[ \frac{b^2}{\sqrt{4b^2c^2 - b^4}} \right]$$

$$B = 2c \sinh^{-1} \left[ \frac{2c^2 - b^2}{\sqrt{4b^2c^2 - b^4}} \right] - (2c+b)$$

$$L \approx \frac{\mu_0}{2\pi} \left[ 2c \ln \left( \frac{2c}{a} \right) + b \ln \left( \frac{2c}{a} \right) - A - B \right] \dots\dots\dots (3.13)$$

此處

$c$  = 三角形之腰邊之長度  
 $b$  = 三角形之基底邊之長度  
 $a$  = 導線之半徑



第一項 每單位長度之自感

EMI/EMC 工程師通常會面對的還有一些特殊結構。許多的這些特殊結構都可以其『每單位長度』之參數來計算，例如說一對導線、在接地參考面上之佈線、等等。本節將要計算估計這類特殊結構之自感量。

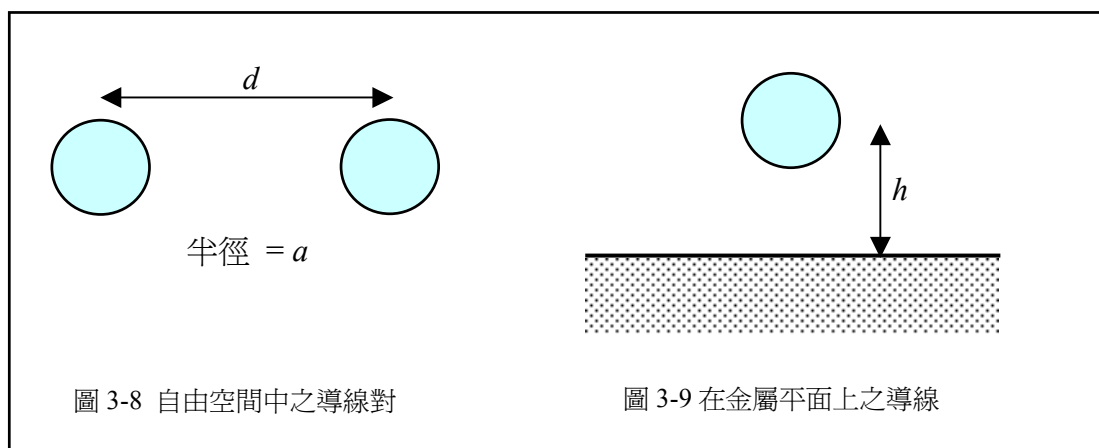
對一在自由空間中之導線對(圖 3-8)，其分開之距離遠大於其導線之半徑( $a \ll d$ )，其自感可以表示為

$$L \approx \frac{\mu_0}{\pi} \cosh^{-1} \left( \frac{d}{2a} \right) \dots\dots\dots (3.14)$$

此處

$a$  = 導線之半徑

$d$  = 由中心算起之導線分開之距離



對一個自由空間中在金屬平面上方之導線(圖 3-9)，其分隔距離遠大於導線之半徑( $a \ll h$ )，其自感可以表示為

$$L \approx \frac{\mu_0}{2\pi} \cosh^{-1}\left(\frac{h}{a}\right) \dots\dots\dots (3.15)$$

對一個自由空間中在金屬平面上方之扁平佈線(圖 3-10)，其佈線之寬度遠大於其與金屬平面之高度( $h \ll w$ )，並且其與金屬平面之高度大於佈線之厚度( $h > t$ )，則其自感量可以下式表之

$$L = \frac{\mu_0 h}{w} \dots\dots\dots (3.16)$$

此處

$w$  = 佈線之寬度

$h$  = 佈線在金屬平面上方之高度

$t$  = 佈線之厚度

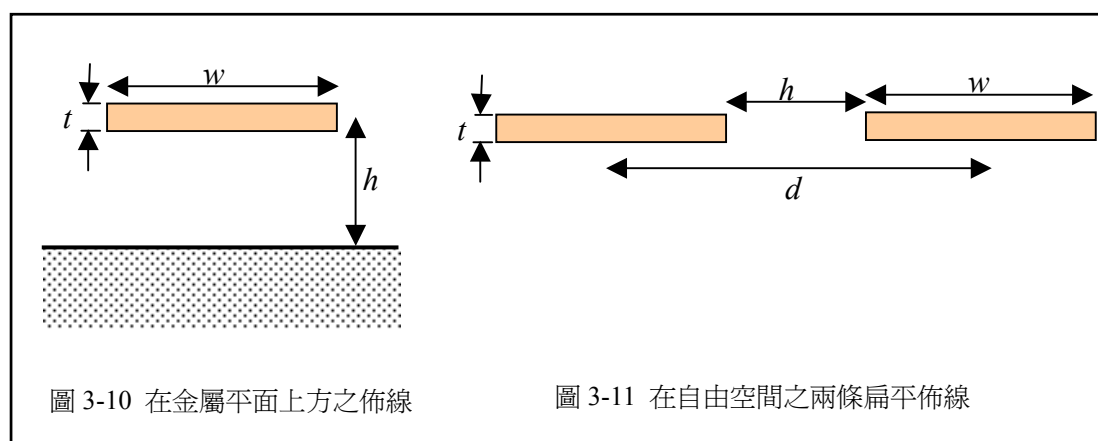


圖 3-10 在金屬平面上方之佈線

圖 3-11 在自由空間之兩條扁平佈線

對於在自由空間中之兩個扁平佈線(圖 3-11)，佈線之寬度遠大於佈線之分隔距離( $h \ll w$ )，且佈線之分隔距離大於佈線之厚度( $h > t$ )，則其自感量可以下式表之

$$L \approx \frac{\mu_0 h}{w} \dots\dots\dots (3.17)$$

對在自由空間中兩條扁平之二維佈線(圖 3-12)，其佈線之寬度遠大於佈線中心間之距離( $w \ll d$ )，且其寬度大於佈線之厚度( $w > t$ )，則其自感量可以下式表之

$$L \approx \frac{\mu_0}{\pi} \cosh^{-1}\left(\frac{d}{w}\right) \dots\dots\dots (3.18)$$

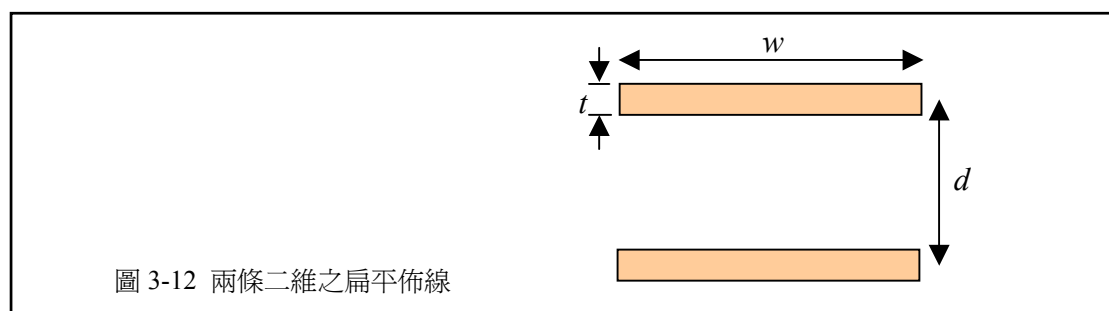


圖 3-12 兩條二維之扁平佈線

## 第五節 區域電感 Partial Inductance

電感的定義需要有電流流過環路。沒有完整的環路就不會有電感。但是，就實際上之考量，需要考慮一個整體環路中一小部份之電感，例如說一個電容器之電感。此種討論整體環路之一部份電感之概念就稱之為區域電感。區域電感可以使用方程式(3.19)組合成整體之電感。

$$L_{total} = L_{p1} + L_{p2} + L_{p3} + L_{p4} - M_{p13} - M_{p24} \dots\dots\dots (3.19)$$

區域電感之觀念在幾何形狀很複雜時特別有用，或這是當電流不均勻流過金屬之橫截面時。例如，若是一金屬棒(如圖 3-13)夠小時，則流經其橫截面之電流可以視為是固定的，此時可以用簡單串聯電阻與電感之等效電路來取代之。此電阻值可以下式表之

$$R = \frac{l}{\sigma wt} \dots\dots\dots (3.20)$$

此處

$l$  = 金屬棒之長度

$w$  = 金屬棒之寬度

$t$  = 金屬棒之厚度

$\sigma$  = 此金屬物質之傳導率 Conductivity

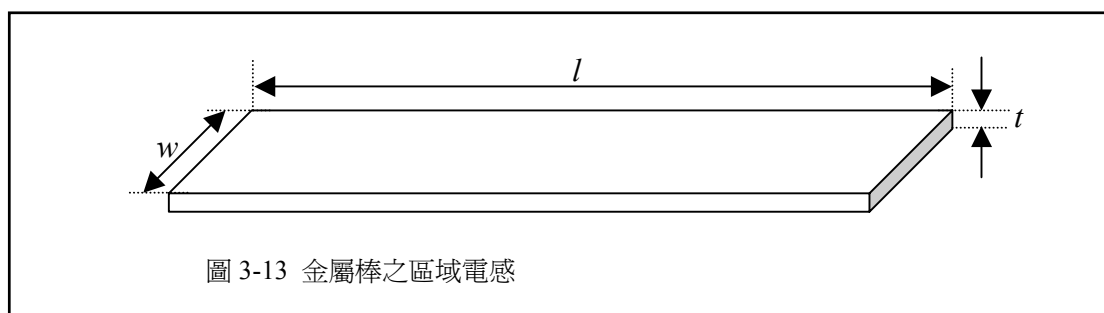


圖 3-13 金屬棒之區域電感

由參考書籍[3.4 至 3.6]簡單的計算方程式可得以下之區域電感  $L_{pii}$

$$\begin{aligned} \frac{L_{pii}}{l} = & \frac{2\mu}{\pi} \left\{ \frac{\omega^2}{24\mu} \left[ \ln\left(\frac{1+A_2}{\omega}\right) - A_5 \right] \right\} \\ & + \frac{1}{24\mu\omega} [\ln(\omega + A_2) - A_6] + \frac{\omega^2}{60\mu} (A_4 - A_3) \\ & + \frac{\omega^2}{24} \left[ \ln\left(\frac{\mu + A_3}{\omega}\right) - A_7 \right] + \frac{\omega^2}{60\mu} (\omega - A_2) \\ & + \frac{1}{20\mu} (A_2 - A_4) + \frac{\mu}{4} A_5 - \frac{\mu^2}{6\omega} \tan^{-1}\left(\frac{\omega}{\mu A_4}\right) \end{aligned}$$

$$\begin{aligned}
& + \frac{\mu}{4\omega} A_6 - \frac{\omega}{6} \tan^{-1}\left(\frac{\mu}{\omega A_4}\right) + \frac{A_7}{4} - \frac{1}{6\omega} \tan^{-1}\left(\frac{\mu\omega}{A_4}\right) \\
& + \frac{1}{24\omega^2} [\ln(\mu + A_1) - A_7] + \frac{\mu}{20\omega^2} (A_1 - A_4) \\
& + \frac{1}{60\mu\omega^2} (1 - A_2) + \frac{1}{60\mu\omega^2} (A_4 - A_1) \\
& + \frac{\mu}{20} (A_3 - A_4) \\
& + \frac{\mu^3}{24\omega^2} \left[ \ln\left(\frac{1 + A_1}{\mu}\right) - A_5 \right] \\
& + \frac{\mu^3}{24\omega} \left[ \ln\left(\frac{\omega + A_3}{\mu}\right) - A_6 \right] \\
& + \frac{\mu^3}{60\omega^2} [(A_4 - A_1) + (\mu - A_3)] \quad \dots\dots\dots (3.21)
\end{aligned}$$

此處

$$A_1 \equiv (1 + \mu^2)^{1/2}$$

$$A_2 \equiv (1 + \omega^2)^{1/2}$$

$$A_3 \equiv (\mu^2 + \omega^2)^{1/2}$$

$$A_4 \equiv (1 + \mu^2 + \omega^2)^{1/2}$$

$$A_5 \equiv \ln\left(\frac{1 + A_4}{A_3}\right)$$

$$A_6 \equiv \ln\left(\frac{\omega + A_4}{A_1}\right)$$

$$A_7 \equiv \ln\left(\frac{\mu + A_4}{A_2}\right)$$

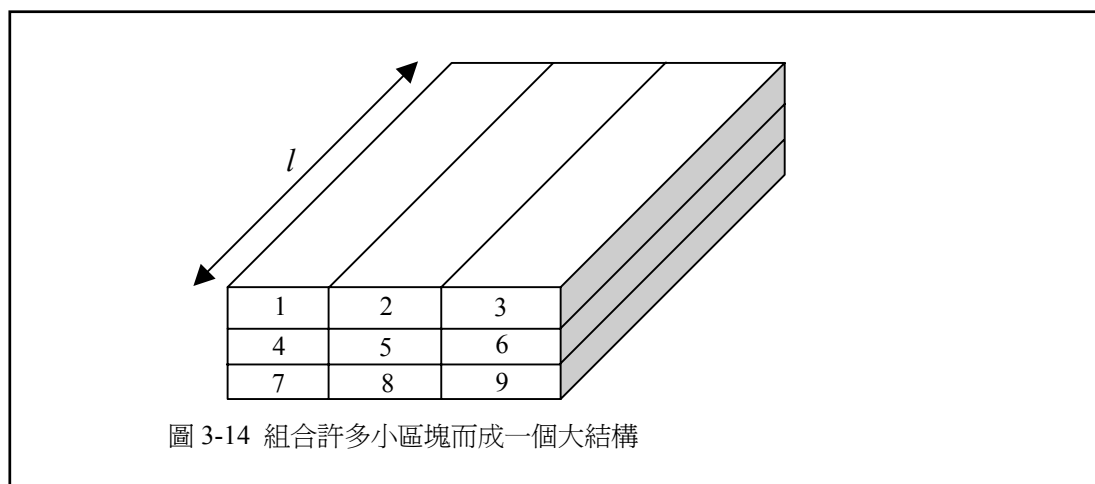
$$\mu \equiv l/w$$

$$\omega \equiv t/w$$

方程式(3.21)看起來相當的複雜，但是其可以很直接的應用在電腦程式上。以將一個大金屬棒區分成許多小金屬棒的方式，可以將此計算引用在一個橫截面為不均勻電流的大塊金屬棒之上。區分開的小金屬棒每個都是為均勻的電流分布(如圖 3-14)。將在大金屬棒上之電流分布視為是一種階梯分布，只要分成足夠小的小段，在每一個相鄰的小金屬棒之電流階梯差距很小，就會有足夠的精確度。在每一個小段兩端之電壓為

$$V = R_i I_i + j\omega L_{pi} I_i + j\omega \sum_{\substack{k=1 \\ k \neq i}}^N (L_{pik} I_k) \dots\dots\dots (3.22)$$

此處  $L_{pik}$  為在  $i$  與  $k$  兩小段間之區域互感。



整個大金屬棒之電流等與所有小區塊金屬棒電流之總和。每一個小區塊兩端之電壓與其他小區塊都一樣，並且等於整個大金屬棒兩端之電壓。

## 第六節 結論

電感的存在是因為有電流流在一個環路上，了解此一基本原則之觀念是很重要的。這不是沒有道理的，因為電流**必須**要在環路上流動。電流環路之大小決定了電感之大小。

在電子電路中，電感是一基本之組成元件。就是說，一旦使用金屬導體，並且有電流流過，則就有電感之產生。此電感對於所有的高頻電路中是一種限制因素。當電容當作是濾波器來使用時，電流流經電容所造成的自然電感，限制了電容作為有效濾波元件之頻率範圍。

區域電感是一個有用的觀念，如此我們才可以討論一小段環路對整體電感之貢獻。例如說連接 PC 板不同佈線層間之貫穿孔、在 PC 板與金屬機殼間之銅柱、在 PC 板與濾波器間之線路佈線。每一個的這種金屬結構都可以分析以了解其區域電感，其結果可以組合起來以得知整體之電感。



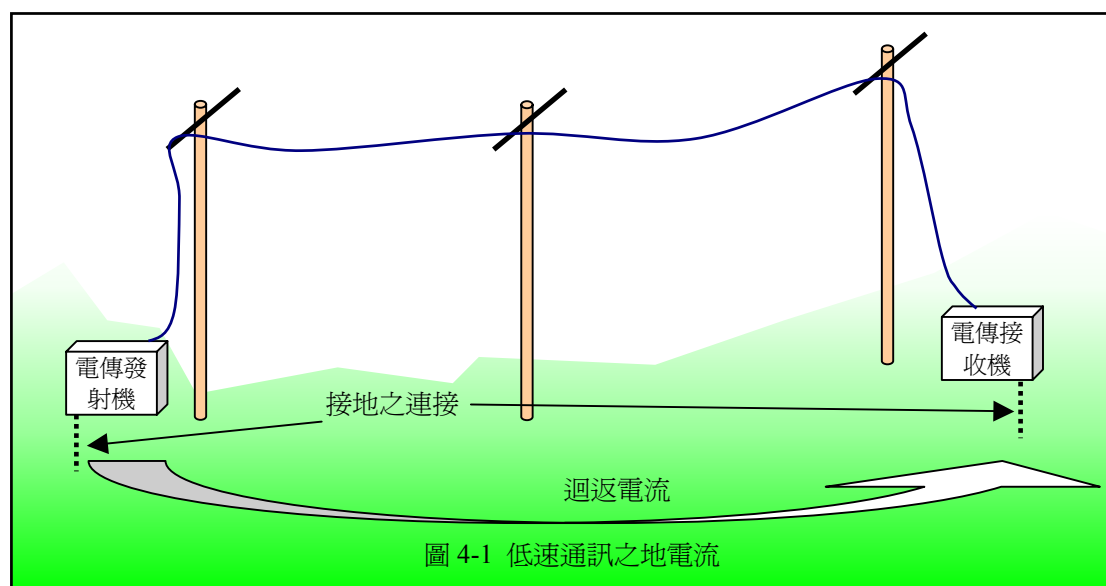
## 第四章 接地之謎思 The Ground Myth

在 EMC 工程裡，甚至是電路設計上，『Ground 地』可能是最易被誤用與最易被誤解的名詞。『地』一般被認為是在所有頻率都是零電阻與零阻抗之零電位區域。而在實際之高速設計中卻不是如此。當我們使用『Ground』這個名詞時，心中要記住『Ground is a place where potatoes and carrots thrive ”地”是蕃薯及胡蘿蔔生長的地方』。將此概念牢牢記住，許多造成 EMI 幅射問題的因素都可以解決。

在 DC 電壓時『地』是個很清楚的觀念，但是在今日一般電路板之頻率上就不是這樣簡單了。任何金屬或多或少都有些許之電阻，即使此電阻接近零歐姆，電流流過導體環路造成電感。電流在此電感上流過造成電壓降。此意味著在金屬平面/金屬線/金屬棒/等等，都會有電壓降，此與『Ground 地』的意圖與定義就是有著直接矛盾了。

### 第一節 『地』這個名詞是怎麼來的？

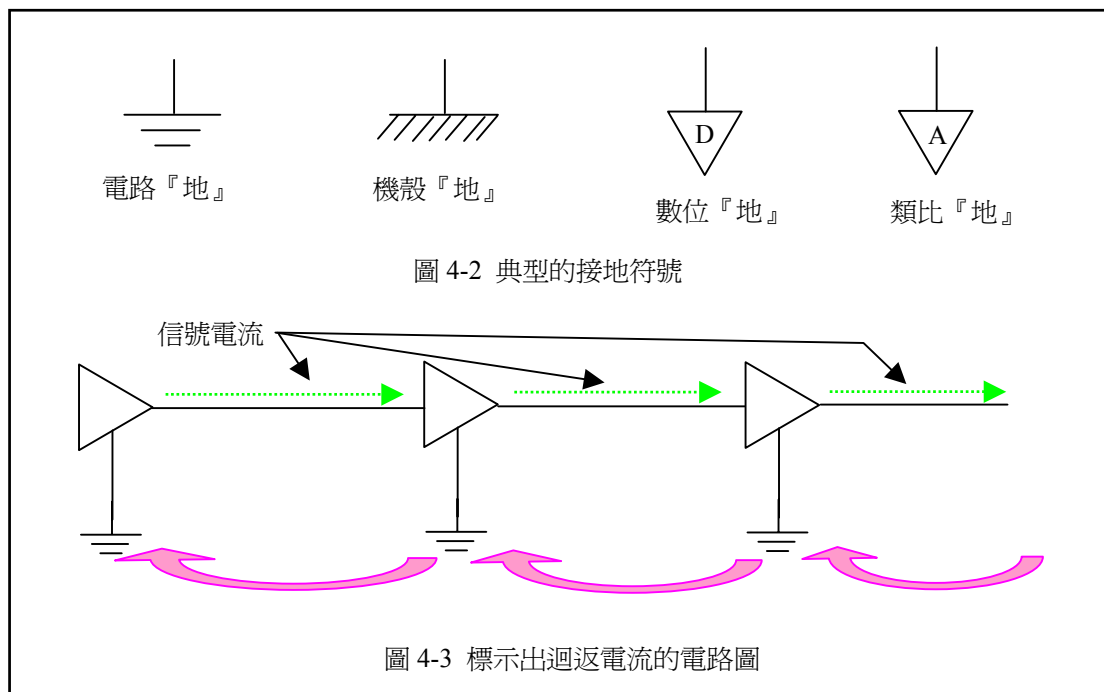
電子上最先使用『地』這個名詞是在電報(telegraph)時代。記得在早期之西部牛仔片，壞蛋在搶了銀行後射斷一條電桿上之電線，讓銀行無法通知隔壁城鎮派出警衛隊追捕。注意到只有一條線嗎？但是我們之前談到且強調，電流必須要形成一個環路。其由發送者到接收者，然後必須要再回頭回到發送者端。在早期之電報時代，電線是很昂貴的。他們發現若是發送者之一端與接收者之一端都接到大地(earth ground)的話，則只要一線而系統還是運作的很好。如圖 4-1，發送端與接收端都『接地』而形成電報迴路。



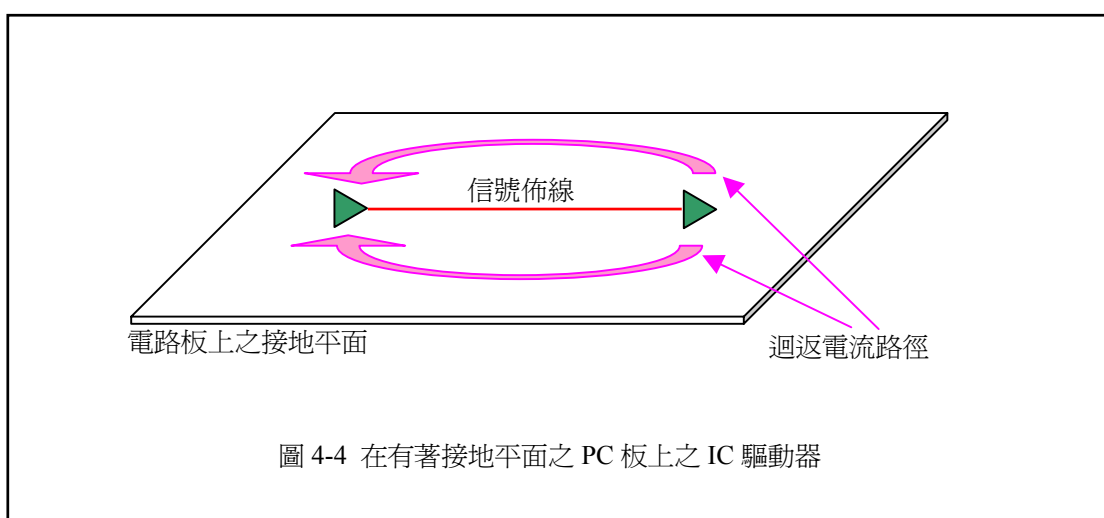
對於信號之脈衝率在每秒 5 個脈衝以下時，這是一個絕佳的方式。不管地面的傳導性如何，信號還是可以傳達。很明顯地，當信號速率提昇時這方式完全無法接受，因為當頻率提昇時地面之阻抗很快速的增加。此時必須考慮到整個的電流路徑。不只是直接的傳輸路徑(信號路徑)，同時還包括迴返電流路徑(信號迴返電流)。

現在在電路圖上使用的一些『接地』符號也會讓我們困惑。在圖 4-2 中之一些符

號有一般之電路接地、機殼接地、這些都是假設接在一起的。雖然說信號及電源迴返電流路徑在一般之電路圖上是看不出來的，但這些迴返電流路徑仍舊是存在，如圖 4-3 所示。當把迴返電流路徑標出時，很明顯的電流是以完整環路在流動。



即使如圖 4-3 所示之完整電路圖還是會誤導，因為電流是以三度空間而不是僅僅以圖中所表示之二度空間流動。圖 4-4 顯示一個簡單的積體電路(IC)驅動器與接收器在印刷電路板上，信號線以微條法(Microstrip)佈線而以一金屬平面當作其電流迴返路徑。注意到在此金屬平面上之迴返電流，而在迴返電流路徑上之任何破裂點都會中斷電流環路。很不幸的，在金屬平面上電流迴返路徑之破裂點是經常會發生的，而結果就是此迴返電流會行經無法預測且很可能產生問題之路徑，最終造成干擾到其他之電路，也就是 EMI。



## 第二節 當我們說『Ground 地』時是什麼意思？

『地』的這個名詞常常對不同的工程師代表不同的涵義。有時候『地』是表示信號迴返/參考。有時候『地』是代表電源迴返/參考。有時候『地』是表示機殼參考點，並且有時候『地』意味這接到建築物金屬之安全接地，並連接到大地。所有這些其雙重之意義是表示要有效的連接，但是因為都以同樣的名稱標示，在設計時又有許多符號，致使其容易混淆或是誤用。在設計討論時應使用較明確之名稱以消除誤解，並且也幫助設計者可以思考其真正的功能涵義。

### 第一項 信號參考 Signal Reference

『地』的最常之用途是表示信號參考，或是信號迴返路徑。在簡單之低速電路板上，迴返電流路徑可能是一條佈線路徑，所以信號電流經信號路徑『流出』接收機並沿著信號迴返路徑『流回』到發射端/驅動器。圖 4-5 顯示此種之線路佈局。使用此種之設計策略，迴返電流路徑是經特別設計的，因此可以小心的注意到此些路徑不會中斷或是干擾到其他之電路，或是由其他電路耦合到雜訊。

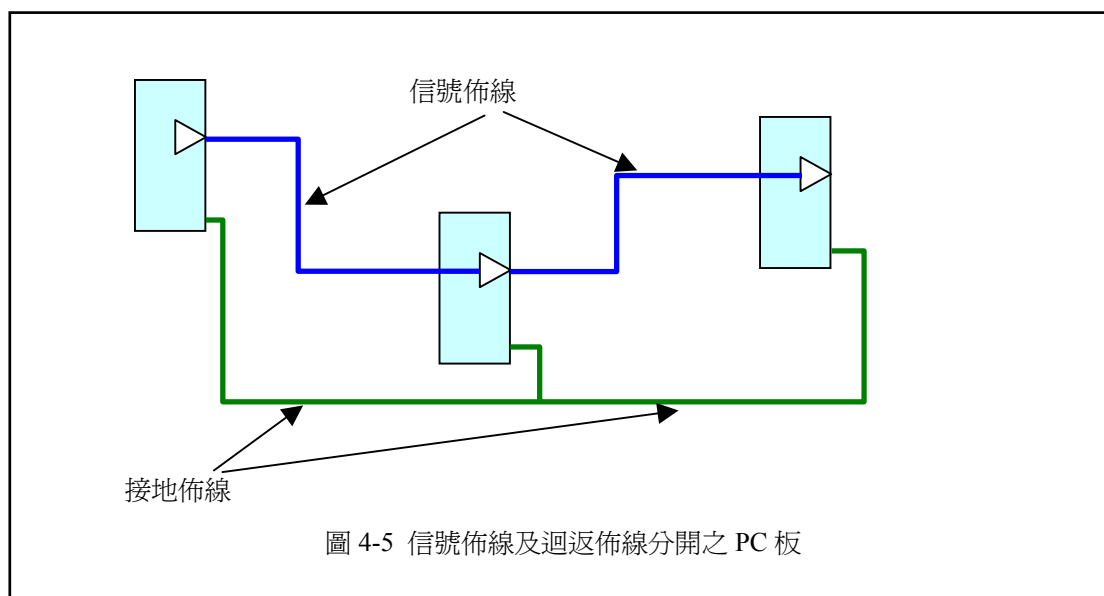
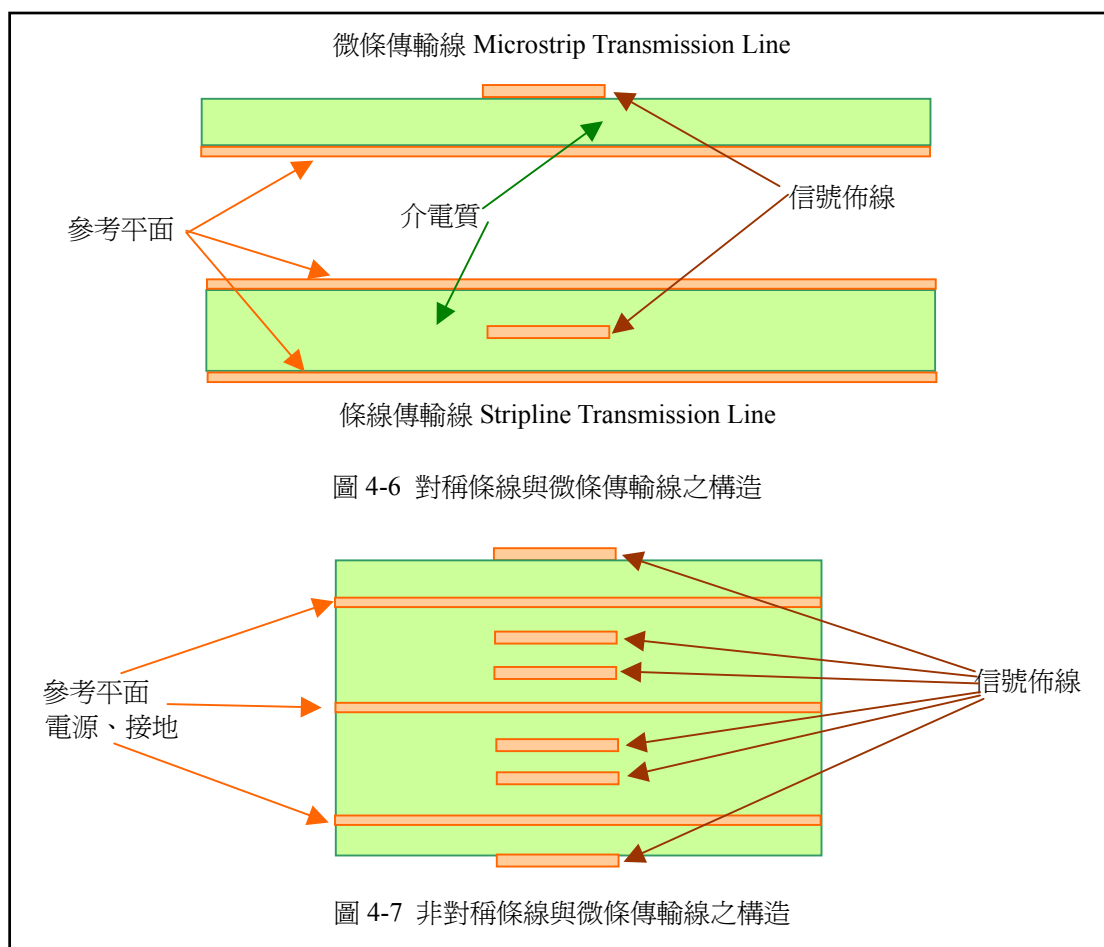


圖 4-5 信號佈線及迴返佈線分開之 PC 板

現在的大部分 PC 板需求之信號皆在每秒 10、100、1000 Megabits 以上。功能上之要求需要有受控制之傳輸線設計。圖 4-6 所示為微條法(Microstrip)及條線法 (Strip line)方式之實體 PC 板架構。信號電流在佈線上流動而迴返電流在平面上流動。因為信號佈線與參考平面之間緊密耦合(close coupling)之故，迴返電流會在參考平面上佈線之直接正下方(或上方)流動。(注：大部分之迴返電流會直接在線路佈線之下/或之上流動，但是還有部分之迴返電流會散開來以尋找最低電感之路徑。見 6.6 節中較詳細之討論。)以圖 4-6 之簡單微條法為例，迴返電流(大部分)會在微條之投影下方之參考平面流動。對於圖 4-6 之對稱條線法，迴返電流平均的使用上下兩個平面。只要在參考平面沒有不連續性存在，譬如說平面之破裂、貫穿孔、等等，迴返電流就會保持與信號電流緊密的耦合，如此就是一個有效的傳輸線了。

另一種通常見到的 PC 板構造是如圖 4-7 之非對稱條線法。此構造通常見於多層板之堆疊。在非對稱條線法中，大部分之迴返電流流經靠其最近之參考平面。同樣的，因為信號佈線與參考平面之間緊密耦合(close coupling)之故，迴返電流會在參考平面上佈線之直接正下方(或上方)流動。只要在參考平面沒有不連續性存

在，譬如說平面之破裂、貫穿孔、等等，迴返電流就會保持與信號電流緊密的耦合，如此就是一個有效的傳輸線了。

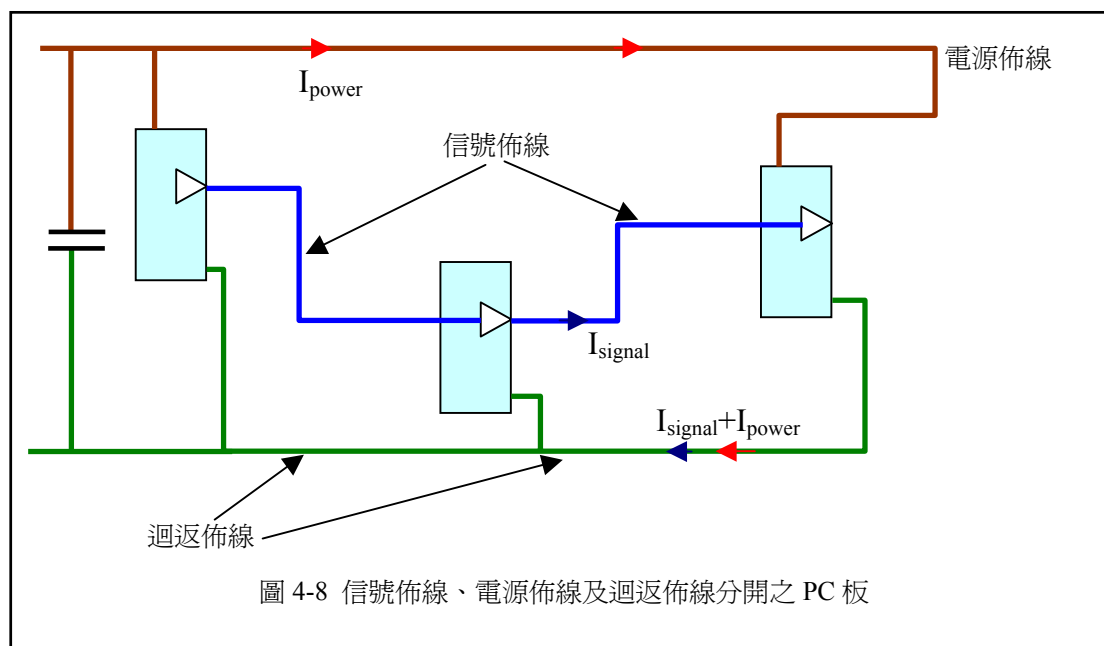


## 第二項 電源參考 Power Reference

『地 Ground』的另一個一般用法是指電源電流迴返(power current return)。一般說來，對於一個 IC 不會去區分信號電流迴返與電源電流迴返。IC 需要有電源供應以推動信號電流到信號佈線之上，以及供應 IC 內部之運算電路、邏輯閘、等。這些內部之電源電流必須要經由『電源參考』之連接以回到電源供應端。此種目的之電流路徑並不會沿著信號路徑，而是以另一個完全不同的路徑來走。

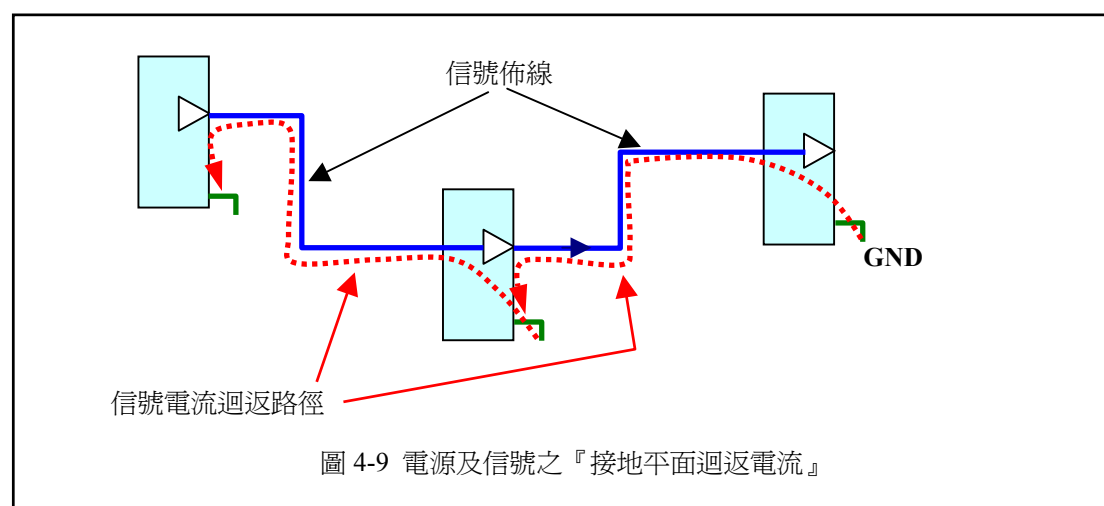
對於簡單的低速電路，電源之接線很清楚，而電源之迴返電流路徑也很直接了當，如圖 4-8 所示。電源供應到驅動器 IC，一些電流流到信號路徑上，其他的直接回到電源供應器以及去耦合電容上。

當信號速度增加到需要做傳輸線控制時，例如微條或條線方式，此時信號參考平面通常也把它當作電源供應平面以及『地』或是電源參考平面。此意味著『信號參考平面』可以是『電源平面』或是『電源參考平面』或是『信號參考平面』。『地』被我們使用來表示信號迴返以及電源迴返，當信號線參考到電源平面時，事情變得很令人困惑了。為什麼信號平面可以是電源也可以是地呢？



將電源平面稱之為『AC Ground 交流之地』可以較不會令人困惑，因為在高頻時去耦合電容連接在電源平面與『地』平面之間。此一說法有其頻率限制，因為電容器之電感、貫穿孔之電感、連接至電容器之佈線等，皆會限制了電容器之高頻特性。結果就是在電源與『地』平面之間有一非零之阻抗存在，此時就不能視為是『AC Ground』了。

即使所有的信號以及電源都參考到同一平面，信號迴返電流及電源迴返電流還是以不同之路徑在流動。如圖 4-9 所示。因為 IC 之電源是同時由電源供應器以及區域之去耦合電容來提供，部分之迴返電流必須在各自之區域流動(以完成所需之電流環路)。



### 第三項 機殼參考 Chassis Reference

大多數之產品以金屬屏蔽之機殼將電路板包裹起來。所有內部之電源參考及所有內部之信號參考應該要連接到最靠近 I/O 連接器端(外部纜線離開板子的地方)之金屬機殼上。對系統整體之輻射特性而言金屬機殼是很重要的。EMI 輻射最常見

之原因是來自於外部纜線及纜線屏蔽(Cable shields)上之『非故意之共模電流』(Unintentional Common-mode Current)。此電流是因為在纜線(或纜線屏蔽)與機殼間之電位差所致。從外部輻射之觀點來看，機殼是終極之『地』，或是這些『非故意電壓』之參考點。此意味著要控制外部輻射最主要的就是要降低在機殼與纜線間之電位差。此一考量對屏蔽及非屏蔽之纜線都是一樣的，但是在處理上還是有一點小差異。

#### 第四項 非屏蔽纜線 Unshielded Cables

非屏蔽之纜線，其信號導體，通常經由一個連接器連到內部電路上。因為這些導體上載著有用之信號(intentional signal)，其頻率內涵以及信號位準必須要很低，才不至於造成輻射之問題。

有很多種可能性，非故意之信號(Unintentional signal)或是雜訊(noise)，也會在同樣之導體上存在，只是信號位準可能小的多。I/O 驅動器可能會有內部雜訊耦合到 I/O 信號線上。機殼內之電磁場可能會耦合到線路佈線上，或是直接傳到連接器之信號腳，而傳到 I/O 信號上。高速時脈佈線或是高速匯流排也可能會串音耦合到 I/O 佈線上。許許多多的可能。不管這些無用之信號是怎麼耦合到 I/O 線上來的，皆可以使用濾波器來降低這些無用信號之電壓位準。一般說來，此雜訊電壓必須要低於  $100\mu\text{V}(0.1\text{mV})$ ，以確保可以通過商規測試之限制水準。

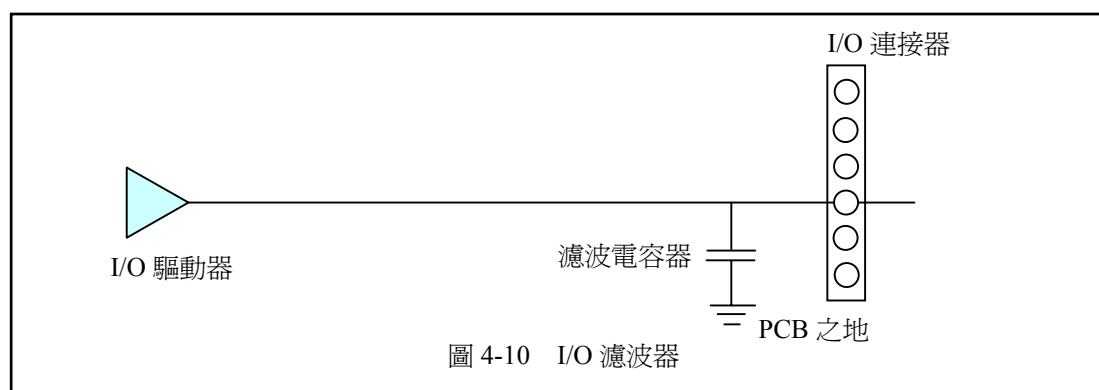


圖 4-10 I/O 濾波器

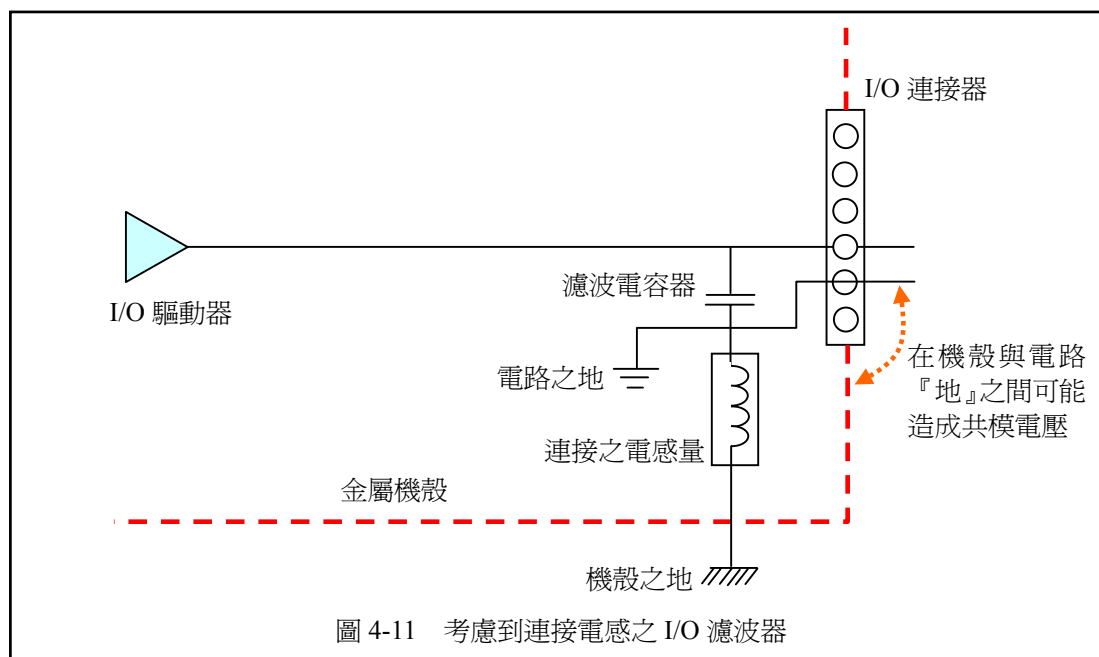
第九章會詳細的討論有效濾波器之設計。通常所見之濾波器是一個電容器加在信號線與電路板之參考平面之間，如圖 4-10 所示。很自然地，此濾波器之設計要讓功能上之信號通過，而將無用之信號衰減掉。一個重要的考慮點是，此在 I/O 信號線上之無用信號要相對於機殼做衰減，而不是相對於電路板之參考點做衰減。但是，因為方便及成本較低之故，濾波器通常是安裝在電路板之上，因之所有的衰減是相對於電路板之參考點而不是直接對機殼。電路板之參考點與機殼間連接間之阻抗造成一個電壓降，因此減低了濾波器之效果。圖 4-11 為此一連接阻抗之圖示。

因為在電路板參考點與機殼參考點之間的連接也是濾波器設計之一部份(無意間的)，此部份之電感量必須要儘可能降低以確保濾波器能有效的的工作。在高頻時，DC 之導電性不會有問題。要注意的是 PCB 參考點與機殼連接之電感量。即使是完美之導體都會有電感，也就是阻抗。一旦雜訊電流流過電感就會有電壓降。雜訊電壓降就會有效的驅動 I/O 纜線造成輻射。

在 I/O 連接器與金屬接柱間之環路電感視環路面積而決定，非周邊距離。此電感

量，也就是阻抗，會隨著金屬接柱與連接器之距離增加而非常快速的增加。

另外一個考量點是 PC 板參考點與機殼接觸面之大小。部分的環路在 PC 板上之參考平面，另一部份在機殼。這兩個導體面積都很大，故有著很小的區域電感。而 PC 板之參考點與機殼之連接面通常很小，所以其區域電感在整體電感上占了很大的部分，主宰了整個路徑的阻抗。接觸介面因此是纜線與機殼間雜訊電位差之最大來源。



在高頻時，電流只能在導體之表面流動。稱之為『集膚效應(Skin-effect)』。集膚效應限制了電流能夠流過的區域，因而增加了區域電感之效應。從這個分析來看，很明顯的接觸面的大小是很重要的。銅柱應該要越粗越短才好。這樣可以減少銅柱之區域電感，因而也減小整體環路之電感。一種常見的方法是使用具有金屬彈片可同時接觸到機殼以及 PC 板之參考地點的連接器。當使用的金屬彈片夠多時，電感就會降低。如果金屬彈片之接觸點數量不夠，連接處之阻抗不夠低，則電位差就產生了。

#### 第五項 屏蔽纜線 Shielded Cables

當意圖之 I/O 信號為高頻或是數據信號時，就會需要使用屏蔽之纜線以避免產生輻射干擾。只要屏蔽纜線之隔離編織網能以低電感/阻抗之路徑連接到機殼，就能有效的防止這些信號產生輻射干擾。

有些屏蔽線以豬尾巴(Pigtail)的方式連接其隔離編織線。在這種方式，纜線之隔離編織網在距連接器一段距離處即終止，然後以一段細的導線連接到連接器的金屬部分，再到機殼。在有些應用中，此一細導線連接到連接器之一個信號腳，然後再連接到 PC 板參考點。如前面之說明，此細導線導體，相較於粗短之導線，會使連接處之區域阻抗加大很多，因此其阻抗很高。即使是此一細導線之豬尾巴直接連接到機殼上，還是會有很大的阻抗存在於導線屏蔽與機殼屏蔽之間。流在導線屏蔽上之所有電流都會流過豬尾巴之阻抗。這就完全破壞了屏蔽的優點與效果，造成在機殼與導線屏蔽間之電位差。

## 第六項 安全接地參考 Earth Safety Reference

『安全接地參考』是真正的『地』連接，因為在 AC 電源插頭上之『地』接頭連接到建築物某處之『接地點』。此一連接是用來協助將可能會發生之 AC 電源電流接回到『大地』端，而不至於因儀器之損壞而流經人體造成危險。此路徑對於 50/60Hz 之電源頻率為一低阻抗之電流路徑，但對於高頻是為高阻抗路徑，因此其不能拿來當作高頻之接地參考。

### 第三節 『地』並不是一個電流槽(Current Sink)

當我們打開廚房之水龍頭時，水流出來，若是排水管是打開的，水會流下經排水管至地下。雖然此種水流邏輯常用來幫助學生了解電流之工作，但並不適用在電路之『地』的觀念。電流並不是簡單的流進區域之『地(或參考點)』連接然後就留在那裡。如在本章之前討論的，[所有的電流都必須以一種封閉環路之方式流動，然後回到其源頭。](#)

討論信號及電源參考之重點是在於電流如何回到其源頭。當使用一個電容濾波器時，這些不要的電流並不僅僅是流進接地參考平面然後就停留在那裡。電流必須回到它們的源頭。電流會找到某一路徑，不論是規劃給它的或是其自己找的。大多數輻射發生之原因就是因為迴返電流使用的路徑並不是規劃給該電流用的路徑。

### 第四節 參考點策略

有兩種基本之參考點策略使用在 PC 板之設計：單點參考接地與多點參考接地。產品依據其設計目標來選擇使用其中之一種方式，然而不論設計者之意圖為何，幾乎所有的高頻電路都是使用『多點接地參考』之電路設計。最佳之設計需要設計者依照不同電路所牽涉之頻率範圍，來謹慎的決定哪種接地方式較為合適。

#### 第一項 單點參考接地之策略

單點接地策略僅僅使用一個『接地』點在系統中，或 PC 板上。所有之電路都參考到該點。如圖 4-12 所示。對於 DC 及低頻電路來講可以運作的很好。一旦頻率升高到 100kHz 以上，寄生電容與寄生電感變得足夠大，以至於會讓電流流到不是規劃的路徑上。圖 4-13 所示的就是將寄生元件加到 4-12 上之例子。當迴返電流流到非規劃之路徑時，EMC 問題就會變得很嚴重。如前面所述，大部分之輻射問題之起因都可以追溯到迴返電流流到不是規劃的路徑。

所以當頻率增加到 100kHz 以上時，單點接地就必須要改成多點接地了。與其強迫一定要使用單點接地，倒不如考慮將電路區分開來之方法，而對那些電路提供適當之接地參考路徑。這樣需要對每一個信號分別考慮其迴返電流，包括 DC 電源以及低頻、中頻、及高頻電路。

#### 第二項 多點參考接地之策略

前節講到，當頻率高過 100kHz 以上時，要以多點接地來設計。多點接地指的是每一個電路都有它自己的參考接地點。這真的是有道理的，因為反正迴返電流都必須要回到它自己的源頭。事實上，整個『地』的概念會導引我們忽略掉迴返電流。在設計時，若把這個迴返電流放在心中，則『地』的觀念就變得不必要了。



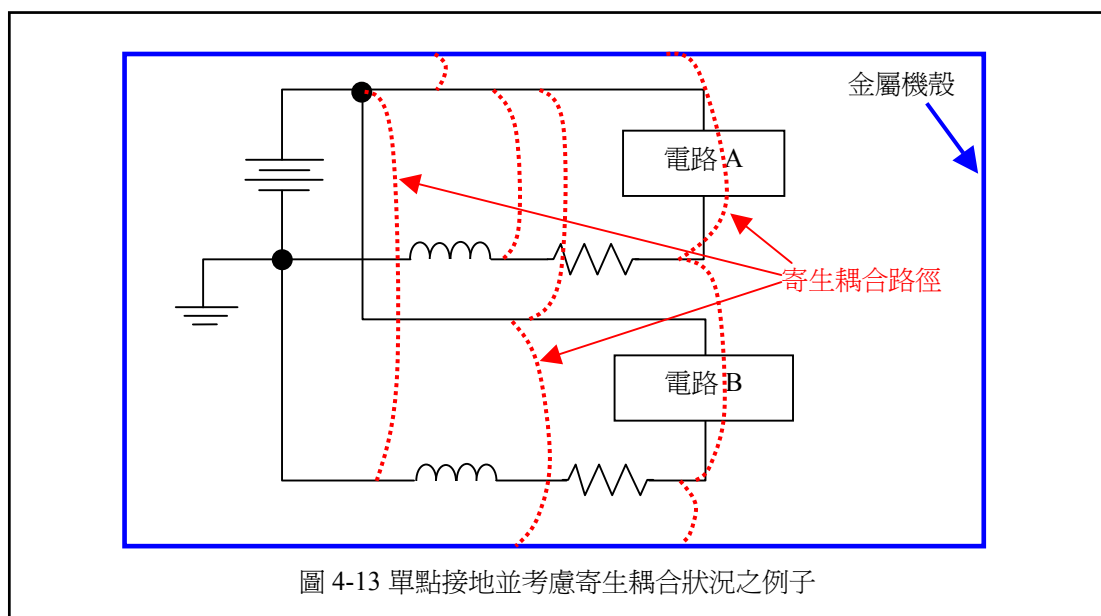
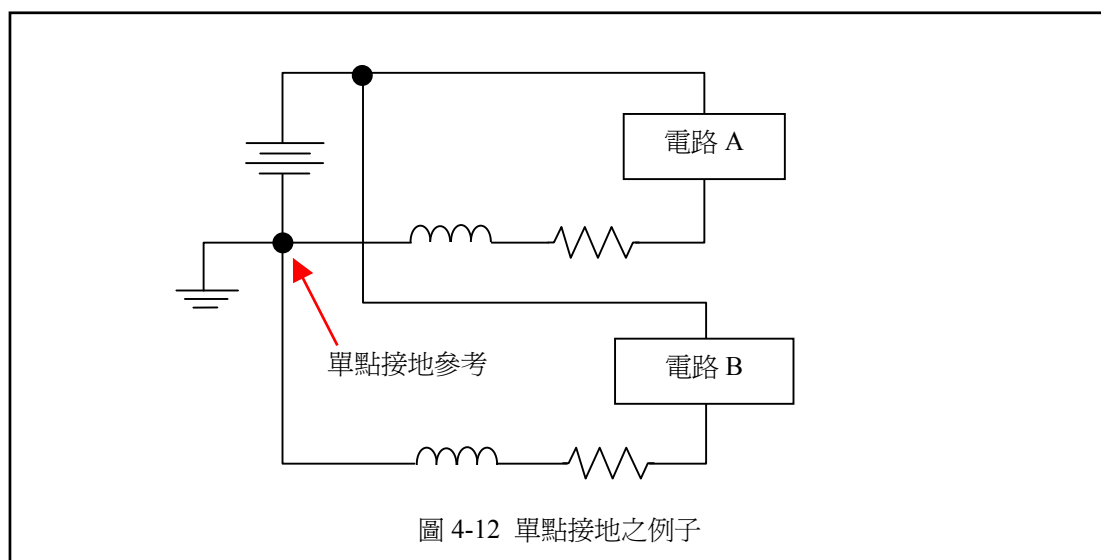


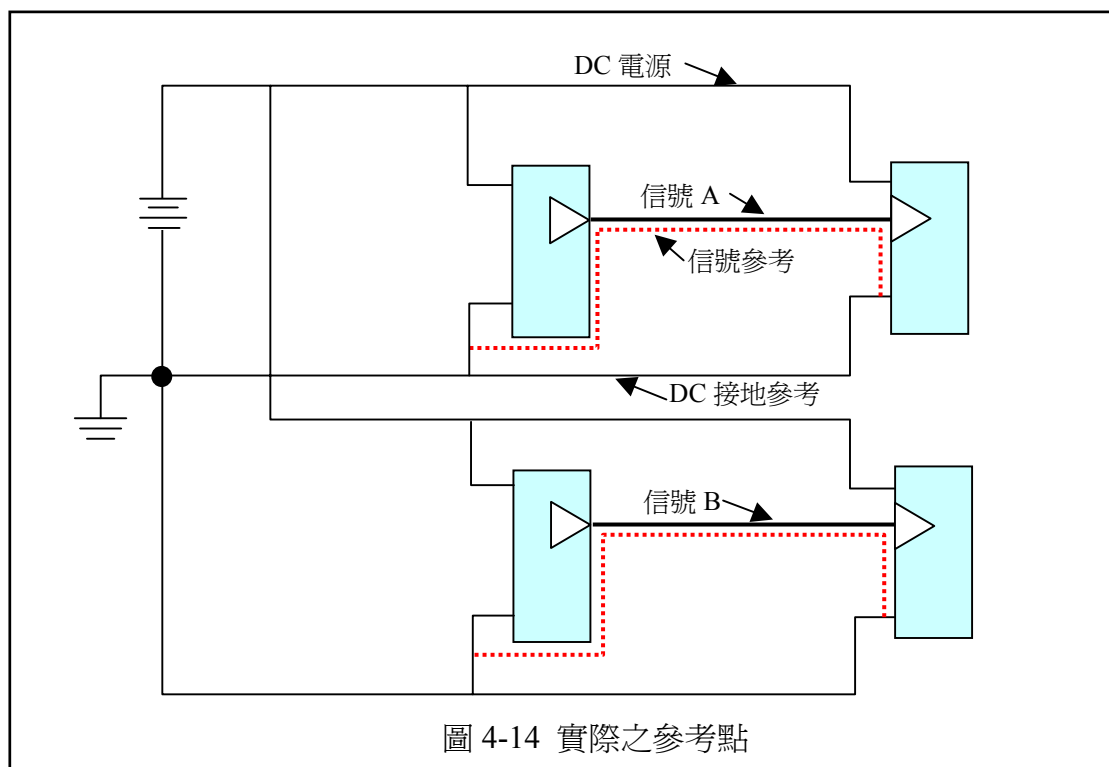
圖 4-14 顯示的是一個多點接地的例子。我們不能忽略實體之架構，也不能忽略非實體之電路，因為最終在某個位置，所有的參考點都會連接在一起。為了解釋多點接地之方式，在圖中，顯示了兩個高速電路與其信號線及 DC 電源連接。信號線旁邊之虛線部分是表示高速信號之迴返。此路徑最有可能是相鄰於信號線之 DC 接地參考平面，但也可能是其他的平面。

### 第五節 散熱器與 PC 板之連接

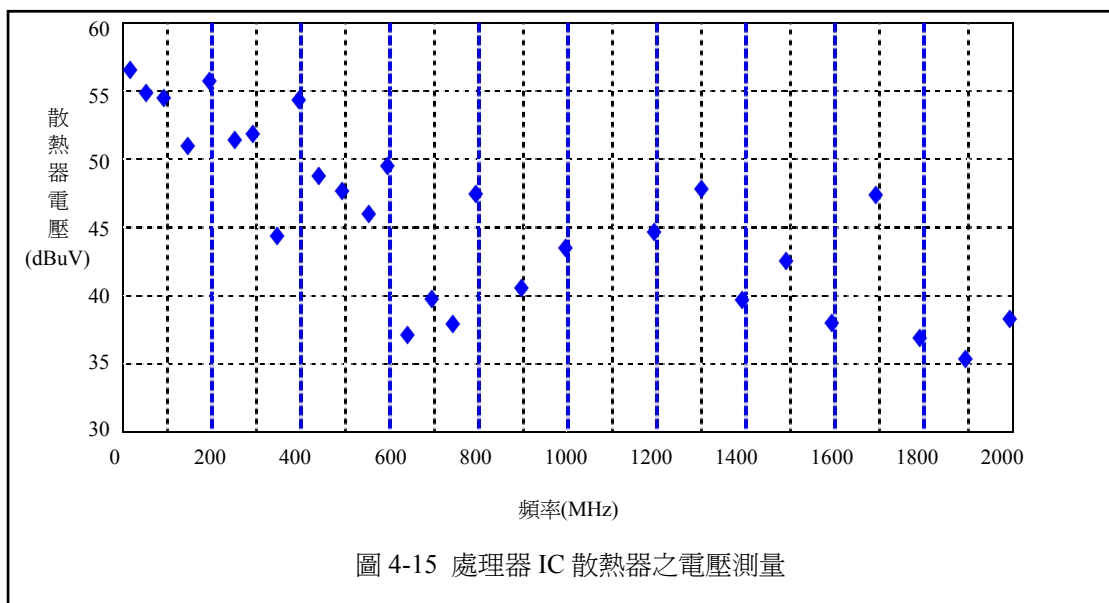
通常我們會使用金屬之散熱器在高速 IC 的上面以幫助冷卻 IC。這個金屬散熱器非常靠近 IC 的高速部分，所以內部電流很容易會緊密的耦合至金屬散熱器之上。在實體上及電子上，此散熱器都遠大於 IC 之矽晶元及內部連接線，所以是一個較有效率之輻射器。不管信號在 PC 板上是如何的佈線，或迴返電流是如何的控制的，一旦 IC 的內部電流耦合到散熱器(天線)上，就會造成輻射。若是外殼無法提供足夠之屏蔽，此一輻射可能會超過限制值。

一個控制散熱器輻射常用之方法就是將散熱器『接地』至 PC 板之接地參考。這樣可以降低散熱器與接地參考平面間之電位差，也就是降低輻射了。[連接的數](#)

目、大小、以及位置，是決定此一將散熱器接地之努力為有價值與效果，或是反而增加輻射的重要因素。



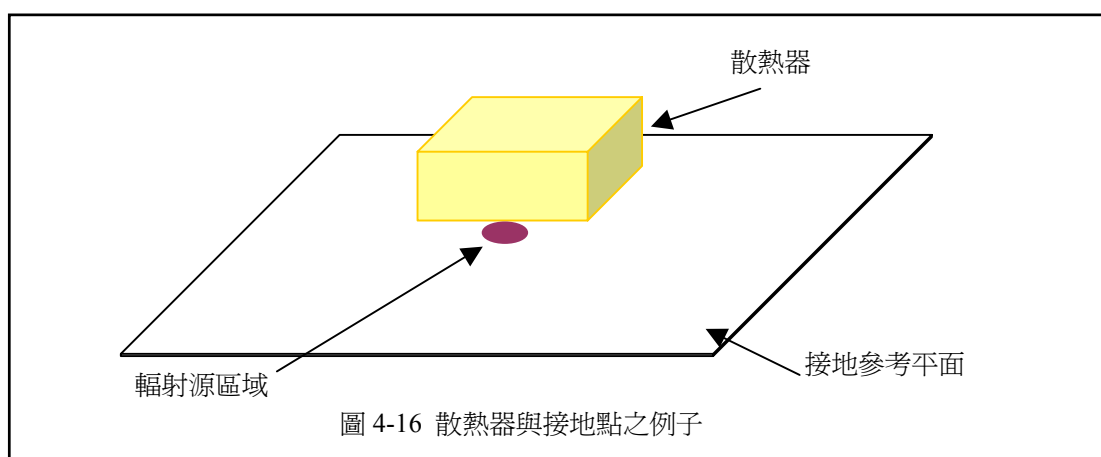
這些信號之頻率內涵要依據說到底在 IC 內有哪些信號。圖 4-15 顯示出以頻譜儀量測出來的，在處理器 IC 與接地參考平面間之電壓之例子。注意到處理器之內部時脈頻率(此例中為 1GHz)並不是量測到的主要頻率。多種的匯流排信號包括了比內部時脈大得多的電流，因此主導了散熱器上之雜訊信號，上達 GHz 之範圍。當頻率增加時，散熱器之大小在電氣上變得較大，因此讓此散熱器變成更有效率之輻射器。所有散熱器之『接地』連接都必須要小心的設計以使其在高頻仍為有效。



如先前幾章所述，所有之導體都會有電感。在散熱器與金屬接地平面間之連接也會有電感，所以會有非零之阻抗。使用越多數量的連接，連接之阻抗就越低，其就更能有效的降低輻射。但是，一般說來，環繞之散熱器的區域是很珍貴的，要增加任何的『接地墊 Pad』都會蠻困難的。所以在到底要加多少個接地點與要將輻射降多少這之間就有些取捨要做決定。以下的例子就來說明，當沒有使用夠多的接地點時，在某些頻率之輻射有可能會增加。

有許多的文獻是寫關於『散熱器之模型 modeling』以及將散熱器接地之各種不同方法。對這類型之問題而言，『有限差異時域模擬技術』【Finite-Difference Time-Domain (FDTD) simulation】可能是為最普遍使用之模型技術，這些模型還必需要經過測量來驗證。

以例子來說明，我們來分析一個  $55\text{mm} \times 68\text{mm} \times 40\text{mm}$  高的散熱器。使用 FDTD 之模擬技術。以一個無限大的金屬板來模擬 PC 板之金屬接地參考平面，此散熱器就置於該金屬平面之上。輻射源(Source)則置於金屬接地平面與散熱器之間。圖 4-16 所示即為此一組態。研究在靠近散熱器旁之近場輻射。要求得到在散熱器旁每一頻率之最高輻射值，不管其方向與極性。



研究許多不同的散熱器接地方式。將沒有接地之狀況定出模型，及一個接地點、兩個接地點(在相反方向)、四個接地點(在四邊之中心點)、四個接地點(在四個角點)、八個接地點(在四邊之中心點及四個角點)。接觸點使用小的金屬柱(大約  $25\text{mm} \times 25\text{mm}$  ?)連接在接地平面與散熱器之間。

結果以電場強度來表示，針對一給予之正規化輻射源源強度。因為輻射源的強度會隨著不同之 IC 而不同，所以此強度之絕對值並不重要。但是對於在不同接地方式狀態下，其相對之輻射結果就是重要的參考了。此一結果也經過正規化以移除輻射源頻譜之影響。也就是說，輻射源之強度假設在所有頻率都是相同的。

圖 4-17 顯示出結果，分別代表沒有接地點、一個接地點、二個接地點之狀況。明顯的看到在  $3.75\text{GHz}$  有諧振狀況。

圖 4-17 同時也顯示在低頻時( $30\text{--}800\text{MHz}$ )，當只使用一個接地點時輻射會增加。當頻率在  $800\text{MHz}$  以上時，一個接地點與沒有接地點，其輻射狀況大致相同。兩個接地點會改善低頻輻射( $800\text{MHz}$  以下)，但是在  $800\text{--}2000\text{MHz}$  會增加輻射。在  $2000\text{MHz}$  以上兩個接地點與沒有接地點之輻射狀況是一樣的。

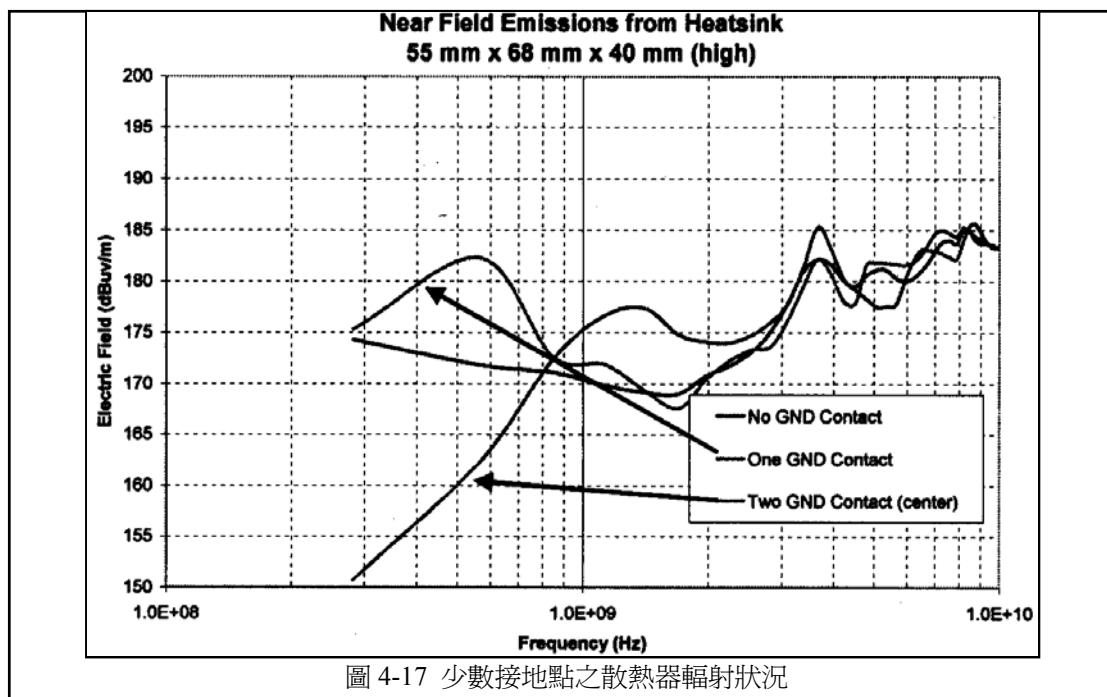


圖 4-17 少數接地點之散熱器輻射狀況

圖 4-18 顯示的是使用四至八個接地點之結果。當四個角落接地時 100MHz 以下頻率之輻射會降低，而在頻率 1000 至 2000MHz 處，輻射會顯著的加強。當使用四邊之中心點接地時，1600MHz 以下之輻射會降低，而 1600 至 2500MHz 之輻射會加強。當使用八個接地點時，輻射強度在 2500MHz 以下會顯著的降低，在 25 至 3000MHz 則會增加。

結果顯示出輻射之強度顯著的受到接觸點數量之影響。會存在一個主要的諧振點，依據接地方式之不同可以將此一諧振點移到更高的頻率去(因而不影響我們所關切之頻率範圍)。由此一模擬可以明確的看出，一或二個接地點之方式應該要避免，因為其諧振點會落在處理器時脈之第一或第二諧波處(最大能量存在之地方)。在這所有測試之方式中，八個接地點之方式會提供最佳之改善。

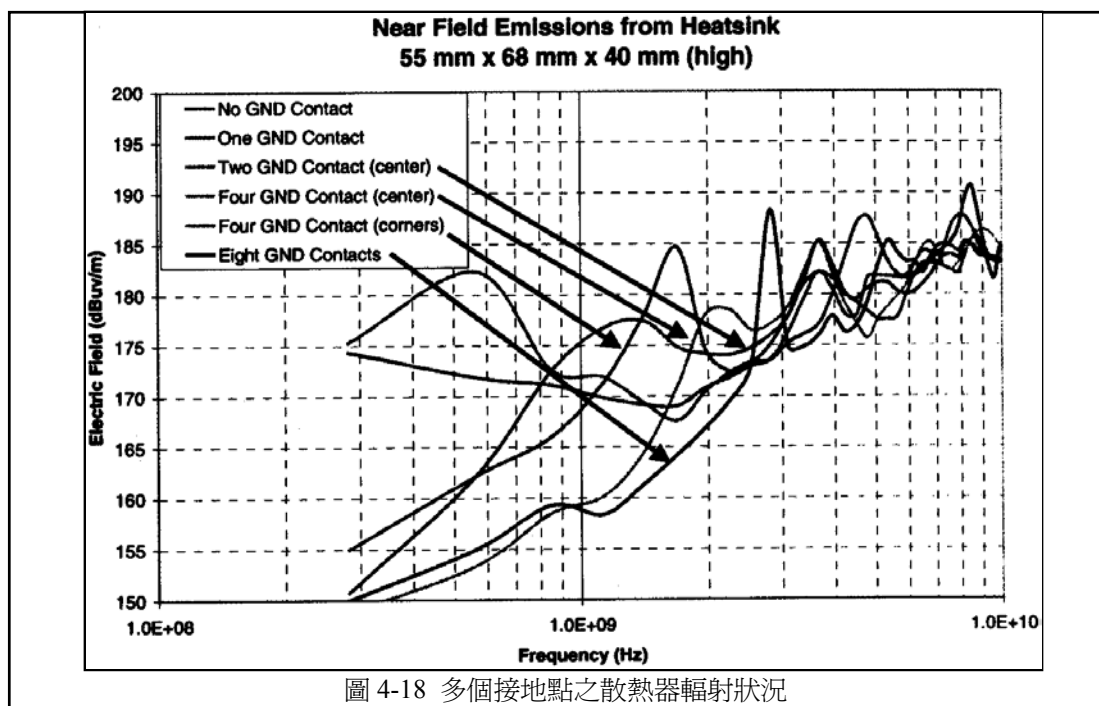


圖 4-18 多個接地點之散熱器輻射狀況

## 第六節 PCB 參考與機殼參考之連接

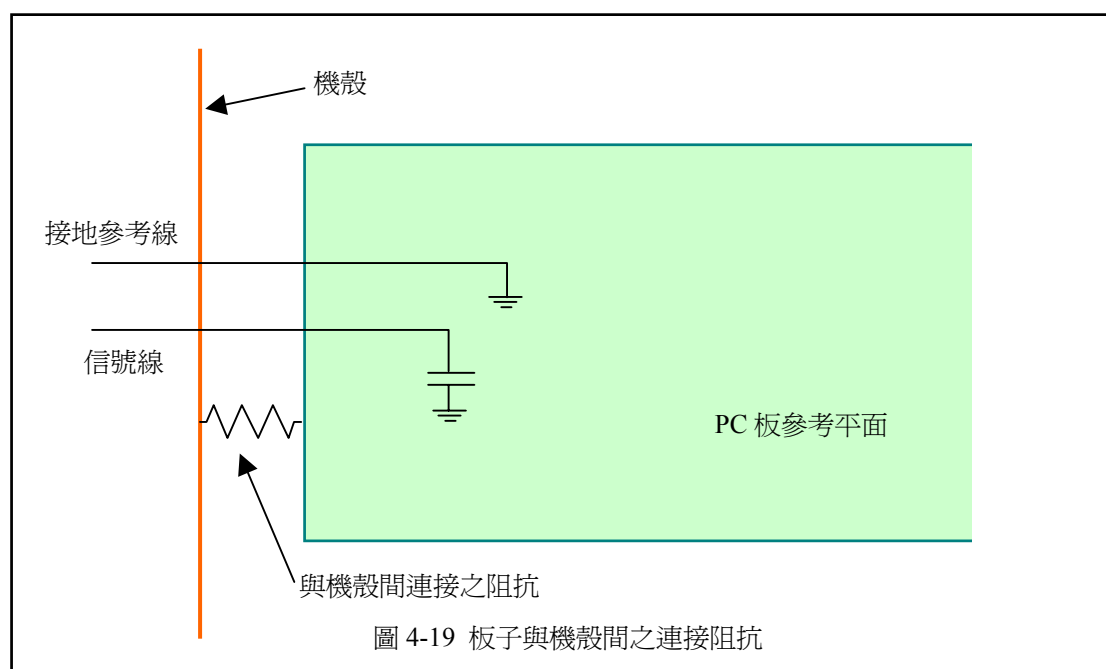
如果一個系統有著完全封閉之機殼且沒有 I/O 導線離開此機殼，則不論其電路是如何與機殼內部連接，都不會有任何差異。所有來自電路板之內部場都會被侷限在機殼之內。但極少有這種狀況，大多數之實際產品都會有開孔與 I/O 導線。

典型產品之最普遍之輻射原因是來自於非意圖信號造成之共模電壓，呈現在 I/O 導線與機殼之間。由外界之觀察點來看，我們可以把機殼當作是參考點，而在 I/O 導線上之電壓當成是一個『天線』的饋入信號。我們也可以把機殼與導線(之間有個電壓源)看成是一個集總(Lumpy)電路，不規則形狀之雙耦極天線。無論如何，I/O 導線與機殼的組合創造了一個天線，而可以很有效率的將某些頻率發射出去。

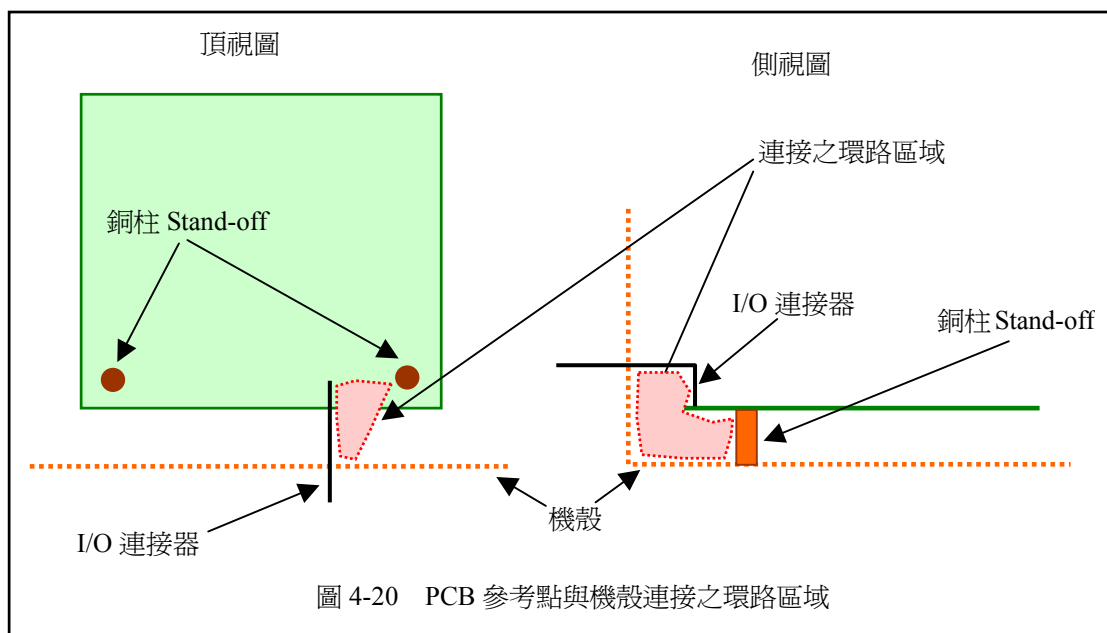
在 PC 板與機殼間之低阻抗連接，若是正確的話，可以降低這些非意圖信號之輻射。

### 第一項 I/O 區域之連接

考慮有兩條 I/O 線的狀況，分別是信號線及其迴返(地)，(例如，電腦之音頻喇叭線)。迴返線通常是接到 PC 板之接地參考點。在聲音信號線上之濾波器參考到 PC 板上之接地參考。對於外部輻射來說，其參考點為機殼而非 PC 板的接地參考。而任何在 PC 板與機殼間之阻抗會在其上建立一個電壓。此電壓會呈現在 I/O 迴返線以及 I/O 信號線之上，就成爲一個發射之源頭。圖 4-19 顯示了此一現象。



PC 板與機殼間之連接通常是用些金屬銅柱及螺絲等。這些銅柱之放置位置通常是任意選擇而很少是爲了 EMI 最佳化而考慮的。圖 4-19 顯示了一個在 PC 板與機殼間之連接阻抗。此一阻抗，此阻抗包括了連接電阻與連接之電感性。如果我們考慮在 PC 板與機殼間整個環路之連接電感，我們應該要讓此一環路區域越小越好。圖 4-20 顯示了環路區域之側視及頂視圖。要考慮到整體三度空間之迴路區域。



很多的 I/O 連接器是具有屏蔽的，具有兩個意義。第一，其屏蔽連接器中之信號腳，使其避免被機殼內之場能將雜訊耦合。第二，也是較為重要的，對 PC 板與機殼間提供一個低阻抗以及小面積的環路路徑。此一連接器變成是在 PC 板與機殼間之主要接地連接之提供者。

### 第七節 結論

不幸的，不太可能將『地(Ground)』這個字眼從設計者的字彙中移除掉。『地』的觀念是較容易瞭解並且在情緒上也較舒服。然而，一旦頻率超過了 100KHz 以上，『地』的觀念就不適合用來思考實際之電流流動。迴返電流路徑的考慮在『地』電流的控制上是很重要的。

『地』這個名詞常被誤用在許多不同的參考點上。最好能分別考慮電源參考、信號參考、機殼參考、導線參考等等。一旦這些參考位置清楚的描述了，就可以建立適當的連接，掌控迴返電流。

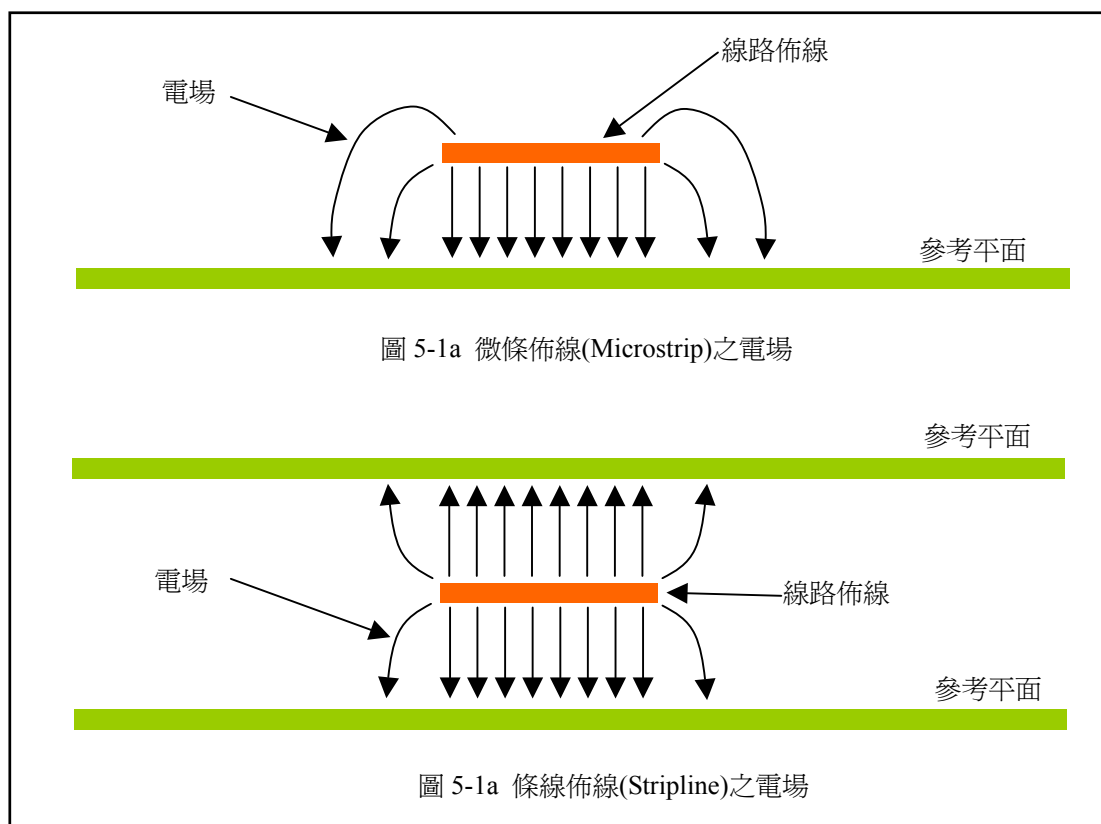
## 第五章 迴返電流設計

### 第一節 介紹

許多高速電路所發生之 EMI 問題都是在於迴返電流路徑的不正確設計。PCB 設計者通常花費時間在仔細考慮適當長度之信號路徑、適當的傳輸線阻抗、等等，但是忽略了完成電流環路之迴返電流路徑。如果對這個迴返電流路徑多注意一點的話，EMI 問題通常可以避免。

第一，了解實際之高速傳輸線，對電流的觀念必須要擴展到 DC 領域之上。電流並不是單純的從源頭開始，沿著傳輸線之信號導體，到達接收端，然後由接地參考平面流回到源頭端。傳輸線支援的是 TEM 波動(Transverse ElectroMagnetic wave)。當傳輸線之長度比脈波長時，在傳輸線上之某區域會有 TEM 脈波存在，某區域的 TEM 脈波尚未到達，或是已經通過。

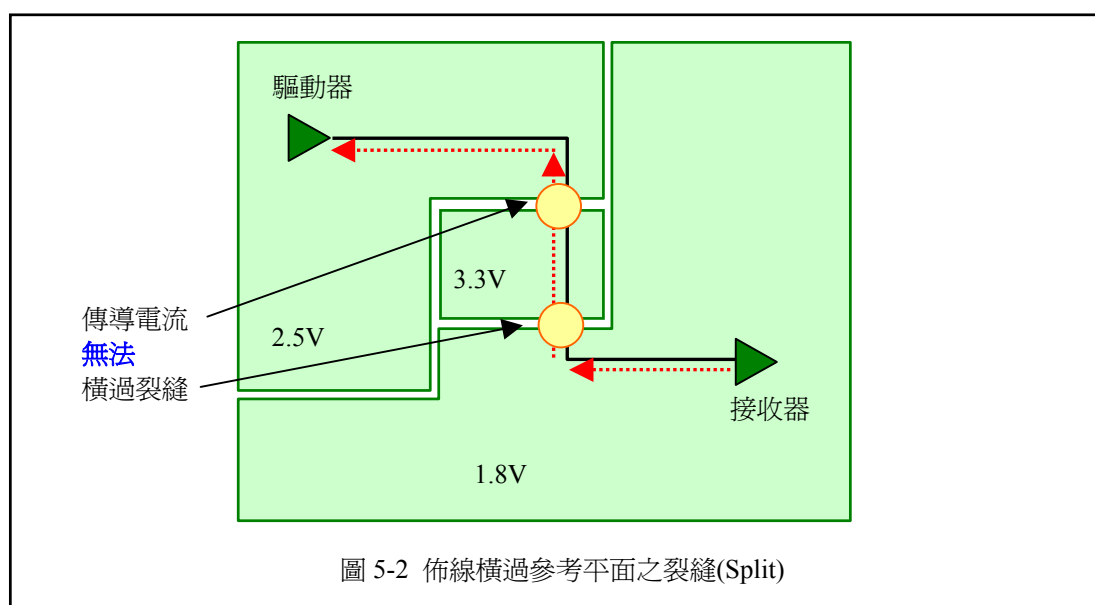
在 TEM 脈波存在的區域，會有變動電場存在於信號路徑與接地參考平面之間，如圖 5-1a 及 5-1b 所示，針對簡單之微條佈線與條線佈線之狀況。電場會使得兩導體間有一電流。此電流為相反方向，且必須會與脈波同步存在。當脈波沿著路徑移動時此電流會在兩個導體內流動。不管在信號路徑或是迴返路徑上之線路不連續或是中斷都會影響此一電流。必須要有此一電流之流動以使 TEM 脈波傳遞下去，如果設計者沒有給它設計路徑，它就可能會自己找到一個危及信號完整性(Signal Integrity)或是 EMI 特性的路徑。



迴返電流被中斷之三種常見原因是：在參考平面之分開，信號路徑變換參考平面，或是信號由連接器行經兩塊不同的電路板。以下會說明這三個設計上之考量點。

## 第二節 分開的參考平面

要記得迴返電流之存在是因為 TEM 脈波沿著傳輸線移動。此一信號迴返電流並不會因參考平面在 DC 電路圖上之稱呼不同而受到影響。也就是說，不管此平面叫做『地』平面，或是『VCC』平面，或任何稱呼，迴返電流都是一樣的。在高速電路設計中，『地』平面以及電源平面兩者都可以當作信號迴返電流的參考平面。地參考平面通常需要保持完整以提供好的迴返電流路徑。然而，電源平面通常會區分成幾塊以使不同之電壓、或是 DC 電源供應，可以同時在一塊電路板上。當一條線路佈線橫過兩個不同 DC 電壓之裂縫上時，迴返電流是沒有辦法流過去的。圖 5-2 顯示出此一佈線橫過裂縫之例子。不論此一裂縫在電源平面或『地』平面，高速信號佈線不應該橫過其參考平面上之裂縫。注意到當電源平面使用來當做參考平面時，迴返電流仍然必須回到其驅動 IC 之接地參考腳位。此電流必須流經去耦合電容，以從電源平面回到接地參考平面。



### 第一項 縫補電容器(Stitching Capacitors)

雖然說，很明顯的，高速線路佈線不應該橫過參考平面上之裂縫(Split)，但有時因為設計上之限制還是必須要如此做。例如，當使用六層 PCB 板時，最常用的分配方式是四層信號層及兩層平面層，以 S-P-S-S-P-S 之順序分配。如圖 5-3。其中一個平面層指派為『地』並且通常不會分裂的。另一個平面層被指派為電源平面，對於不同之 IC 所需之各種不同電壓會分配在個別之電源區塊(Power island)上。因為只有四個信號層，而其中的兩層會參考到電源層，所以要完全避免高速信號不會橫越電流區塊的分裂處是不容易的。例如說，在圖 5-3，若是第五層為電源平面，在第六層信號之迴返電流會使用第五層之下方表面作為其路徑。在第四層之信號會緊密耦合到第五層，會使用第五層之上方表面做其迴返路徑。由於集膚效應之故，這些電流會保持在第五層之不同表面。『縫補電容器』用來連接兩個不同之電源區塊，並且放置在靠近信號路徑橫越裂縫之處，以提供迴返電流橫越裂縫之路徑。



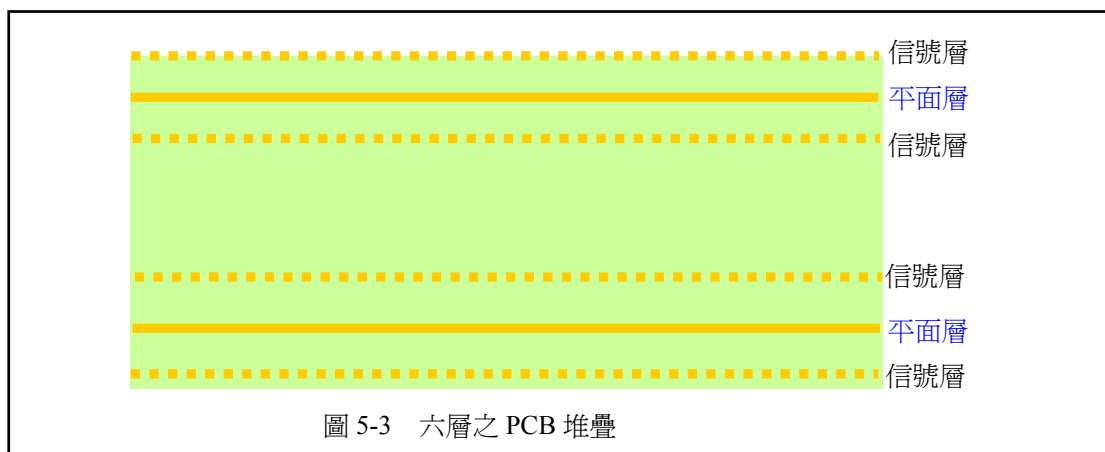


圖 5-3 六層之 PCB 堆疊

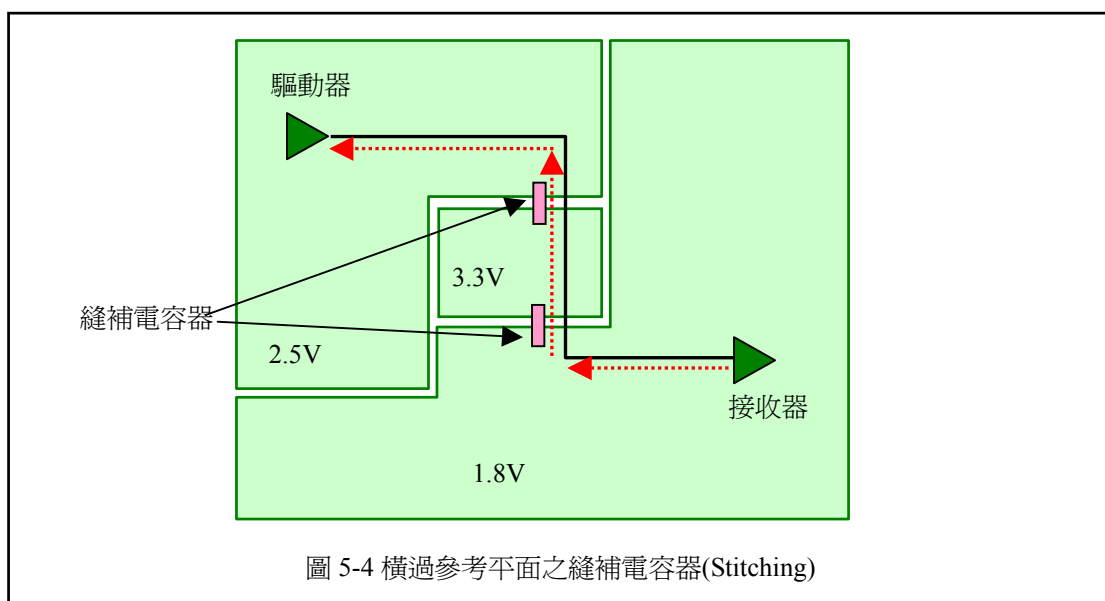


圖 5-4 橫過參考平面之縫補電容器(Stitching)

當使用縫補電容供橫越裂縫之迴返路徑時，必須考慮到此一路徑之阻抗。自然地，如果沒有裂縫存在時，沿著此一平面的阻抗很低。此縫補電容器就是必須要提供這麼低的阻抗以使迴返電流跨越裂縫。然而，記得嗎？電容器的阻抗是隨頻率而變的。圖 5-5 顯示出一個典型表面粘著電容器，其阻抗隨頻率變動之圖形。此電容器是一個 0805 大小之  $0.01\mu\text{F}$  表面粘著(SMT)電容器。當頻率增加時，電容器之串聯阻抗遞減，直到其自諧振頻率點。在此一自諧振頻率之後，電容器之電感量變成主要因素，使得其阻抗隨頻率之增加而增加。如果一個 100MHz 之時脈信號使用這個信號佈線越過裂縫，對 100MHz 之信號來說此縫補電容器之阻抗大約為 0.4 歐姆。而為了要有快速的時脈信號上升時間，一定會存在有基頻之諧波。對第九次諧波(900MHz)來說，其阻抗大概有 4-5 歐姆。橫越此縫補電容器之基頻迴返電流所面對的阻抗，會比高次諧波所面對的阻抗要低很多。

圖 5-6 顯示的是一個簡單之 PCB 上，外露之微條佈線所造成之輻射場強之圖形。顯示出裝置有縫補電容器以及不裝置縫補電容器在 20-1000MHz 之狀況。一如預期，此跨越裂縫之佈線，所造成之電場輻射，比沒有裂縫之狀況要大了 20dB 以上。圖 5-7 顯示將一個或是兩個  $0.01\mu\text{F}$  縫補電容器加在裂縫上之結果。在頻率 100MHz 以下，輻射會降低到與沒有裂縫的狀況差不多。在只使用一個縫補電容之情況，從 100MHz 以上輻射會逐步增加。在使用了兩個縫補電容之情況，輻射狀況在 1GHz 以下都維持很低。

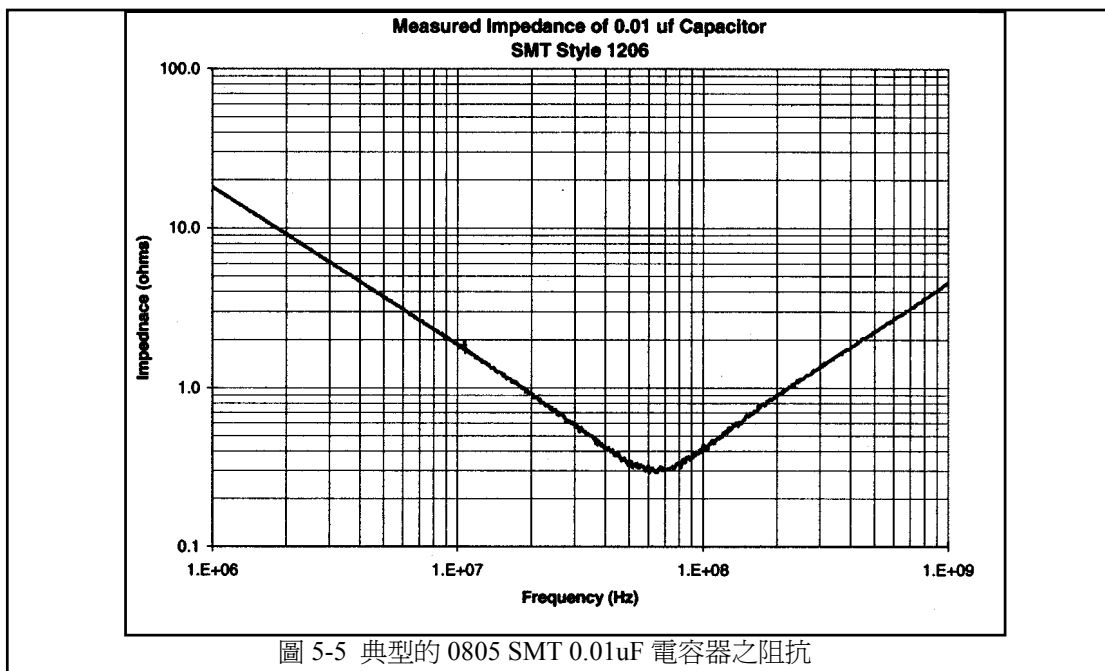


圖 5-5 典型的 0805 SMT 0.01uF 電容器之阻抗

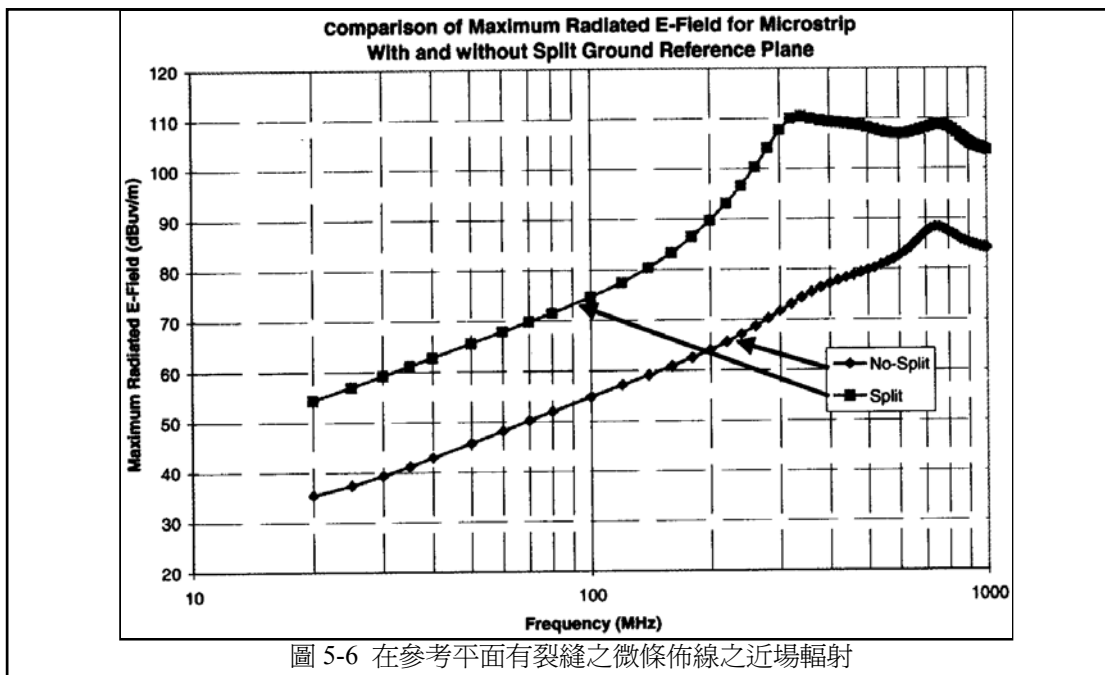
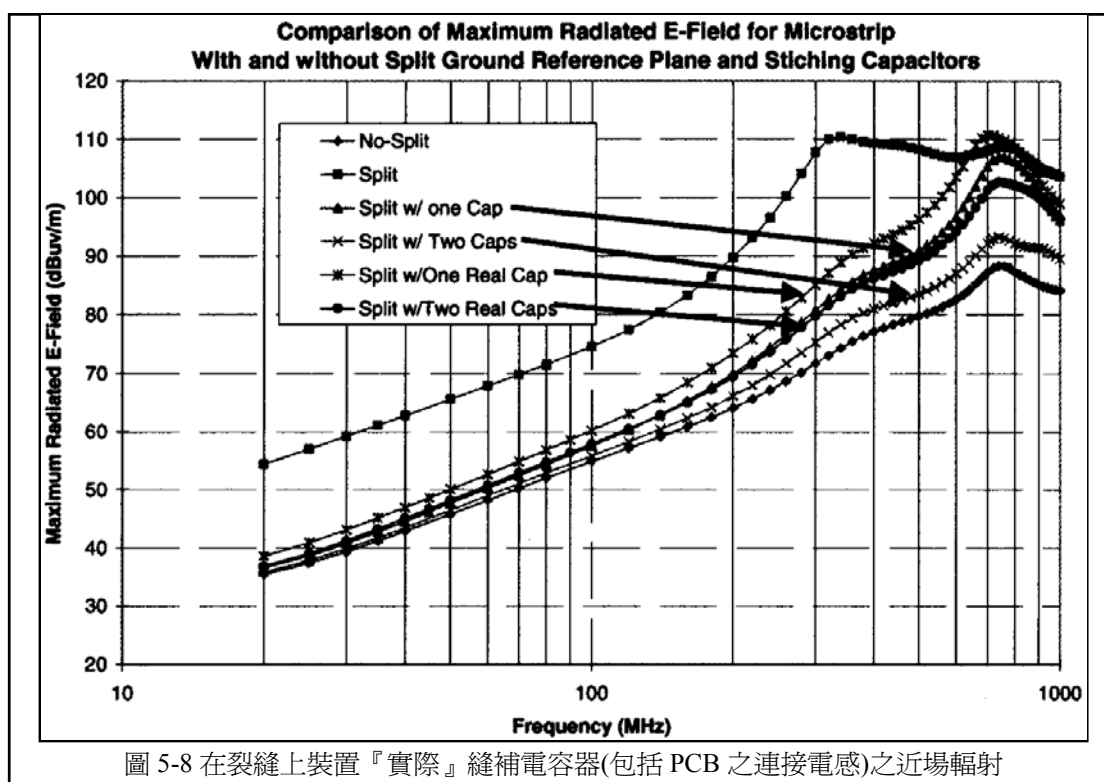
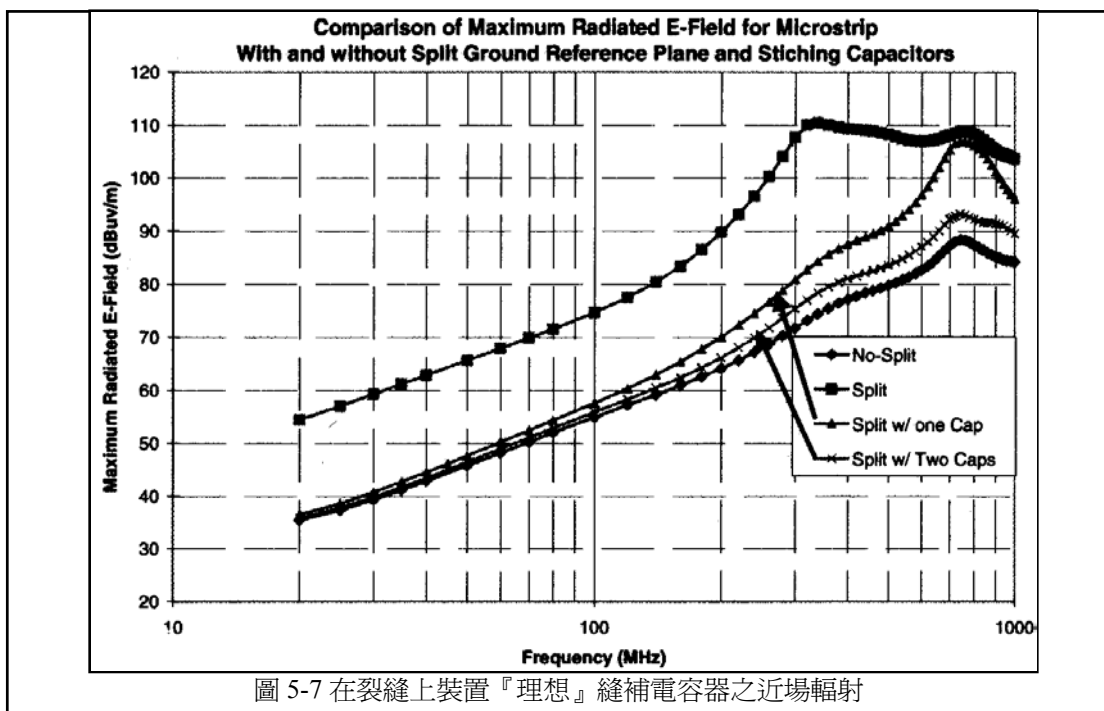


圖 5-6 在參考平面有裂縫之微條佈線之近場輻射

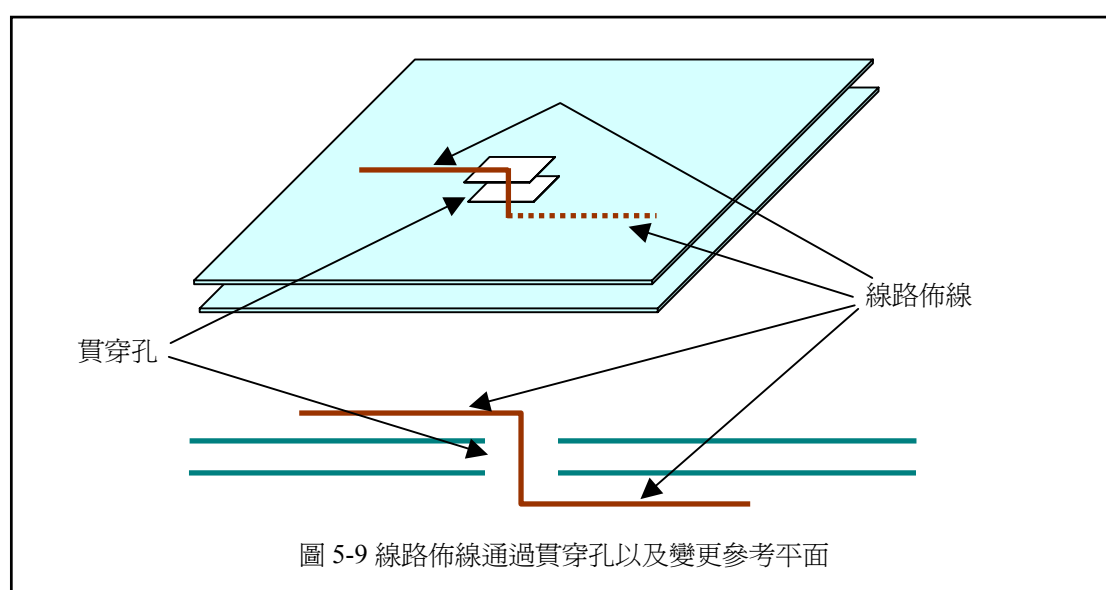
一直到現在，討論縫補電容器時我們都假設它是一個理想之電容器。相應之電感僅只計算電容器本體上之電流路徑，而忽略了接著處以及連接至 PCB 之金屬部分。如果將金屬焊墊(Solder Pad)、至平面之貫穿孔、以及連接之佈線考慮近來，在這兩個連接上會增加 1.5nH 之電感量。這會使得在高頻時有較高之阻抗，也就是說會增加輻射狀況。圖 5-8 顯示的是同樣例子中，把連接之貫穿孔等電感因素考慮進來之狀況。其顯示之輻射狀況會比只考慮理想電容器時要高些。但是仍舊會比不加縫補電容器時之狀況要好。

最佳的方式是高頻之佈線不要跨越裂縫。如果 PCB 之堆疊上需要有裂開之電源平面，則就要小心地來對高速信號佈線，使它們只參考到連續的(或實體的)『地』平面，或是沒有裂開的電源平面，才會是個最佳的 EMC 設計。



### 第三節 線路佈線變更參考平面

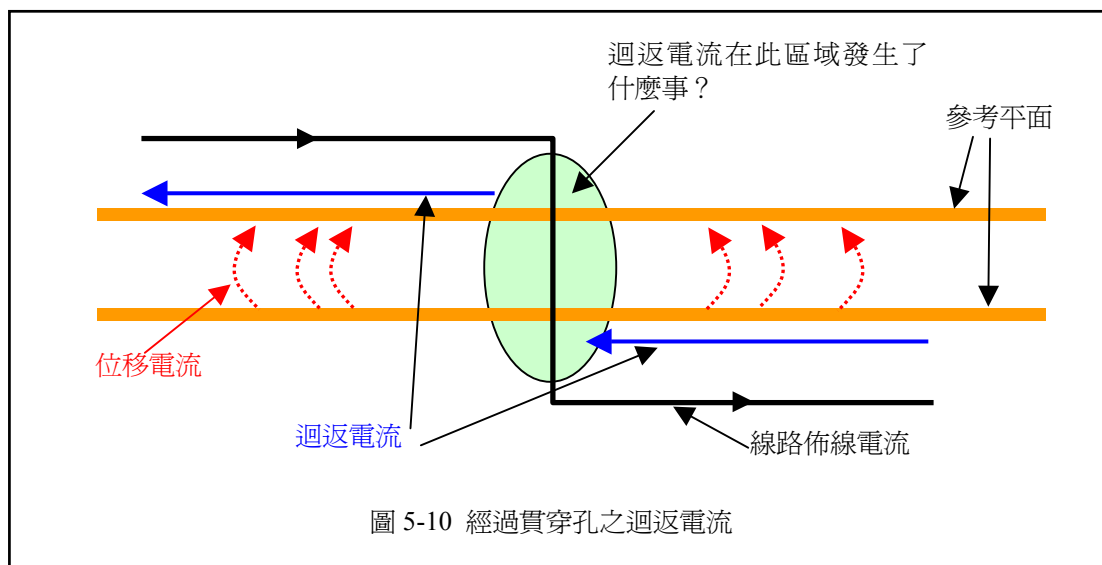
高速線路通常都是用多層板來佈線。爲了要儘可能將佈線通道有效率的利用，設計者通常會在一個佈線層走橫向的線，在另一個佈線層走縱向的線。此意味著信號勢必要變更佈線層以到達接收端，而迴返電流也會同時變更參考平面。圖 5-9 顯示著線路佈線經貫穿孔變換佈線層的例子。此例子顯示基本之四層板，信號層在外層(最上及最底層)。圖 5-10 爲其迴返電流之走向圖。迴返電流如何能從底部之參考平面走到上層之參考平面呢？有兩種路徑。對低頻來說，其路徑爲經過附近之去耦合電容。對高頻來說，其路徑爲經過兩平面間電容(Interplane Capacitance)之位移電流(Displacement Current)。對任一頻率來說，哪一條路徑會有主要之電流流過，就要看哪一個路徑有較低之阻抗。



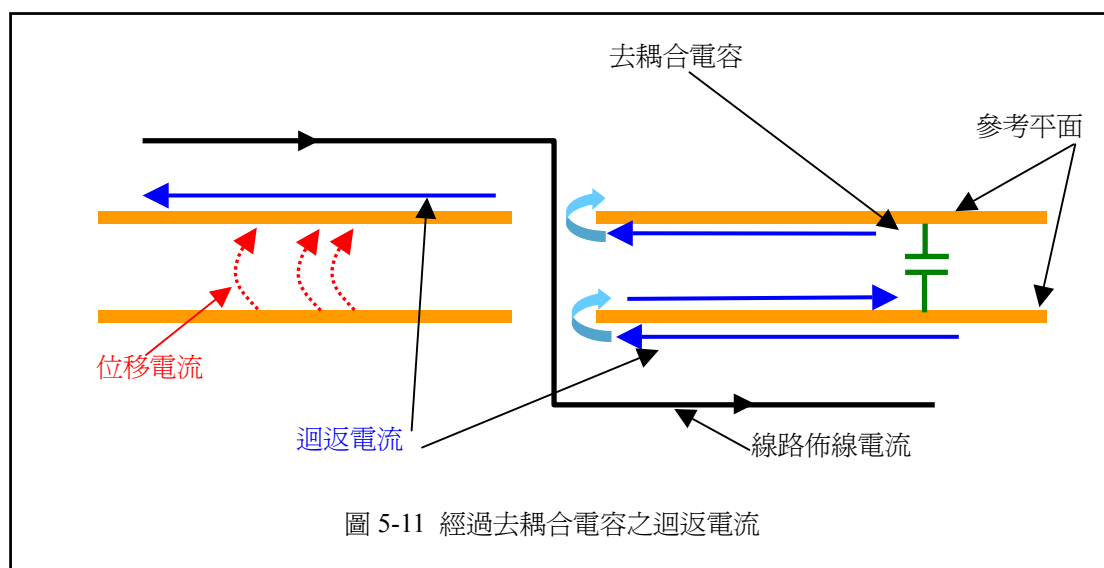
通常，設計者會將去耦合電容放在靠近貫穿孔處以利迴返電流。圖 5-11 所示即爲經去耦合電容之迴返電流路徑。因爲集膚效應之故，電流不能夠穿透參考平面，所以它一定是沿著貫穿孔之開孔處流過。電流會沿著下層平面之底部，流到貫穿孔之開口處，流到下層平面之上表面至電容處，經過電容，到上層平面之內層表面，流到貫穿孔之開口處，經過貫穿孔之開口表面，最後到達信號佈線下方之參考平面之上層表面。自然的，電容器的電感以及連接佈線之電感以及貫穿孔會影響迴返電流路徑，如 5.2.1 節之討論。

再次強調，這僅僅是一個簡化的模型。去耦合電容並不是單純的放在兩個平面之間，而可能是放在 PC 板之表面層之上。圖 5-12 是一個較具代表性之電流路徑圖。同樣的，電流會流經去耦合電容，但是現在也會有一些電流變成共模電流(Common-Mode Current)，在上層參考平面之上表面流動，有可能會造成直接輻射。

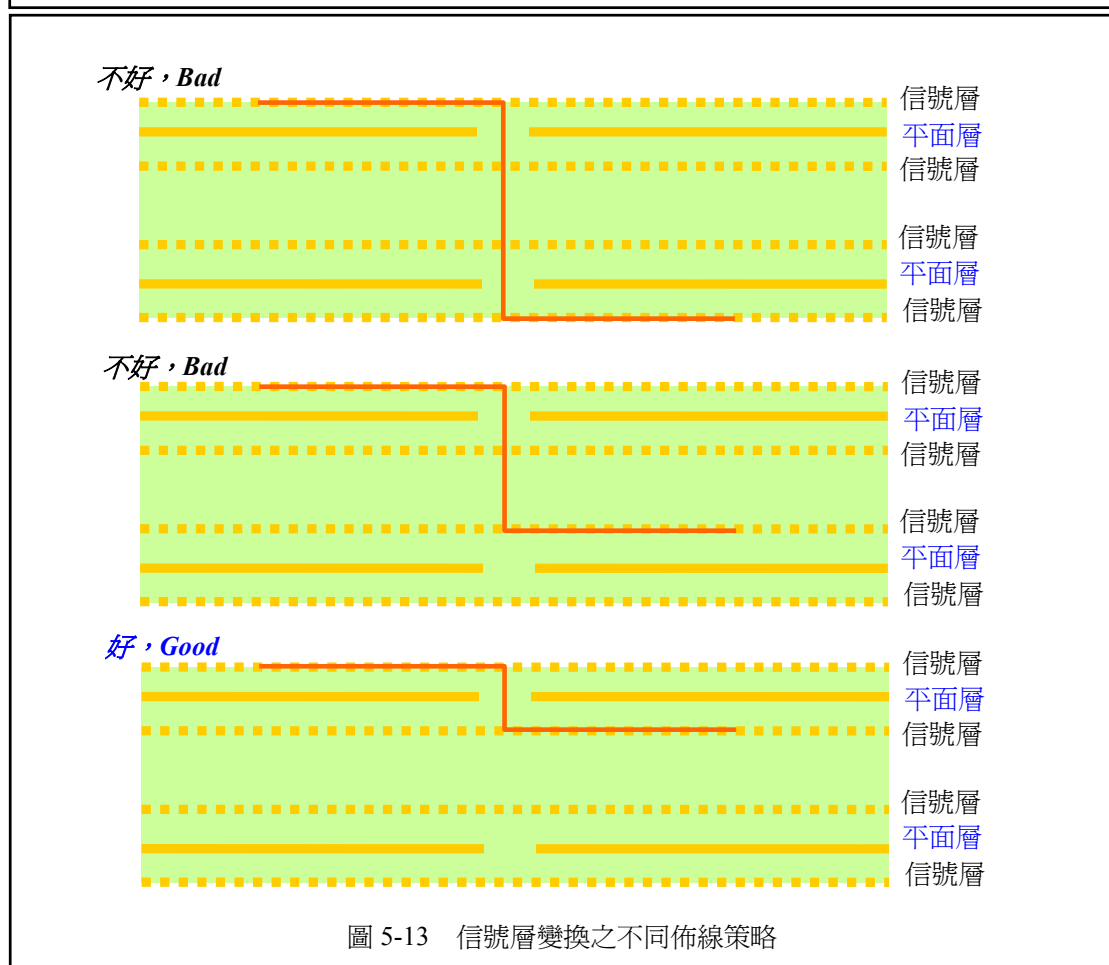
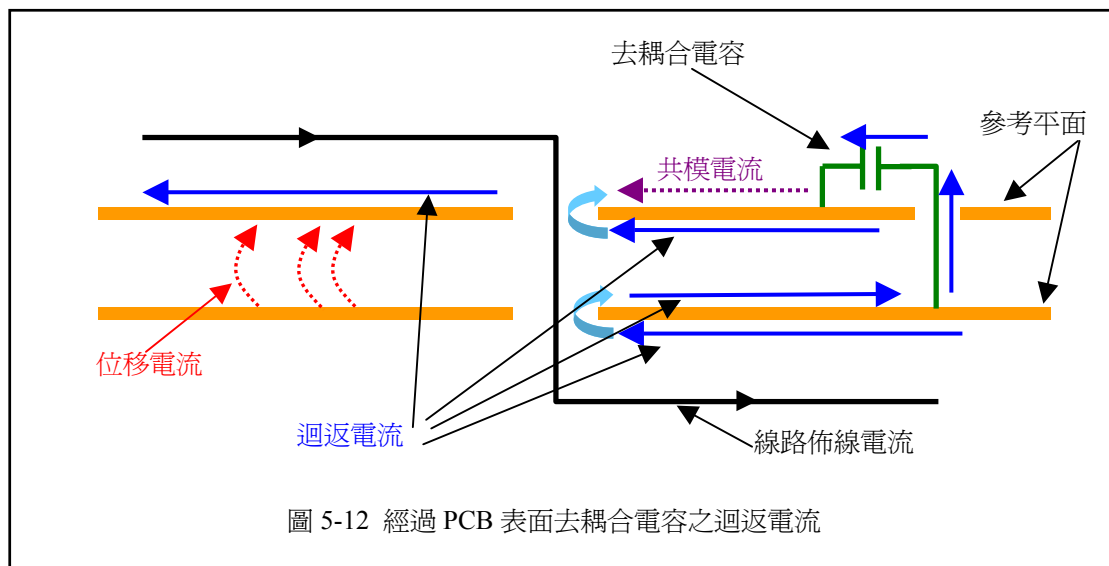
很自然的，若是經過去耦合電容之阻抗大於兩參考平面間之位移電流路徑之阻抗，則此去耦合電容就沒有多大作用了。當位移電流路徑是一個低阻抗路徑時，這些電流就會造成兩個平面間廣大分布面積之『雜訊 Noise』了。



如果參考平面一定要變換的話，則去耦合電容的位置，應該要接近參考平面變換之貫穿孔旁邊。這個對高頻沒有多大幫助，但是對較低之頻率還是有一些作用的。如 5.2.1 中之縫補電容器之例子，以兩個電容放在很靠近貫穿孔處，可以更好的降低輻射。應該要選用在信號頻率及諧波頻率範圍都為低阻抗的變容器。



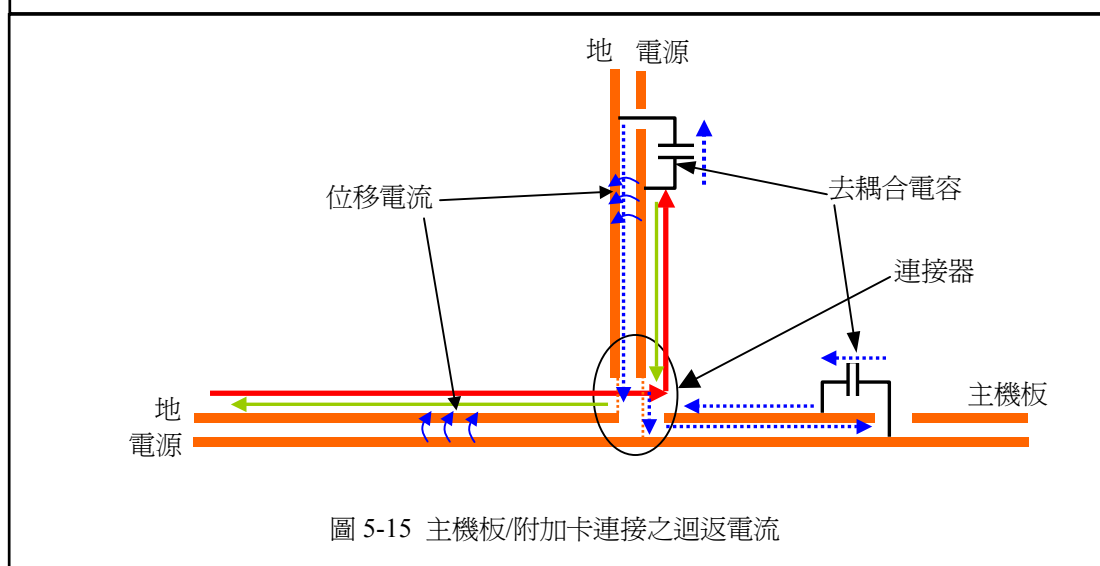
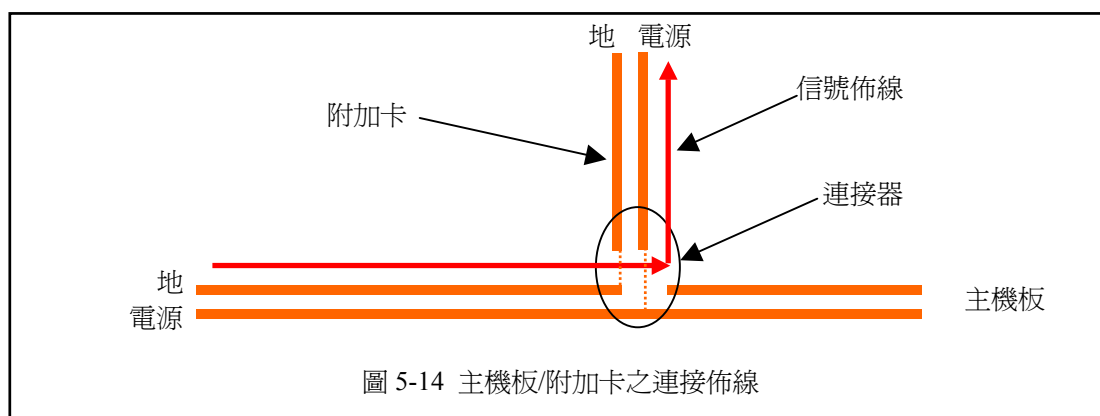
很顯然的，最好是不要變換參考平面。但這並不是說線路佈線一定要在單一佈線層，而是要在變換佈線層時小心處理。圖 5-13 顯示簡單的六層板堆疊。圖 5-13a 及 5-13b 顯示了線路佈線變換參考平面層時之處理策略，以及必須要使用去耦合電容。圖 5-13c 顯示一個較佳之佈線策略，此處線路變換佈線層但是參考平面層不變。(只有迴返電流使用之參考平面層表面變動)。迴返電流可以經由貫穿孔開孔之表面焊墊，從平面的一邊流到平面的另一邊，不會有額外的電流去產生輻射，也不會因為去耦合電容造成迴返電流路徑之連接電感及阻抗增加。。

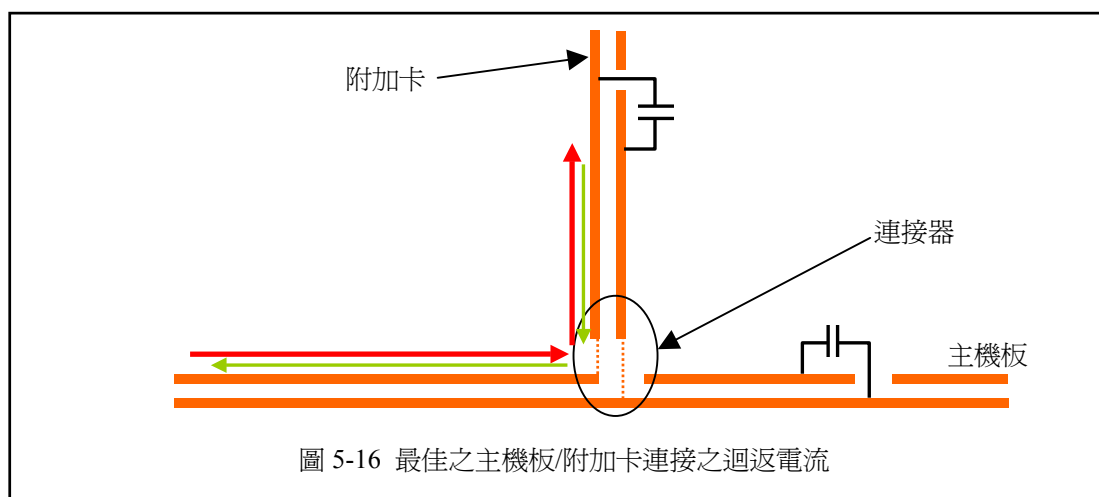


#### 第四節 主機板以及附加卡

使用兩塊 PCB 之情況很多，例如主機板(MotherBoard)與附加卡(Daughter Card)之狀況，高速信號必須由一塊電路板流到另一塊電路板。以兩塊都是四層板之簡單例子來看，其平面之連接如圖 5-14 所示。圖中顯示之信號佈線，參考到主機板之『地』及附加卡之電源平面。圖 5-15 中顯示出其迴返電流之流向。因為信號佈線之分配讓它參考到不同之平面，此狀況就跟我們在 5.2 節討論的一樣。迴返電流會走最低阻抗之路徑，依據頻率之不同，會流經去耦合電容或是平面間電容之位移電流。較高頻率會傾向使用位移電流路徑，而低頻率會使用附近之去耦合電容。當路徑是經由去耦合電容時，迴返電流會去尋找最近之去耦合電容，它有可能使用任何一塊電路板上之去耦合電容，或是同時使用兩塊電路板上之去耦合電容，以迴返到其必須返回之參考平面。如果此迴返路徑太長的話，暴露之電流很有可能增強輻射，並且這些電流也可能會造成功能上之問題。當位移電流路徑是為低阻抗路徑時，這些電流就會造成『雜訊』廣泛散佈在參考平面上，終會造成共模電流。

當設計中包括有板對板之連接時，要解決這個問題的方式是使用『前端』。圖 5-16 顯示出當信號在兩塊板子上，都分配在相同參考平面時之迴返電流。此時迴返電流與信號路徑緊密耦合，故大幅降低輻射。





### 第一項 連接器腳位之指定

傳統上，連接器腳位之指定(Pin Assignment)一直是 EMC 工程師爭論的一個主題。許多工程師會試著使用儘可能多的『地』接腳，而一些人則堅持說交錯之信號與地才是最佳之策略。這兩種方式都忽略了電源接腳，除非明確的指出需要多少之電源接腳，及必須要有充足數量之接腳，才能在橫過連接器處提供較低之電壓降。

這兩種方式都忽略了需要去處理迴返電流路徑以減低輻射。如本章先前所述，對迴返電流而言，不管在電路圖上它的稱呼是『地』或『電源』都不重要。最佳的设计策略就是『對信號線提供一個相匹配的迴返路徑』，不必在乎其電路圖上之名稱。如果一個 64 腳的匯流排流經一連接器，其中的 40 支腳參考到電源平面，只有 24 支腳參考到接地平面，則最佳的策略就是在連接器上使用 40 個電源腳以及 24 個接地腳，並且將這些腳依序分配在使用它們的信號腳之旁邊，以形成各自之信號迴返。

### 第五節 結論

EMI 設計之成功與否，主要因素在於高速信號路徑之迴返電流。這些迴返電流之路徑必須是我們有意的設計出來的，否則這些電流會亂竄，造成輻射或甚至功能上之問題。

最常見之迴返電流問題是來自於參考平面的裂縫、變換參考平面層、以及流經連接器的信號。縫補電容器或是去耦合電容器可能可以解決一些問題，但是必需要考慮到電容器、PCB 貫穿孔連接、焊墊、以及佈線的總體阻抗。

在線路佈線實際執行之前，先研究好迴返電流路徑之設計策略，就有最好的成功機會，可以達成降低 EMI 輻射的目標。因為在還沒動手實際佈線之前，若是要變更佈線層等等，都不必多花費任何錢，這才是改善 EMC 之最便宜的做法。



## 第六章 控制 EMI 源頭 – 意圖之信號

### 第一節 介紹

當開始進行 EMI 設計時，最有效的行動方式是考慮到 EMI 輻射之實際來源，並且一一的來處理它們。大多數在 PCB 層面之 EMI 源頭是可以區分開的，並且可以一項一項的來解決，而不會增加其他源頭的輻射。

爲了要這樣做，在板子上之信號必須要分爲兩類：『意圖信號(Intentional signals)』以及『非意圖信號(Unintentional Signals)』。在板子之設計階段，工程師自然應該要考慮到意圖信號。這些信號是本來就應該要存在的，並且要小心的設計信號佈線以將它們由源頭傳遞到目的地。

『非意圖信號』通常在設計時會被忽略掉。畢竟，我們並不希望它們存在板子上，所以就不會想到他們。百分之九十以上之 PC 板是來自於這些非意圖信號！不管電路板如何小心的設計，還是會有一些非意圖信號跑出來。這些都必須要小心地應付並採取適當的步驟以免造成嚴重之 EMI 問題。

因此，輻射的來源可分爲兩大類：『意圖信號』以及『非意圖信號』。此兩類還可以再往下細分。意圖信號之來源包括『環路模式<sup>註一</sup> loop-mode』及『共模<sup>註二</sup> common-mode』。非意圖信號之來源包括『共模』、『串音耦合到 I/O 佈線』、『電源平面』、以及『板上結構』。本章將會討論意圖信號之來源以及如何控制它們。第七章將討論非意圖信號。

註一：『Differential-Mode』對不同的人代表著不同之涵義。在 6-4 節會來定義『loop-mode』。

註二：『Common-Mode』也是對不同的人代表著不同之涵義。在 6-6 節會來定義此詞彙。

### 第二節 有危險的信號(Critical Signals)

很自然地，並非所有在 PC 板上之信號都會造成 EMI 輻射問題。有些信號只是偶爾動作一下，或者只在開機的時候動作。我們只需要注意那些經常性動作之信號。時脈信號，記憶、數據、以及地址匯流排信號，數據觸發信號，視頻信號，以及其他之快速、高頻寬信號都必須要視爲具有 EMI 危險之信號。所有這些信號必須要小心地處理，因爲這些信號都是可能的 EMI 來源。

### 第三節 意圖信號(Intentional Signals)

意圖信號通常指的是具有一定之資料速率及上升/下降時間。因爲 EMI 輻射之限制值是以頻域(Frequency Domain)來定義的，時域(Time Domain)之意圖信號必須要轉換成以頻域來表示之。一個脈波信號是由許許多多不同振幅及相位的正弦波(Sine Wave)組成的。例如說，典型的時脈信號是一個方波。而方波是由一個其基本頻率之正弦波，以及所有的奇數諧波組合而成，其中之所有之正弦波皆爲同相位，但是大小振幅不同。圖 6-1 顯示了由同相之基頻、3 次、5 次、7 次、9 次諧波組成之一個總和波。雖然我們只計入幾個諧波，但其總和已經很近似方波的樣子了，只是還有些許的漣波(Ripple)。

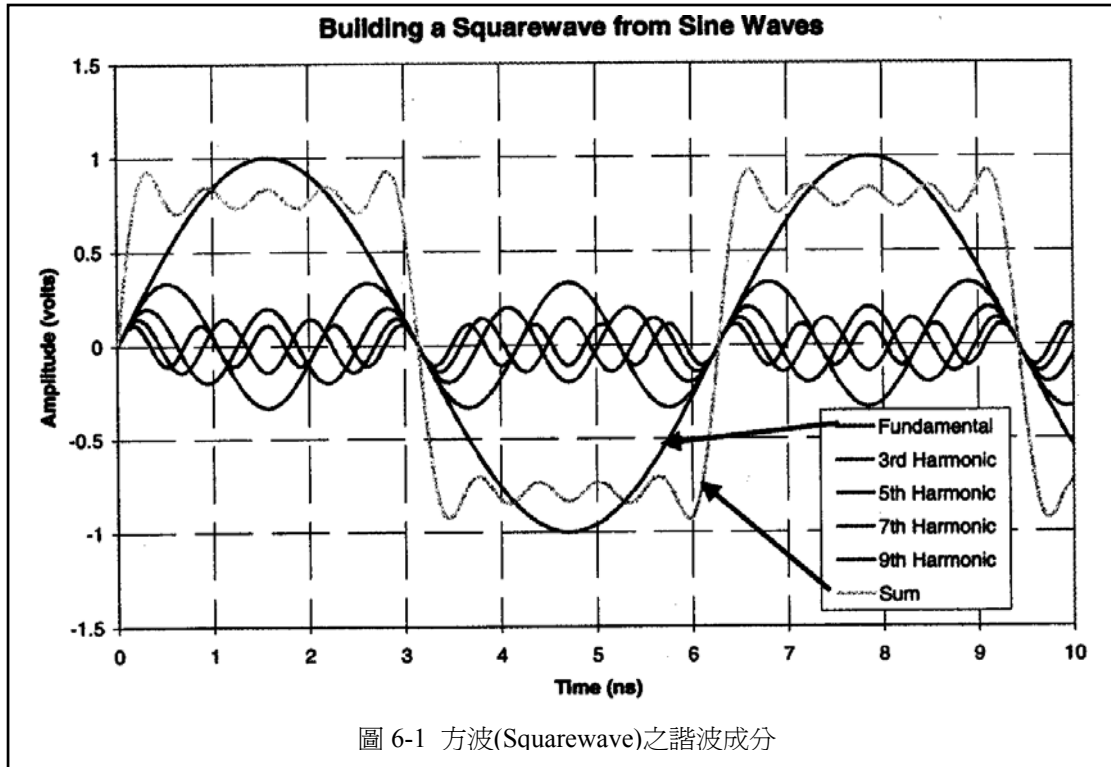
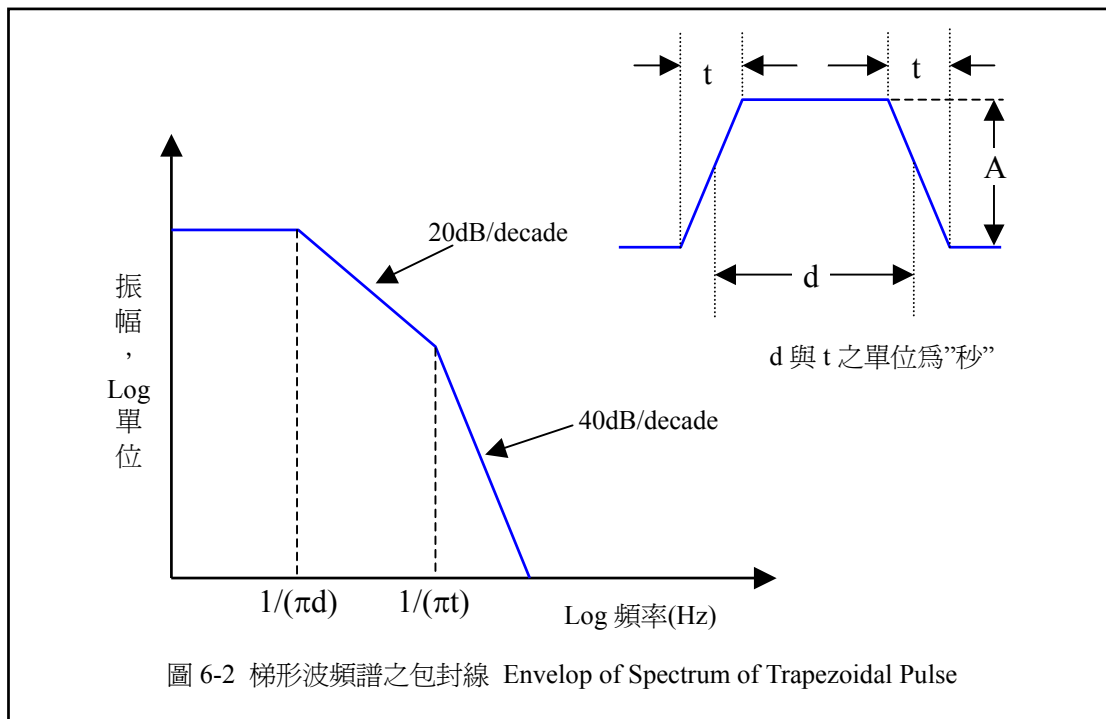


圖 6-2 顯示了一典型梯形波頻譜之包封線，變動之參數為脈波之寬度以及上升/下降時間。因為越高的頻率越能有效的從線路佈線上、以及從外殼小的開口輻射出去，故最好能讓高頻諧波之振幅越小越好。如圖 6-2 所示，脈波的頻譜振幅會隨著頻率之增加而遞減。在脈波寬度頻率以上之頻譜會以 20dB/十度(decade)之速度降低，而在上升/下降時間頻率以上會以 40dB/十度的速度降低。上升/下降時間越緩慢，第二轉折點就會在越低之頻率發生，因此就會降低高頻之信號強度。很明顯地，脈波的上升及下降時間越慢，此信號中所包含的高頻諧波成分就越低。



『上升時間』與『下降時間』是在討論信號頻譜效應時之兩個常提到之名詞，在比較不同振幅之脈波信號時『邊緣速率 Edge Rates』之考慮是很重要的。上升與下降時間的定義是其上升(或下降)振幅在 10%與 90%之間的時間。以一個 5V 振幅之脈波，上升時間 1ns，則其上升時間為 5V/ns。若這個脈波變為 2.5V 且邊緣速率不變，則其上升時間變成為 500ps。上升時間較短一般是會引起較多之問題，但在此例中其並不會增加任何之高頻成分，這是因為其邊緣速率是相同的。降低信號之振幅可以降低整體之信號頻譜，但不會改變圖 6-2 中之轉折頻率點。在圖 6-3 中說明了邊緣速率之效應。一般來說，當我們考慮上升與下降時間，以及它們對信號頻譜之效應時，我們會將信號振幅設為定值。

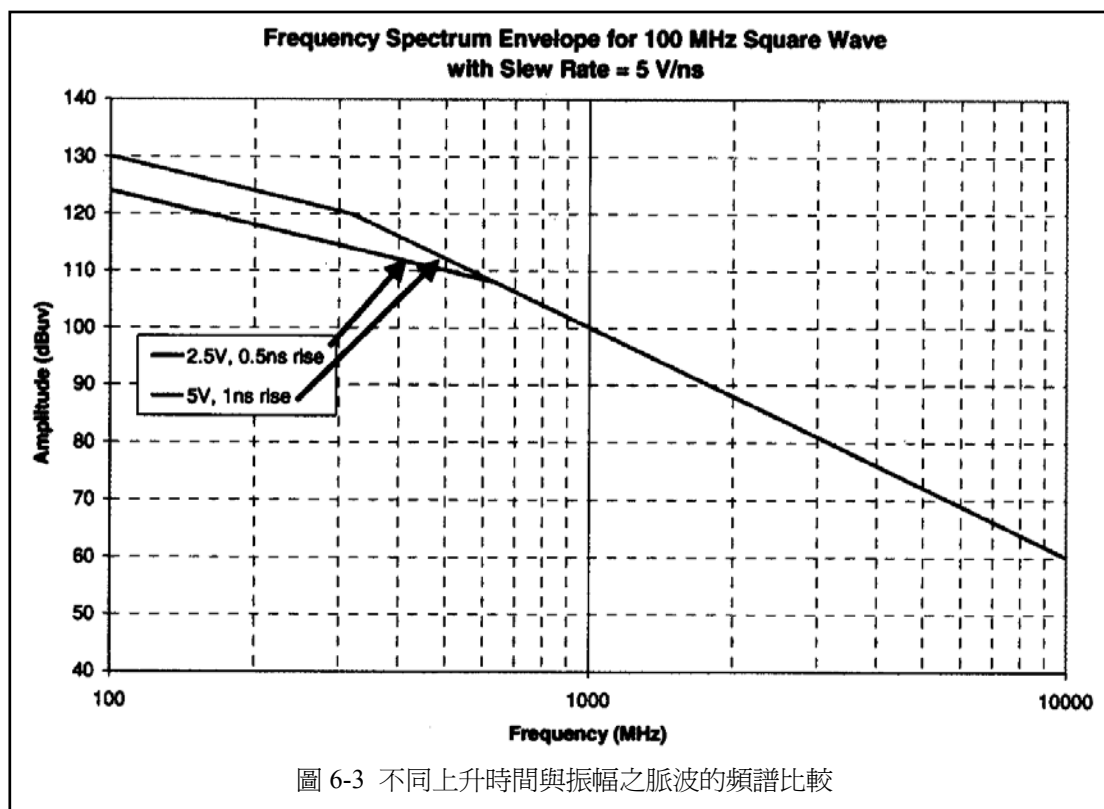
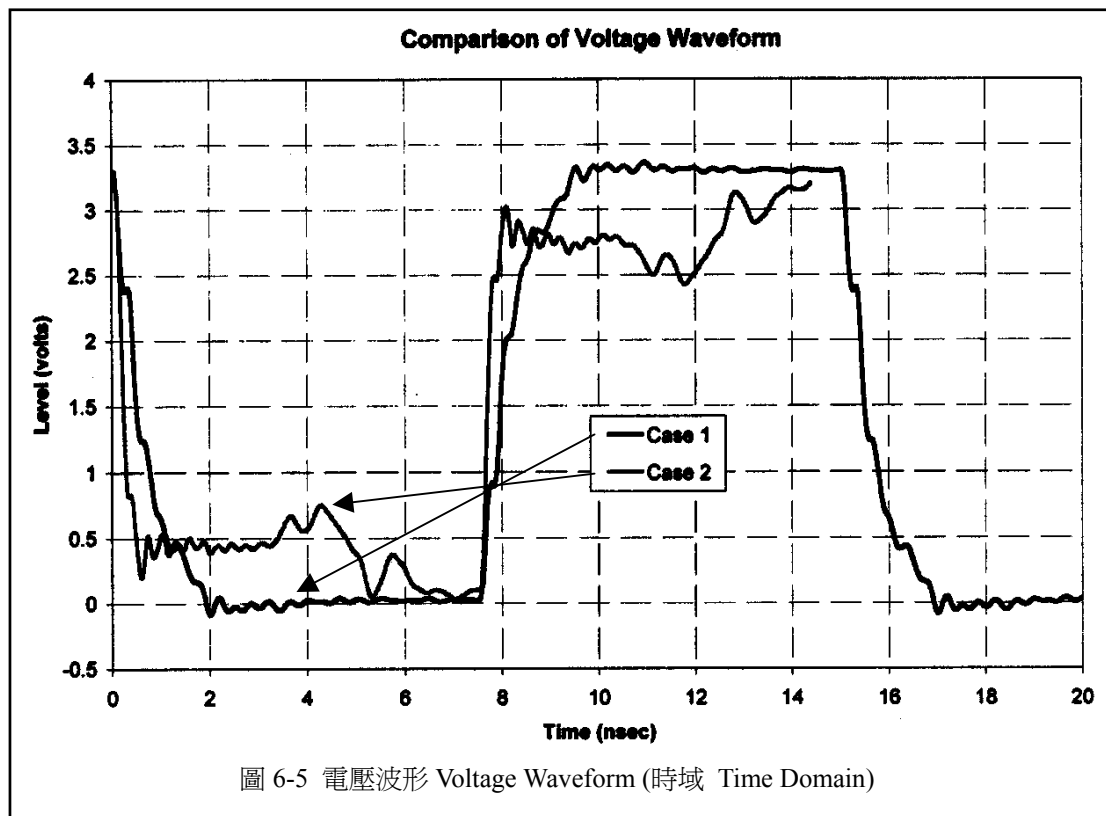
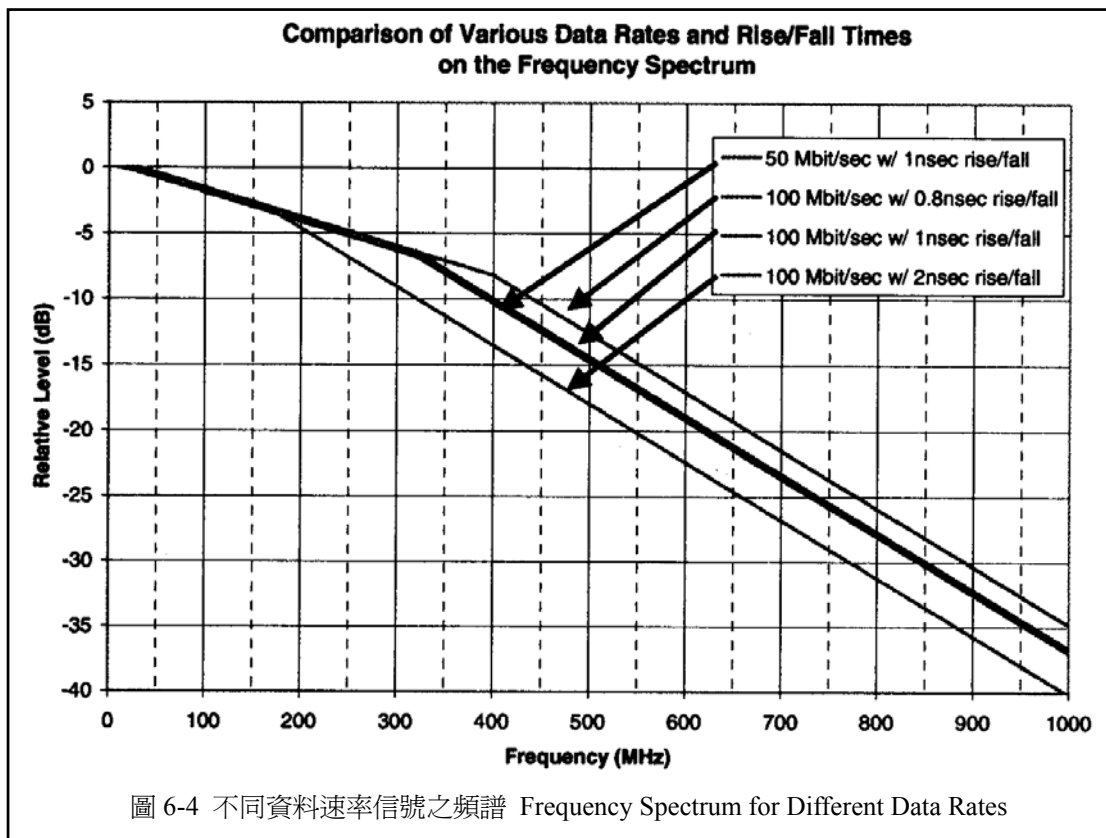


圖 6-4 顯示了對不同資料速率及上升時間信號(相同之脈波振幅)之頻譜大小。資料速率(Data Rate)之變化幾乎不會影響高頻諧波大小，但上升與下降時間之變動則會造成顯著的影響。

雖然上述之脈波頻譜之諧波成分計算是很有用的，但是在實際狀況中的脈波很少會是純淨的矩形波。波形上的一丁點不理想，就會造成高頻諧波振幅很大的變化。圖 6-5 顯示的是兩個不同電壓波形，而圖 6-6 顯示的是其相對應的頻譜。

一般來說，對重要之信號所做的『信號完整性分析(Signal integrity analysis)』是以電壓波形為主，而在圖 6-5 中所見的電壓波形是很常有的狀況。事實上，對多數之應用來說，案例中的兩種波形都可以被接受，因為在轉折區(transition region)(上升緣或是下降緣)都是單方向的，並沒有發生重複切換(double switching)的現象。在波形之上邊或下邊之雜訊餘裕(margin)通常都還在信號完整性分析之許可範圍以內。



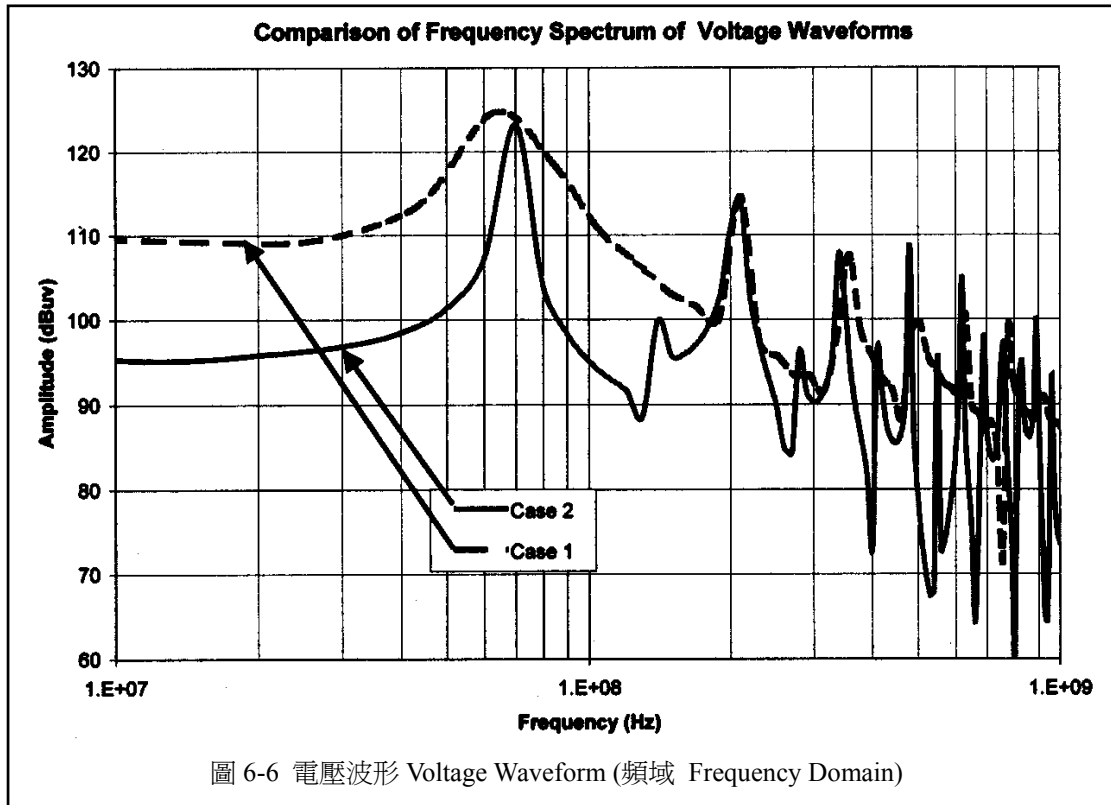


圖 6-6 電壓波形 Voltage Waveform (頻域 Frequency Domain)

然而，對於 EMI 應用來說，電流才是最重要的考慮因素。電流產生輻射，而非電壓！方程式 6-1 表示的是自由空間中之電流環路所產生之電場強度。因為大多數之方程式會將頻率與觀察點位置固定，如此方程式 6-1 可以簡化成 6-2

$$E_{\theta} = \frac{\omega \mu I S}{4\pi} \left( \frac{\beta}{r} + \frac{1}{jr^2} \right) e^{-j\beta r} \sin \theta \dots\dots\dots (6.1)$$

$$E_{\theta} = kIS \dots\dots\dots (6.2)$$

此處

$k$  = 對某一固定頻率及觀察點之常數

$I$  = 電流之振幅

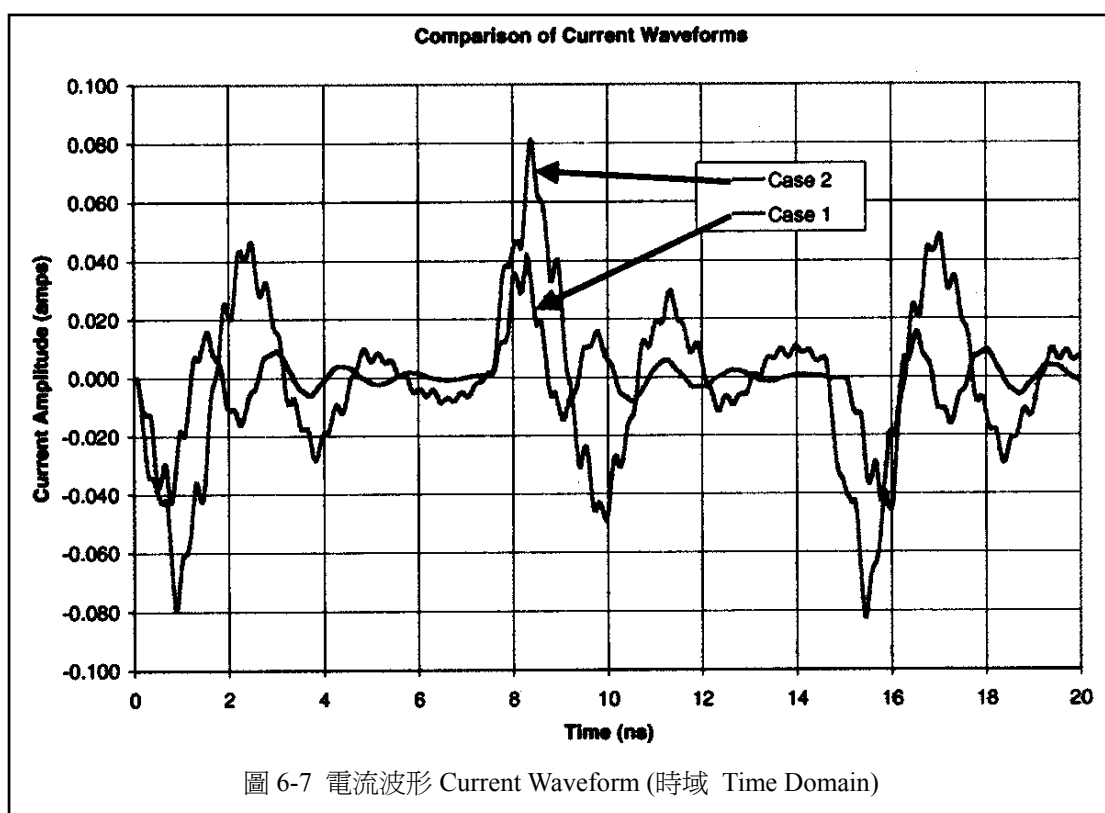
$S$  = 導體環路之面積

很明顯的輻射電場只跟兩個因素有關：電流之大小及環路之面積。

從這個例子來看，對於 EMI 來講，在一重要迴路(Critical net)上之電流波形是非常重要的。在現今之 IC 技術下，電流與電壓並不會像在簡單電阻性迴路裡為同樣之波形。因此之故，當完成電壓波形之信號完整性分析以後，還應該要針對有 EMI 顧慮的重要迴路做電流波形之信號完整性分析。圖 6-7 顯示的是剛才所討論過的電壓波形信號之時域電流波形，而圖 6-8 表示的是這兩個信號之電流頻譜。在此圖中，很明顯的這兩個電流的高頻成分有很大的差異，因此可以想見其輻射情況也一定會有所差異。

#### 第四節 意圖信號—環路模式

記得前面提到我們要分別的來討論各種可能的輻射信號來源。在此節中，我們就來討論來自於意圖信號之『環路模式(Loop-Mode)』輻射。來自於意圖信號佈線



之直接輻射就稱爲是『環路模式(Loop-Mode)』輻射。也就是，電流流過佈線，然後沿著佈線下方之參考平面回來(以多層板之微條結構爲例)。對於沒有參考平面的電路板，則其迴返電流必須要經由一個明確設計之迴返路徑。對大多數之高速信號，不論使用微條、條線、或是非對稱條線之 PCB 堆疊，其散發出來輻射，就是來自於 PCB 外層暴露之電流量所造成之環路模式輻射源。

此一電流路徑在線路佈線與其下方之參考平面間建立了一個小的環路。可以用簡單環路天線方式來分析。有些商用軟體工具可以計算在一定距離外(例如 10m)此環路天線所造成之輻射，但這些分析並不太有用，並且有時反會誤導我們。此類分析應該侷限在近場(near field)，通常是 PCB 上方 1 至 2 吋。幾乎每個具有 PCB 之產品都會有一些的金屬屏蔽機殼環繞，以及/或是有長導線連接出來。遠場之輻射特性通常是被這些連出來的長導線上之信號所主宰，而非來自於 PCB 佈線上之直接輻射。而且，任一圍繞在產品外之金屬屏蔽都會完全的改變線路佈線之輻射性質，因此研究簡化的環路，很難代表實際的產品設計。

近場輻射，就在 PCB 之上方，可以是一個能量之來源，耦合到其他之內部導線，然後傳導到金屬外殼的外面去。這種輻射也可以是一個能量的來源，在金屬機殼內激勵出共振，然後可能經由縫隙、通風口等洩漏出去。研究近場可讓我們做到直接成因與效應之分析，而不會被其他、如外部導線諧振長度等、原因，之可能性掩蓋掉真正之結果。

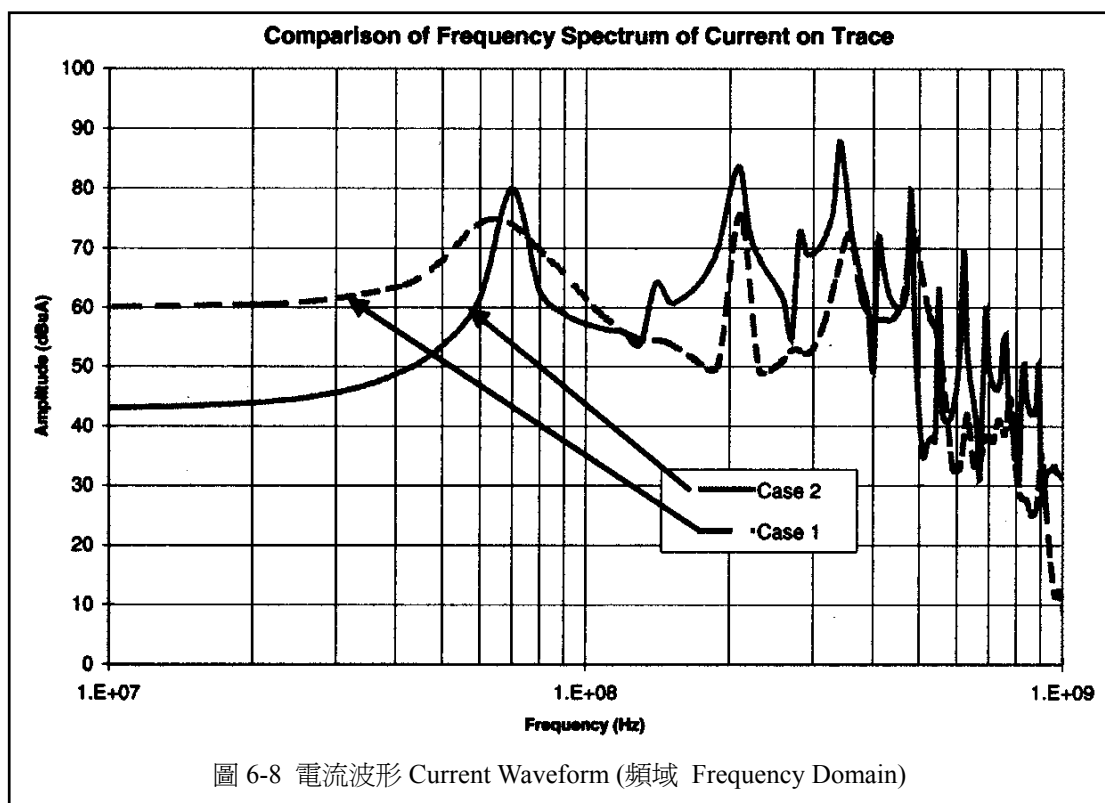


圖 6-8 電流波形 Current Waveform (頻域 Frequency Domain)

### 第五節 意圖信號輻射之控制—環路模式

因為來自於這些可能源頭之輻射，通常都不是輻射之主要來源，所以可以很單純的來控制這類輻射。主要的策略就就要控制信號源的頻譜。也就是說，除非是電路運作之必須，否則絕不要製造出電流波形之高頻諧波成分出來。一般來說，意圖信號之上升時間都比功能上所需要的要快很多。一個首要的設計準則是，要達到良好的上升時間通常只需要 5 到 7 個諧波。更高的頻率成分可以達到更快的上升時間，但會花費更高的 EMC 輻射控制的代價。

一旦控制了電流諧波成分之大小後，由方程式 6-1 可以很清楚的顯示，只有另一個方式來控制輻射：控制線路佈線暴露出的長度。高速線路應該要佈線在內層，埋在完整平面之間。以條線結構之佈線(距兩個參考平面相同距離)，或是不對稱之條線結構，都比將高速信號線路暴露在頂層或底層要來的好。當然，線路一些之暴露是必須的，以便連接表面之零件焊墊。此部份之佈線應該要保持儘可能的短，一般要小於 1 公分的長度。

### 第六節 意圖信號—共模

現在我們來討論另一種與前節不同之可能源頭。它也是直接由意圖信號引起的，但此時是經由一種間接的輻射機制。先前之可能源頭是假設所有的迴返電流被侷限在微條佈線之下。當然大部分的迴返電流是在微條佈線之下，可是並非其所有都被侷限在一個小區域中。迴返電流會散開到參考平面上去尋找最低阻抗(在高頻時被電感所主導)之路徑以回到源頭。圖 6-9 顯示一個簡單的微條佈線在一個參考地平面之上。其在參考地平面之電流分佈如圖 6-10 所示。

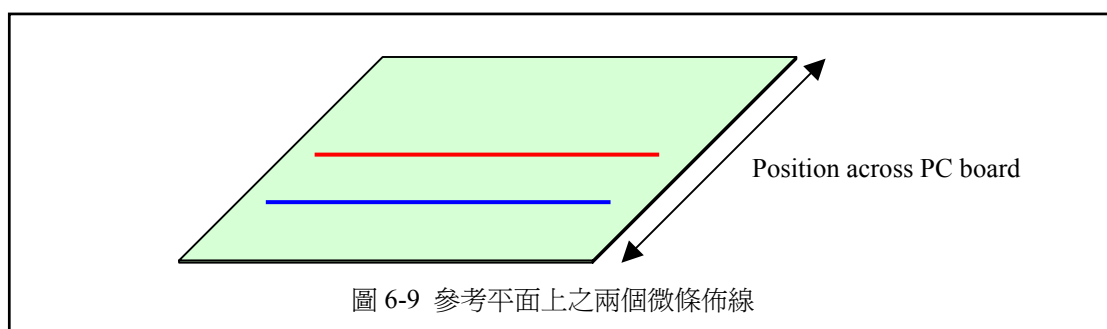


圖 6-9 參考平面上之兩個微條佈線

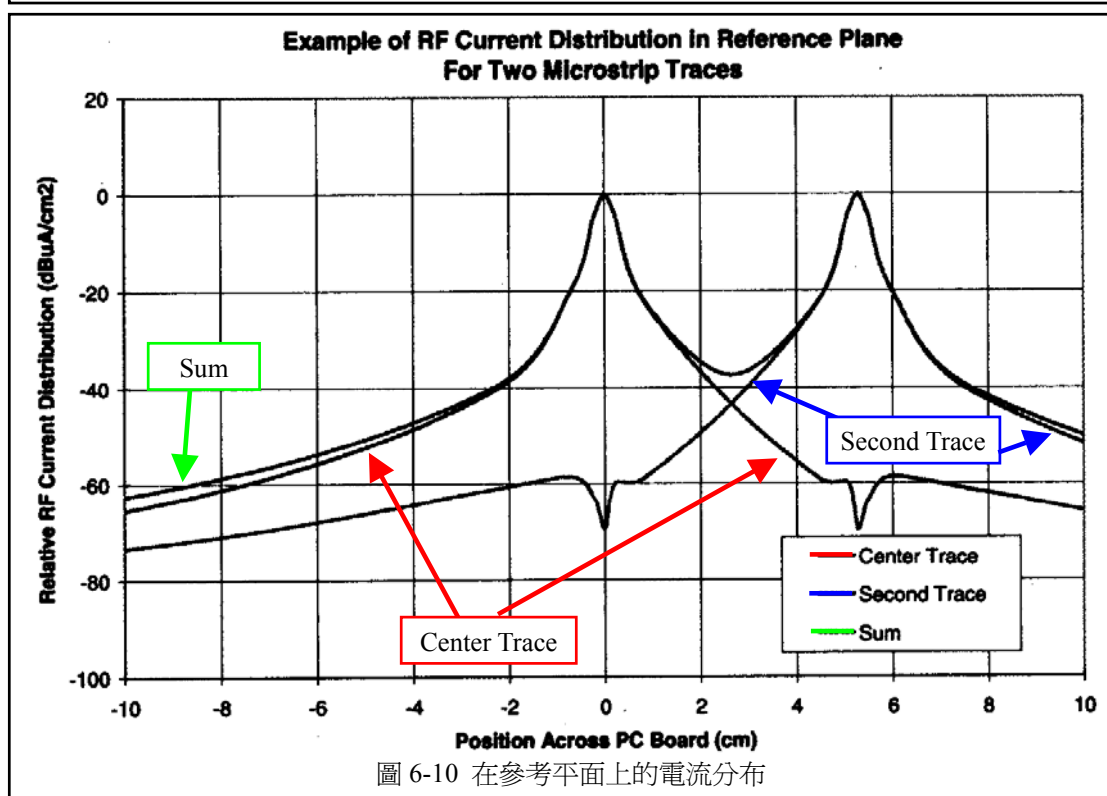


圖 6-10 在參考平面上的電流分布

如果前面例子中的微條佈線，位於在靠近參考平面邊緣的地方，則沿著板子邊緣的迴返電流就會很大，這樣會造成沿著板邊的輻射。若是從邊緣觀察電路板，在參考平面上的電流就像是在一個細導體天線上的電流，類似於雙耦極天線(Dipole Antenna)。另外，以近場來考量會比用 10m 遠之理論場考量要有用一些。電路板的邊緣通常會放置在靠近金屬機殼的地方，也可能靠近機殼的接縫處，或是通風口的區域，等等。靠近邊緣處之近場輻射(例如，兩吋以內)就會變成是這些孔隙、洞口等之激勵源。

圖 6-11 顯示的是來自於分佈在參考平面上之迴返電流，所造成沿著 PC 板邊緣的最大電場。微條佈線之位置分別從很靠近邊緣之位置，到距邊緣數英吋之距離。在此例中，板子為 10 吋長，微條佈線為 4 吋長。在 10-1000MHz 的頻率範圍內掃描板子邊緣之最大電場強度。如圖中所見，在板子邊緣之最大電場與頻率一致且會隨著微條佈線越靠近板邊而增強。圖 6-12 顯示『微條距板邊距離』相對於『電場大小』關係之總合結論。當微條佈線由非常近板邊到距離約半英吋之距離時，電場之變化非常劇烈。由半英吋開始，電場以比較平緩、線性之態勢遞減。

因為我們無法防止迴返電流不散佈到參考平面之上，能夠減少板邊輻射的辦法就是讓微條佈線儘可能的遠離板邊。一個基本的守則就是讓平行於板邊且帶有多頻



成分之信號線遠離板邊至少半英吋以上。

第二個降低板邊輻射的方法(更有效的)就是不要產生出功能上不需要之高頻諧波電流。此一技術對任何一種潛在 EMI 來源都有效。

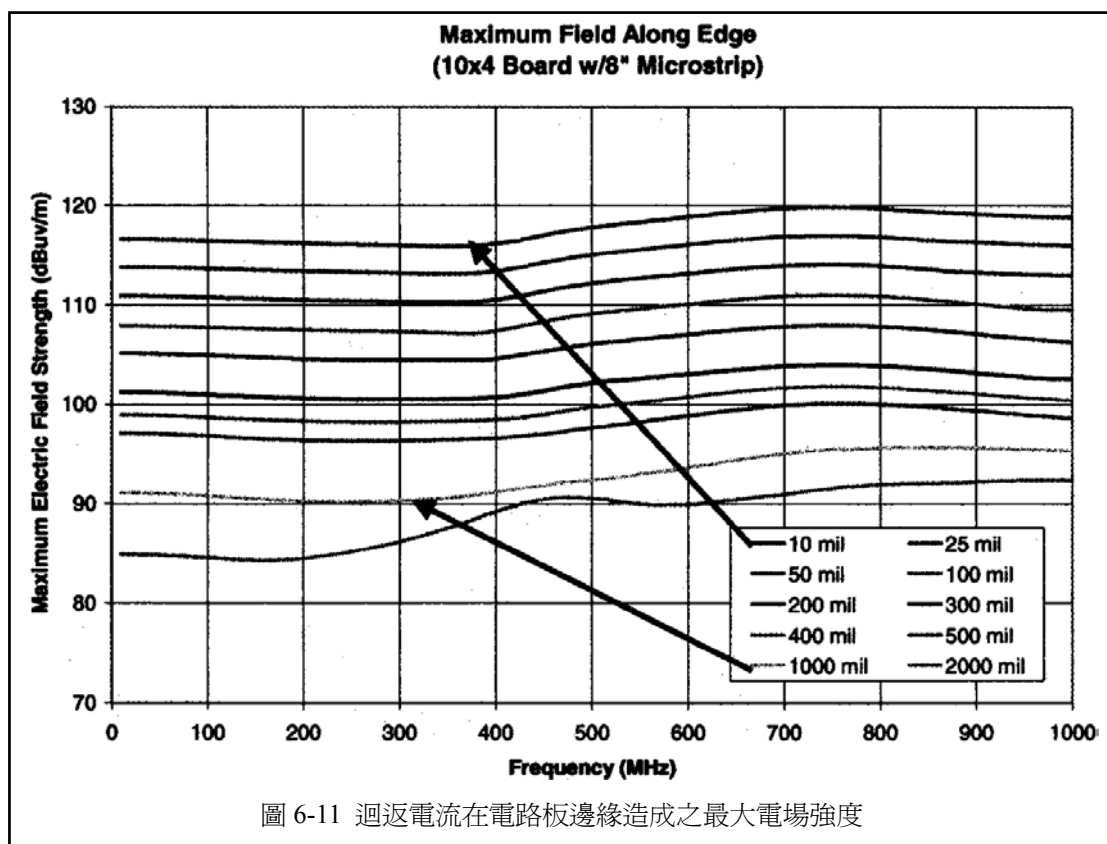


圖 6-11 迴返電流在電路板邊緣造成之最大電場強度

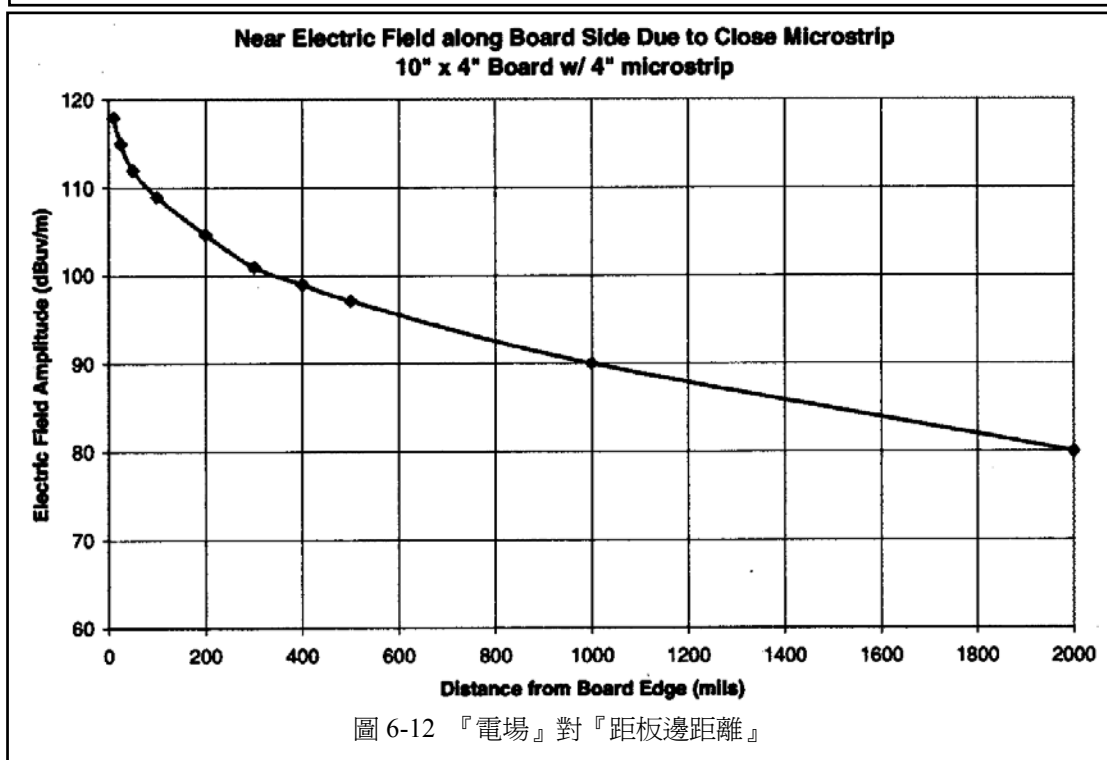


圖 6-12 『電場』對『距板邊距離』

## 第七節 意圖信號—共模與中斷的迴返路徑

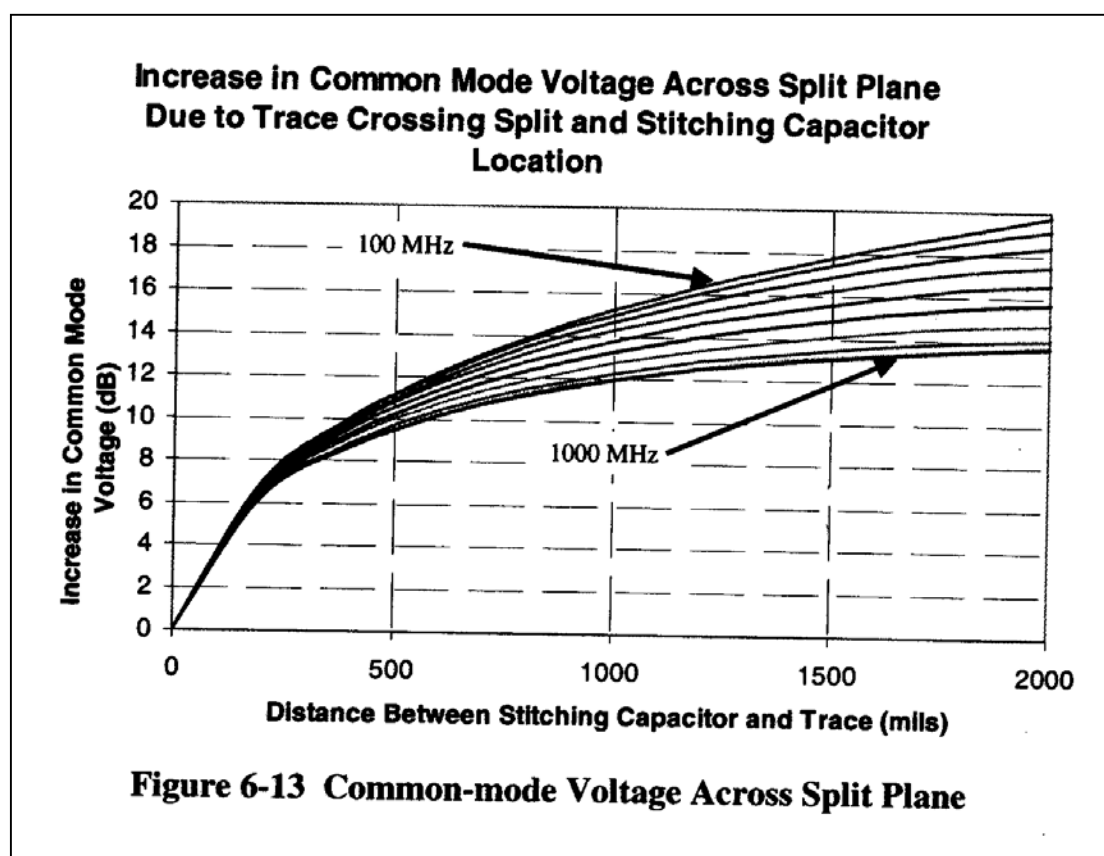
如前一節之討論，迴返電流大部分會侷限在佈線之下。當迴返電流路徑為連續時，此敘述為真。然而，迴返電流路徑常常是不連續的。在 PC 板上有兩個主要情況會造成迴返電流之中斷：(1)危險的信號路徑橫跨過參考平面的裂口，以及(2)危險信號在 PC 板之不同佈線層間使用貫穿孔。在第五章已詳細討論過迴返電流路徑中斷造成的後果。此節中，此效應將以潛在輻射源頭的方式再次強調。

### 第一項 危險的信號路徑橫跨過參考平面的裂口

在第 5-2 節中描述了佈線路徑橫過參考平面的裂口所造成的效應，常見於將電源平面使用為參考平面之狀況。為了符合不同 IC 之需求，有多個不同的電源平面『島』以供應不同的 DC 電壓。如果有一個高速路徑參考到此一 DC 電源層，它可能從一個『島』跨到另一個『島』，造成了橫過裂口之狀況。

通常在此種情況下，『縫補電容器(Stitching Capacitor)』可用來在裂口間提供迴返電流之路徑。其應該要立即相鄰於佈線靠近參考平面之裂口處。然而，很多時候，在很小的區域中有很多佈線同時橫過(例如高速數據或地址匯流排)，因而不大能為每一條，或是每一對佈線都提供一個縫補電容器。縫補電容器放置的位置越遠(距佈線橫跨過裂口之處)，就會在裂口處產生越大的共模電壓，結果就造成更多的輻射干擾。

圖 6-13 顯示出『橫過裂口處之共模電壓』隨著『縫補電容器位置與佈線跨越裂口處之距離』之增加而增加的情況。在最初的二分之一吋距離時，共模電壓快速增加，而後再以較緩慢之速度上升。所以，將縫補電容器放置在二分之一吋之距



離以內會有最好的效果。

縫補電容器可以用來降低佈線跨越參考平面裂口所引發之輻射，但只在較低之頻率諧波有效。電容器之本質電感以及連接引線及貫穿孔之電感量皆會限制了此一縫補電容器之效果。對於較高頻率之諧波，並沒有有效之方法來降低輻射強度，只能夠說盡量不要去跨越參考平面之裂口，以及對高頻信號要有完整的平面。降低意圖信號之高頻諧波成分也會有助於降低這些輻射。

## 第二項 危險信號通過貫穿孔

前一節討論了當參考平面有多個 DC 電壓時對於迴返電流造成之中斷現象。此種中斷現象也可能在垂直的方向發生，如同前面之水平方向一樣。將危險之信號在多層板上佈線時常會遇到此種情形。對於複雜的板子，對所有的信號都找到最佳路徑是很困難的，通常就會必須使用到不同之佈線層。經由適當的設計，佈線層的變換將不會造成 EMC 問題。但若不適當的小心留意，此一佈線層的變換可能就是 EMC 問題發生之最大來源。

在 5-3 節中詳細的討論了當佈線變換參考平面時，在迴返電流路徑上之影響。當此狀況發生時，迴返電流路徑長度之增加造成兩平面間之電場強度增加，亦即造成了兩平面間之『雜訊』電壓。此雜訊電壓會沿著 PCB 傳播，造成板子邊緣的輻射，若此雜訊電壓夠大並出現在較敏感 IC 之電源腳上時，也可能會造成功能上之問題。如 5-3 節之討論，在兩個平面間加上耦合電容可以有助於低至中間頻段之迴返電流。迴返電流必須要使用去耦合電容路徑(傳導電流)以及分布電容路徑(位移電流)的組合，以從一個平面移到另一個平面。分佈電容是一直都存在的一個路徑，但是電流必須要在整個電路板上流動以使用到所有的分佈電容量。因此造成了很長的路徑，使得路徑之環路電感增加，因此限制了有效的分佈電容量。

使用貫穿孔變換佈線層並非不好，但造成參考平面之變換以致於影響了迴返電流就不好了。第 5-3 節中也已經討論過如何能夠在不造成迴返電流路徑問題之情況下使用貫穿孔來變換佈線層。

一些 PCB 板之堆疊設計使用許多佈線層，其中可能有數個平面是同樣的 DC 電壓位準，例如說『地』或是 0 伏。因此這幾個平面間可以直接用貫穿孔連接縫補。假設說一個信號參考到第四層的地平面，而後變換其佈線層，變成參考到第十層的另一個地平面，則其在第四層與第十層間的迴返電流路徑可依賴許多的貫穿孔來達成。然而，大部分的迴返電流會嘗試流經最近位置的貫穿孔以到達轉換點。爲了要讓其他的貫穿孔也有作用，一部份的迴返電流必須要流到這些額外貫穿孔的位置。如果所有的這些『額外』貫穿孔很接近轉換點(在 0.5 吋半徑內)，則可預期在迴返電流路徑阻抗上會有一些改善。一般說來，將貫穿孔(或是去耦合電容)放在較遠處，意味著迴返電流必須要由轉換點流經較長之距離。這一較長之距離會導致額外的共模電流發生在 PC 板上，並同時可能造成數據脈衝之失真。

## 第八節 結論

EMC 輻射有許多可能之來源。這些可能之來源彼此都是互相獨立的，我們可以一一考量如何來將它們降低。此章討論了來自意圖信號之輻射。意圖信號指的是在電路之功能上必須要存在的信號。第七章將討論來自於非意圖信號之輻射。

一個重要的觀念是，所有干擾源的可能源頭幾乎都是來自於意圖信號，不論是直接或間接的。如果將意圖信號控制妥當，讓它只含有使功能正常動作所需之諧波，則在高頻段之 EMC 輻射問題就會降低甚或消除。

第二個重要之觀念是，大多數之可能輻射來源都直接相關到迴返電流路徑，或是缺少迴返電流路徑。最重要的 EMC 設計考慮就是明確地設計出迴返電流路徑。電路板的佈局設計並不僅僅是在 IC 間拉線，也應該要考慮信號佈線之迴返電流路徑。這可能是最最重要的設計考慮要項，因為它會影響許多的可能輻射源。

## 第七章 EMI 源頭控制—非意圖信號

### 第一節 介紹

當開始思考 EMI 設計時，最有效之方式是考慮到實際之 EMI 輻射源頭，然後一一將它們解決。在 PC 板上之大部分 EMI 源頭都是可以區分開的，並且可以分別處理與解決的。

如第六章之討論，所有在板子上之信號會分為兩類：意圖信號(Intentional signals)以及非意圖信號(Unintentional signals)。在電路板設計時，工程師自然都會考慮到意圖信號。這些信號是原本就應該要在電路板上的，要小心地佈線讓這些信號由來源處走到他們的目的地。

然而在設計時，通常會忽略掉非意圖信號。畢竟，我們並不希望他們存在電路板上，所以我們不會去想到他們。不幸的是，這類之非意圖信號造成了 PC 板 90% 以上之 EMI 輻射問題。有些非意圖信號，不論我們怎樣小心設計，它還是會存在的。我們必須要考慮到這些之非意圖信號，並且適當的採取對策步驟以確保它們不至於造成過大的輻射。

輻射的源頭因此可以分成兩個主要類別：意圖信號(Intentional signals)以及非意圖信號(Unintentional signals)。每一類別還可以再細分下去。如同前章中之討論，來自於意圖信號之輻射源頭包括有差模(differential-mode)以及共模來源(common-mode)。此章將討論來自於非意圖信號之輻射源如共模、串音(crosstalk)、電源平面、以及板上結構(above board structures)。電源/接地參考平面雜訊(有時稱之為同步開關雜訊 Simultaneous switching noise、或稱為地彈跳 Ground Bounce)是另一種型式之非意圖信號源，會在另一章節中討論到。

### 第二節 非意圖信號

前一章講到意圖信號造成 EMC 問題之幾個途徑。以下之部分則要討論說為何『非意圖信號』也會造成 EMC 問題。非意圖信號指的是一種在不該出現的地方卻出現的信號。非意圖信號都是來自於意圖信號，經由某種耦合到不應該存有該信號之導線、佈線或導體上。

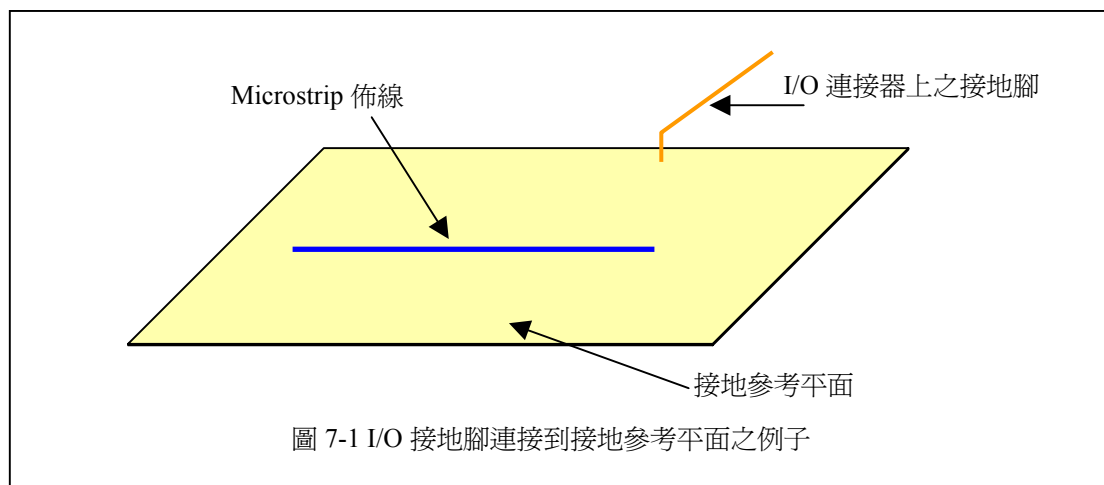
非意圖信號具有與意圖信號一樣的頻譜，但是因為此信號是在其不該存在的地方出現，因此較不容易發現及控制這些非意圖信號，必須要了解它們並採用適當的方式以減低其影響。

### 第三節 非意圖信號—共模

此節中，將討論來自於非意圖信號帶有共模電流所造成之可能輻射源頭。先前，在 6-6 與 6-7 節，討論過來自於意圖信號帶有共模電流之輻射源頭。在那些章節中講述，因為平面之自然電感之故，或是因為迴返電流路徑中斷之故，迴返電流會散播在整個接地參考平面上。這些電流就是非意圖信號共模電流的來源。

對於這一可能的 EMI 輻射源頭，在接地參考平面上的信號電流耦合到 I/O 連接器之『接地』腳位，而後經由連接之 I/O 導線『逃離』出屏蔽之機殼。圖 7-1 顯示出一信號佈線並未直接連接到 I/O 連接器，但是，在 I/O 連接器上之『接地』腳卻有直接連接到接地參考平面。存在於接地參考平面上之迴返電流散播在整個

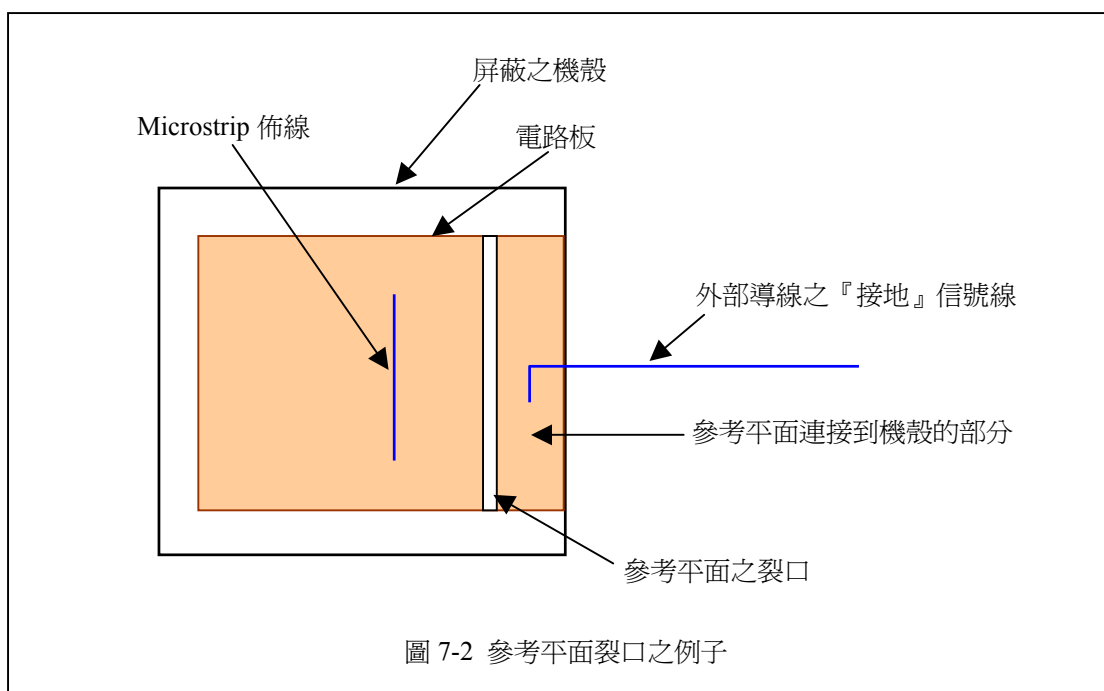
平面上，很容易就耦合到 I/O 連接器上的接地腳。一但此能量到了 I/O 連接器之接地腳上，它就直接連接到屏蔽機殼的外面了。



大多數之輻射干擾的原因是由於在外部導線上出現了不應該存在之電流。對於一條未屏蔽之 I/O 導線，在其任一個導體(即使是接地導體)上出現的非意圖電流，都會導致輻射干擾的增加。即使是屏蔽之導線也會造成輻射干擾的增加，如果該雜訊耦合到導線的屏蔽上的話。除非很小心地確保導線屏蔽端與機殼屏蔽之間有很好的(低阻抗)電氣連接。

#### 第四節 控制來自於『非意圖信號-共模』之輻射干擾

在 6-6 節中描述到迴返電流會散播到參考平面，當此參考平面為連續時，並無法阻止其散播開來。要阻止迴返電流散播到 I/O 連接器區域的一個辦法是：故意加上一個裂口在『高速數位電路區域』與『I/O 連接器區域』之間。圖 7-2 顯示的就是一個例子，使用一個裂口來隔離『I/O 接地參考區域』與『數位接地參考區域』。此一方式用於隔離『散播之迴返電流』與『I/O 接地腳』非常有效。

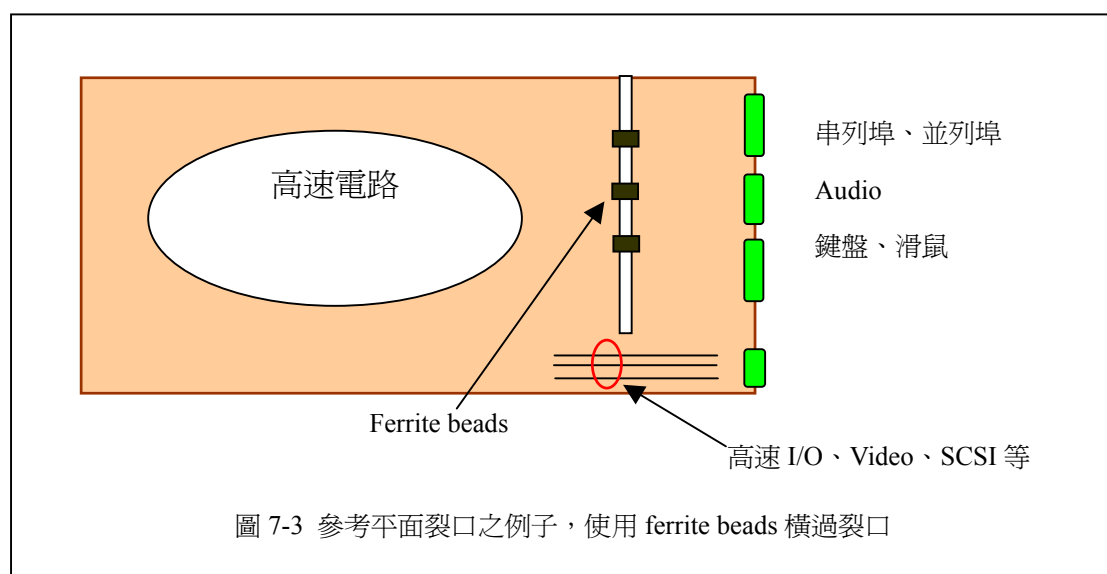


但有一點要非常的注意。在前章之中我們說在參考平面上的裂口是『壞東西』，而現在我們說這個裂口是個『好東西』。事實是，裂口本身沒有好壞，要清楚的理解在哪種狀況下需要它們，只在正確的條件下使用裂口。讓一條高速佈線橫過參考平面的裂口，意味著迴返電流必須去尋找其他的迴返路徑，而此新迴返路徑很可能會造成輻射干擾的增加。絕對不能允許在高速佈線旁有參考平面的裂口。然而，若是當低速 I/O 連接器區域靠近高速電路時，使用參考平面之裂口可以有有效的隔離『高速迴返電流』與『低速 I/O 連接器之接地腳』。

典型的電腦主機板是有效使用參考平面裂口之例子。在一典型電腦主機板上有許多的低速 I/O 連接器，例如鍵盤、滑鼠、串列埠、並列埠等。所有的 I/O 埠都有接地腳，且通常是連接到主機板之接地平面。I/O 埠之意圖信號若是低於 5MHz 就可視為是低速 I/O 裝置。並不需要有高速佈線(例如，時脈信號佈線、高速匯流排佈線、等)靠近到低速 I/O 連接器。將低速 I/O 區域之參考平面加上裂口，可以有有效的隔離在參考平面上散佈之迴返電流，讓它不會影響到 I/O 連接器之接地腳，同時也是一個低成本的 EMC 設計方案。

爲了要讓此一『I/O 參考平面上之裂口』之策略成功，有些設計考量上之要點也要注意。第一，由主機板之『數位參考平面』分割出來之『I/O 參考平面』必須要小心地以低電感(低阻抗)之方式連接到屏蔽機殼上。如果忽略了此一連接，或是間斷，或是不夠低阻抗，則輻射干擾反會在某些頻率增加。記住，外部導線、電纜上之信號，其最終之參考點是在機殼屏蔽上面。在機殼內 I/O 連接器旁邊之 I/O 信號參考必須與外部機殼同一電位。

第二個重要的設計考量是意圖信號低速 I/O 數據之迴返電流路徑。如同前章之討論，電流總是必須要回到其源頭。低速 I/O 信號必須要有迴返電流路徑，否則會發生資料或是其他之錯誤。經由在裂口上放置 ferrite beads 可以提供此一迴返路徑。此 ferrite beads 可以允許低頻之迴返電流流過，但是會阻擋高頻數位接地參考迴返電流之散播。決不能使用電容器跨越裂口，因為電容器會讓高頻雜訊通過，並且會阻擋掉意圖之低頻迴返電流。圖 7-3 顯示出 PC 板之參考平面，並使用 ferrite beads 橫越裂口。因為這些 beads 是应用在低頻之迴返電流，只要一些就足夠了，分配在 I/O 連接器靠近裂口處。



在參考平面上之裂口，主要是對在參考平面上之高頻信號提供一個高阻抗。裂口的寬度並不嚴苛，但應該要大於 50mils 或是更寬。圖 7-4 顯示了一個在 10"x12" 的 PC 板，橫過裂口平面之阻抗曲線。注意到由於諧振效應之故，在 400~500MHz 處，阻抗會變低。此意味著說使用裂口可以有效的阻擋高頻電流散播，但只對數百 MHz 之頻率以下有效。在較高頻率，由於板子及裂口之諧振，裂口的阻抗並不如預期的高。

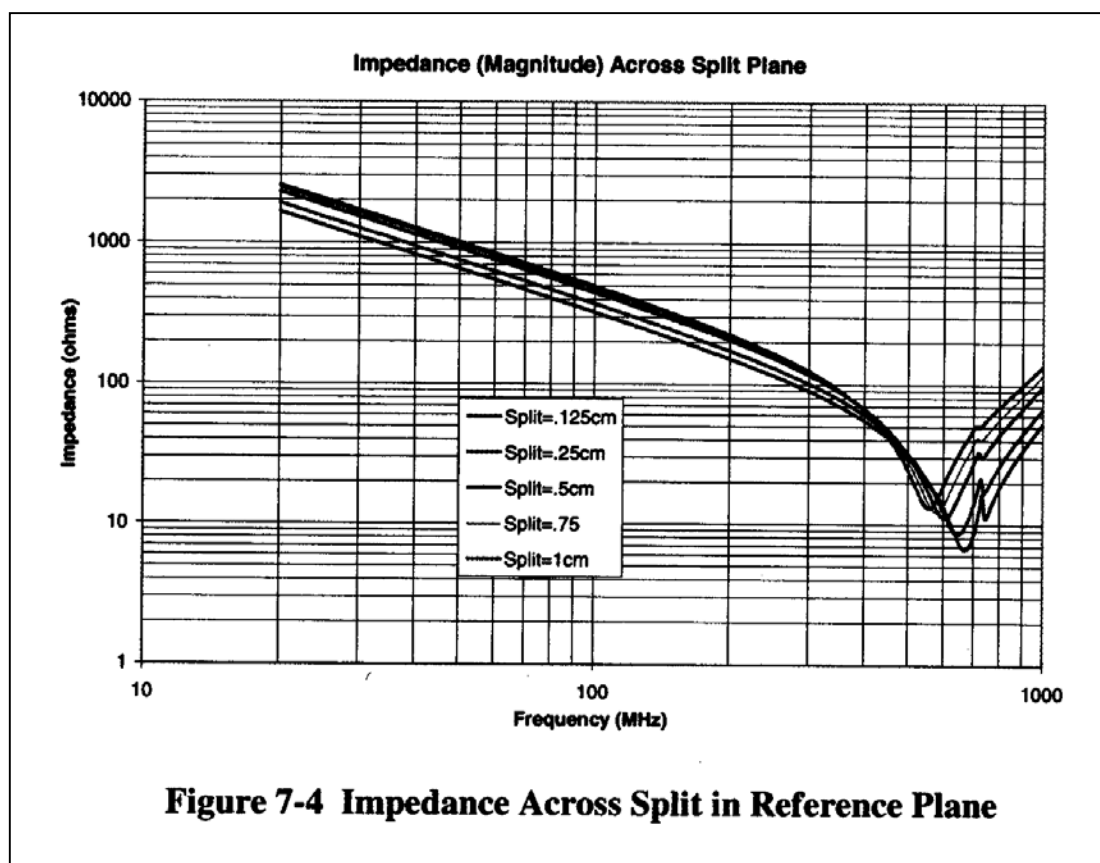


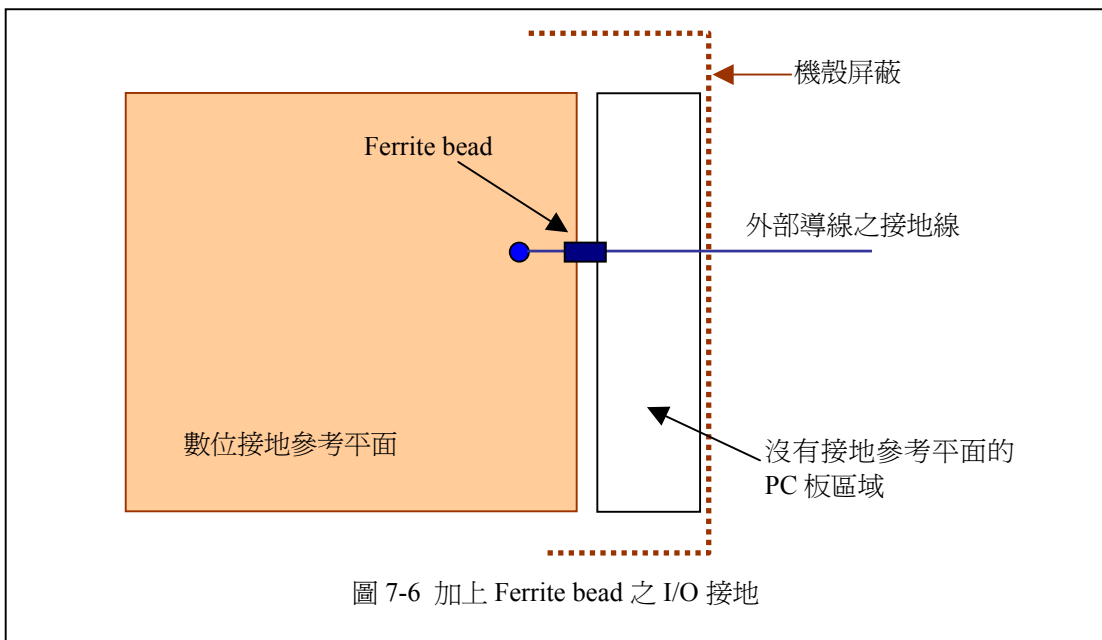
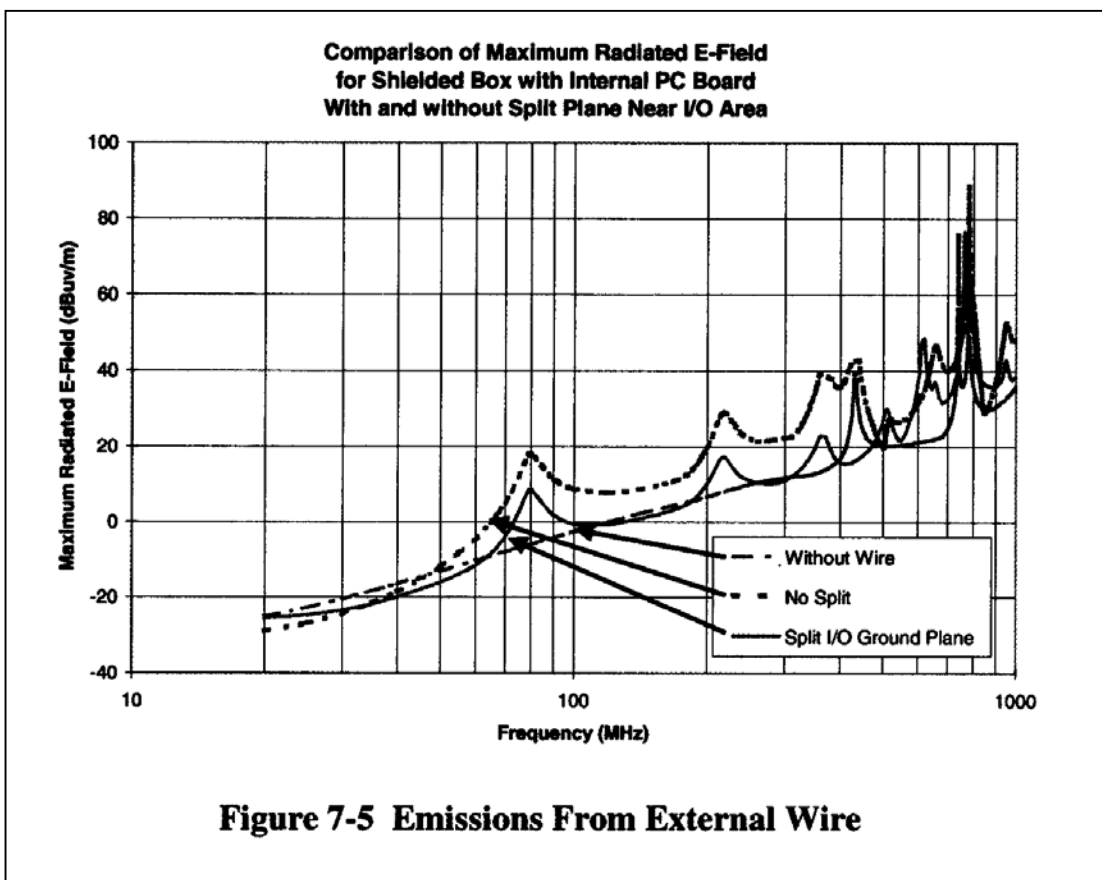
圖 7-5 顯示了一個簡單金屬機殼內裝有 PC 板及一根外部導線，所帶出之輻射情況。在此例中，內部 PC 板上有一個 Microstrip 佈線，但是並不靠近 I/O 的接地接腳。PC 板的接地參考平面在 I/O 連接器之區域連接到屏蔽機殼。第一個圖顯示當 I/O 連接器沒有連接導線時之輻射狀況。可以看到機殼之諧振發生在大約 425MHz 以及 750MHz 處。當加上導線時，可見相對於此導線長度之諧振在 80MHz、225MHz 等等。若是加上個裂口在 PC 板的接地參考面上，在 Microstrip 佈線與 I/O 連接器之間，則來自於導線之輻射在 500MHz 以下至少都降低了 10dB。在 500MHz 以上，則沒有多大的改善。此與先前根據阻抗狀況討論之預期是一致的。

若是要隔離 400-500MHz 以上的頻率，最好的方法就是完全消除在 I/O 連接器附近的接地平面。將 I/O 連接器之接地腳以一條接地線連接，並且視同信號線般加上濾波電路。事實上，此接地線攜帶著與信號線同等之電流(若是正確設計的話)。將一個 ferrite bead 串聯在 I/O 連接器之接地腳與數位接地參考平面區域之間，可對雜訊電流提供濾波並且提供低頻之迴返電流路徑。在圖 7-6 中 I/O 區域沒有接地參考平面。

附加說明，在此 I/O 區域也不應該有電源平面，因為電源平面通常也會當作是高



速信號的參考平面，也會含有散播之迴返電流。若是在 I/O 區域仍有電源平面，這些能量就可能耦合到 I/O 信號線(包括接地線)並傳導到機殼的外面造成輻射



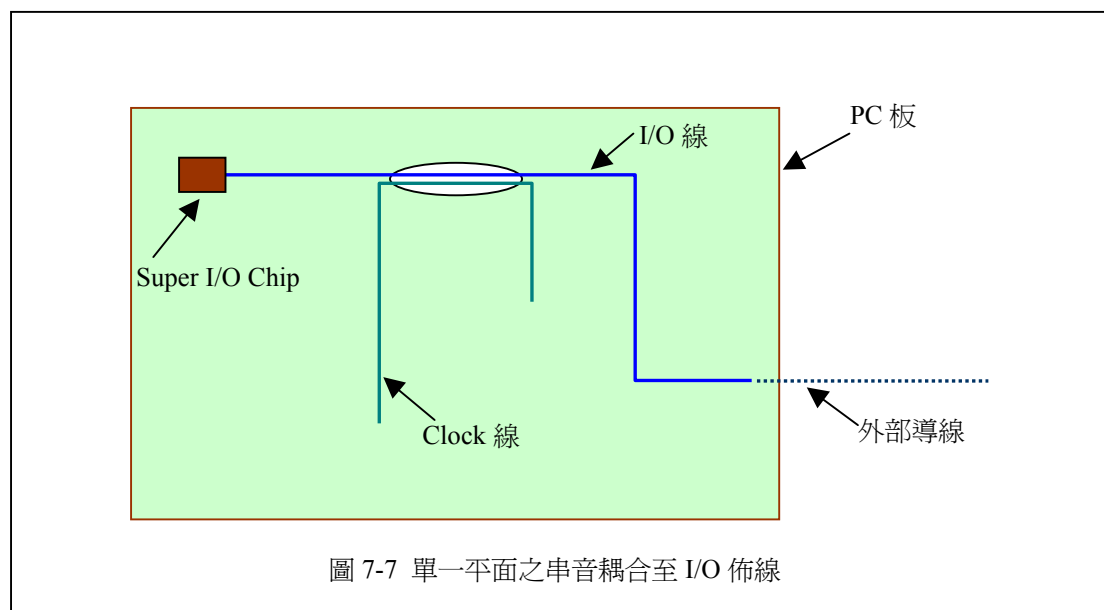
干擾。

### 第五節 非意圖信號—『串音』耦合到 I/O 線

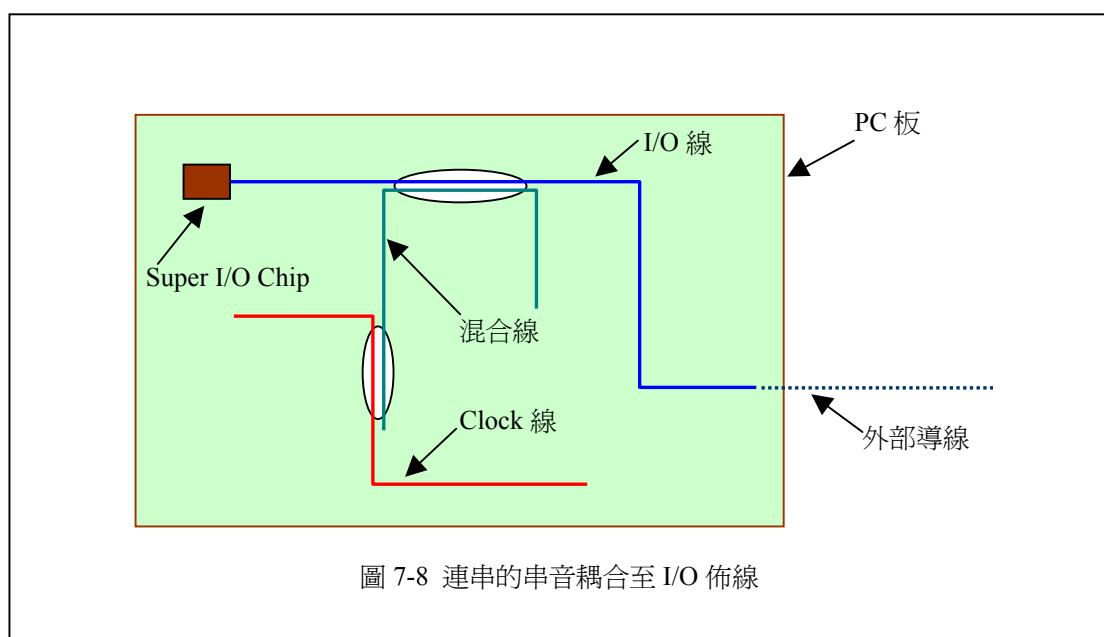
『串音』耦合到 I/O 線是另一種造成干擾的途徑：意圖信號耦合到不應存有該信

號的導體上，造成該導體上的非意圖信號。在信號完整性分析(Signal integrity analysis)時，通常都會對重要信號(critical signal)之串音情況小心監測，以確保能保持適當的信號品質。然而，由 EMC 之觀點來看，重要信號間之串音並不需特別留意，需要關心的重點是，重要信號串音到 I/O 佈線上之狀況。

圖 7-7 中顯示的就是重要信號佈線與 I/O 佈線之串音耦合。此一重要信號佈線並未直接連接到 I/O 佈線，但是走線的位置很靠近，因此讓串音很輕易的發生。串音耦合現象可以是水平的，如圖所示，也可能是垂直的，例如串音也會發生在 PCB 之不同佈線層之間。



多層次的，或一連串的串音耦合也是我們要顧慮的，因為只要一點點來自於重要信號佈線上的電流，就可造成機殼外部無法承受的干擾。圖 7-8 顯示一個多層次串音耦合的例子。重要信號之走線靠近一條『無辜』的佈線，一點點之意圖信號電流耦合到了此一『無辜』的佈線。然後此一『無辜』的佈線靠近到 I/O 信號線，此時二次串音耦合發生，將原始意圖信號之一部份耦合到 I/O 線上，變成了非意圖信號而帶到外界輻射出去。



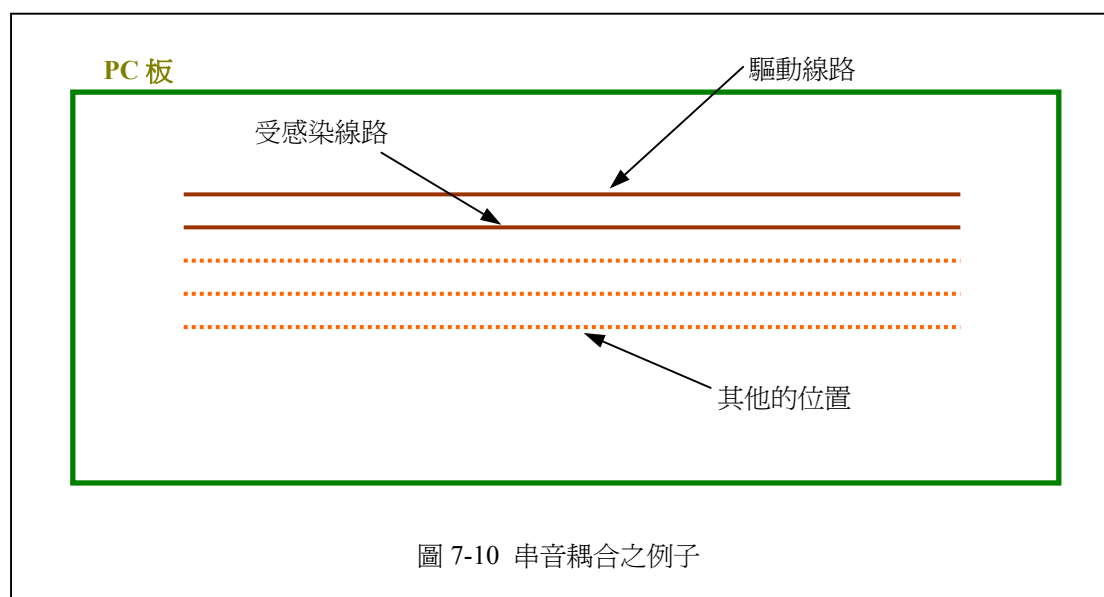
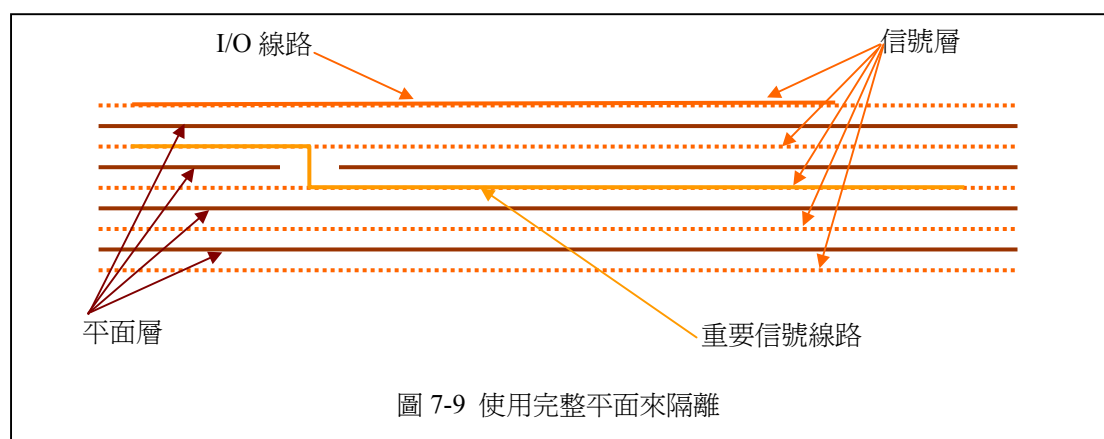
因此要將高速信號諧波遠離 I/O 區域，特別是未屏蔽之 I/O 連接器及電纜線。只要有約 100 微伏之共模雜訊出現在外部之未屏蔽導線，就會造成輻射干擾超過限值。

### 第六節 控制非意圖信號—串音耦合至 I/O 線

很明顯的，控制串音耦合的最佳方法是讓高速佈線和 I/O 佈線彼此遠離。在 PC 板之堆疊上，最有效隔離這些佈線的方式是將此兩類之信號分別放置在不同的佈線層，中間以完整平面將其隔開。若是沒有中間分隔之完整平面，不同佈線層間之串音還是常常會發生。圖 7-9 顯示低速 I/O 信號線佈線在 PC 板的外層，而高速信號線佈線在內層。注意到此高速佈線並未暴露到外層，並且高速佈線也沒有變換參考平面。除了避免串音耦合到 I/O 佈線，這些佈線考量也是一樣的重要。

不幸的是，並沒有辦法總是讓 I/O 佈線和高速佈線間隔以完整平面。讓佈線之間保持一些分隔距離是蠻有需要的，但有時不容易做到，因為要盡量有效的使用 PC 板的所有走線通道。圖 7-10 顯示一個 PC 板，含有一個(高速)驅動線路，一個被感染(I/O)線路，以及相鄰的走線通道。

在這個安排中，建議將 I/O 線路移開遠離高速線路，中間留下一些空間。



在同一佈線層，有一個較有效的隔離方法是使用護衛佈線(guard trace)。護衛佈線必須要使用貫穿孔連接到接地參考平面，每吋一個以上。(護衛佈線上之貫穿孔間隔距離，應小於意圖信號之最高諧波頻率之 1/10 波長)。護衛佈線要配置在高速佈線與受感染佈線之間。如果有一群的高速佈線，例如匯流排，則它們可以佈線在一起，然後在週邊圍繞以護衛佈線。圖 7-11 顯示與圖 7-10 同樣的 PC 板配置，不同之處在於加上了護衛佈線。

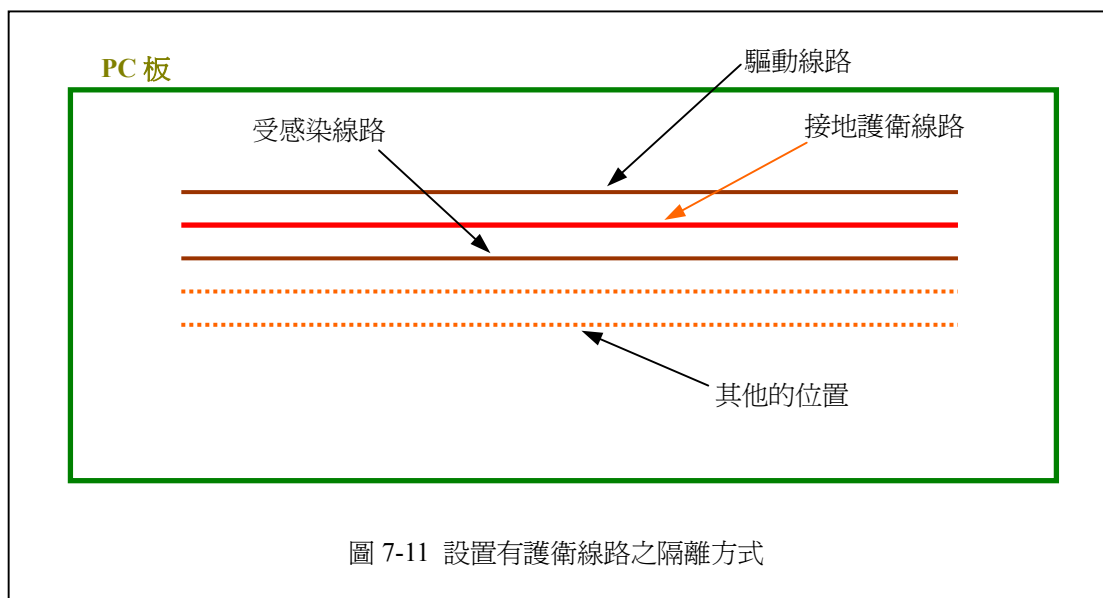
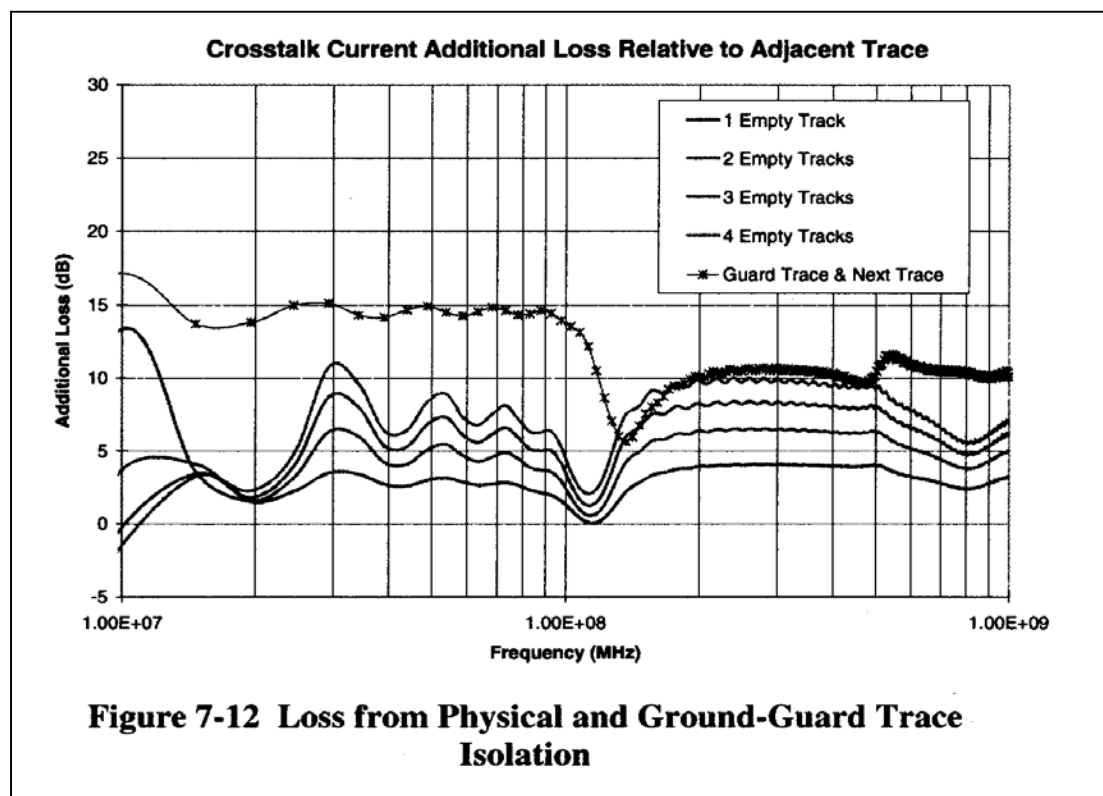


圖 7-12 顯示兩個相鄰佈線間，以實際空間分隔或是以護衛線路分隔，所能達到之隔離效果。在此圖中，0dB 表示兩個相鄰線路之串音耦合量。由圖中可以看出，實體空間的分隔可以多提供數 dB 之隔離效果，但是護衛線路可以提供最佳的隔離，並且使用的機板空間最小。



## 第七節 結論

EMC 的可能來源有很多。每一種來源都是互相獨立的，我們可以一項項考慮如何降低其干擾。本章討論的是非意圖信號造成之干擾。第六章討論的是意圖信號造成之干擾。在設計時，不論是意圖信號或是非意圖信號都要加以考慮。

在對非意圖信號來源之討論中，一個很重要的重點是，其來源最終都還是來自於意圖信號。如果將意圖信號予以適當的控制，並使其只含有功能上所需之諧波，則在高頻段可能之 EMC 問題就會減少甚至消弭於無形。

## 第八章 對電源/接地平面去耦合

(Decoupling Power/Ground Planes)

### 第一節 介紹

電源以及接地平面的去耦合可能是最容易被誤解的設計觀念之一，『正確的』去耦合策略更是最令人困惑的部分。在 PC 板上的電源與接地平面間加上去耦合電容，是一種通常用來獲致正常功能(信號完整性)以及降低 EMI 輻射的方法。設計工程師以及 EMC 工程師常常要爭論，到底要使用多少個去耦合電容以及用多大的去耦合電容。一些典型的設計準則要求在每一個 IC 的電源接腳要加一個去耦合電容，在較大 IC 之每一邊至少加一個電容，以及/或是去耦合電容要散佈在電路板之每一平方吋的位置上。在技術文獻上，很少提到多少才是適當的數量，以及如何計算所需去耦合電容的數量。因此在設計準則中，常常會過度設計，使用過多的去耦合電容，因為俗話說『小心點以免後悔(better safe than sorry)』。很多的準則其實是根基於虛構的。此外，有許多完全是虛構的理念被出版以及流傳，造成很多設計族群嚴重的迷惑。一些虛構理念還有某種程度的理論根據支撐，一些則無。有一篇發表的文章宣稱說實際上是去耦合電容導致了輻射干擾!不幸的是，有許多似是而非的理念聽起來都很有道理，也不容易去反駁。

傳統上，都是根據以往的習慣以及 EMC 工程師的經驗來選擇去耦合電容的大小。一般說來最常使用  $0.01\mu\text{F}$  或是  $0.1\mu\text{F}$ 。通常會使用一個較小的電容與主要去耦合電容器並聯，以提供高頻與低頻濾波之效果。然而，若是使用大小太相近的電容，有可能會產生交互共振現象，產生反效果。

概括的結論是，從古早以來，電源平面的去耦合之設計一直是很困難去研究或分析。現今之電路板上的時脈速度已經普遍到了 400-800MHz，應該要使用一些較合理的方式，來從事電路板去耦合電容的最佳化設計。

### 第二節 背景說明

在電源以及接地平面使用去耦合電容有兩個主要目的。第一個目的是針對功能上的，也就是說，去耦合電容是一個電荷儲存之單元，當 IC 轉換狀態需要額外的電流時，附近的去耦合電流即可經由一個低電感的路徑供應此電流。如果這個電容可以供應此 IC 所需的全部電流，則在此 IC 之電源接腳上的電壓可以保持在恆定的準位。若是此電容無法供應 IC 所需之全部電流，則 IC 之電源接腳上的電壓會暫時下降，直到供應出適當的電流，或是直到電流需求終了。如果沒辦法供應足夠的電流，IC 可能會功能喪失。因此將去耦合電容放在靠近電流需求處(IC 之電源腳)是很重要的。同時，對 IC 之電源接腳至電源平面，以及 IC 之接地腳至接地平面，以及去耦合電容至電源與接地平面，提供一條低阻抗路徑是極重要的。針對此一電荷配送功能之電容器，必須要具備有低的等效串聯電阻(equivalent series resistance, ESR)以及低的等效串聯電感(equivalent series inductance, ESL)。表 8-1 顯示了不同型式之 SMT 電容器之典型值。

去耦合電容之第二個目的是降低注入到電源以及接地平面之雜訊，因而降低電路板邊緣之 EMI 輻射。例如，電路板的邊緣可能靠近金屬機殼的縫隙處或是靠近氣流開口處，使得雜訊散逸出去。另一個可能是此雜訊會耦合到 I/O 連接器之腳位然後經由外部導線帶到金屬機殼之外。一但此種雜訊生成，有許多種可能之耦

合機制會產生。

Type	Package	ESL	ESR@100MHz
NPO	0603	0.6 nH	60 mΩ
	0805	1 nH	70 mΩ
	1206	1 nH	90 mΩ
X7R	0603	0.6 nH	90 mΩ
	0805	0.9 nH	110 mΩ
	1206	1.2 nH	120 mΩ
Y5V	0603	2.5 nH	80 mΩ
	0805	3.1 nH	90 mΩ
	1206	3.2 nH	100 mΩ
X5R	0603	0.4 nH	60 mΩ
	0805	1 nH	80 mΩ
	1206	1.1 nH	110 mΩ

表 8-1 典型 SMT 電容器之值

注入的雜訊之來源有兩類：(1)當去耦合電容無法供應足夠之電流時，IC 電源接腳之暫時性電壓降(造成了一短期之電壓脈衝)，或是(2)因為一個意圖電流(時脈信號或是其他的快速轉態信號)經貫穿孔轉移到不同佈線層，所造成注入到電源平面與接地平面間之雜訊信號。經由對主動 IC 之量測，顯示典型的電源及接地平面雜訊源的相對大小是一樣的。

經由這些源頭，一但造成了電源與接地平面間的雜訊，就只有使用去耦合電容來降低其雜訊電壓之位準。

### 第三節 計算去耦合雜訊之源頭

因為有兩種不同的去耦合雜訊之源頭，對每一種來源必須要個別的計算其雜訊強度。雖然雜訊的成因使不同的，研究顯示兩種可能源頭造成雜訊之相對大小是差不多的。兩種源頭都必須要考慮到。

#### 第一項 來自於 ASIC/ICs 電源接腳之去耦合雜訊

我們通常知道，某些 ASIC/ICs 會比其他的造成較多的雜訊問題，傳統上我們很難預測來自於 ASIC/IC 之雜訊的數量。首先，考慮到雜訊是怎樣生成的。ASIC/IC 並不是內藏有雜訊產生器，它只是將其經電源/接地腳傳出 ASIC/IC，然後再耦合到電源/接地平面。ASIC/IC 可以視為是一個快速的開關。此開關之阻抗很快速的由高阻抗變化到低阻抗。在低阻抗狀態，ASIC/IC 會從電源供應端吸取較大之電流。如果電源供應端能夠提供出此電流，那就沒有問題，不會有雜訊產生。然而，在某些情況，供應器無法那麼快的提供 ASIC/IC 所需要的電流(多數是因為電感之故)，因此在 ASIC/IC 之電源接腳上會有一個暫時性的電壓降。此一降低之電壓導致了雜訊脈衝傳播到電源/接地平面，通常就稱之為『去耦合雜訊 decoupling noise』。

當我們要嘗試預測在電源/接地平面之雜訊大小時，必須要著重在 ASIC/IC 要吸取之電流，而非雜訊電壓，因為電流才是造成雜訊之主因。在 ASIC/IC 之電源接腳位置之電源/接地平面阻抗，直接影響所導致之雜訊電壓大小。

### 【8.3.1.1】ASIC/IC 電流需求

ASIC/IC 有兩種主要的電流需求。第一，ASIC/IC 都會有一些的 I/O 驅動器。這些 I/O 驅動器都需要很多的電流並且必須由電源供應端取得。第二種需求之電流稱之為『shoot through』電流，這並不是使用在 I/O 驅動器上，而是用在 ASIC/IC 之內部開關(switching)及處理(processing)上。

隨著 ASIC/IC 型式之不同，其中一類可能會主導其電源需求。對於有很多 I/O 的 ASIC/IC，譬如說有著許多輸出端或是匯流排控制器之 clock 緩衝器，其 I/O 之電流需求就主宰了整體電源電流需求。只有少量 I/O 線的 ASIC/IC 可能就由『shoot through』電流來主導。兩種型式之電流可以個別來考慮，再將其加總以評估總共之電流需求。

### 【8.3.1.2】找出 ASIC/IC 之 I/O 電源電流需求

I/O 電流可以藉由標準的信號完整性分析工具找出。通常，信號完整性工具是使用了在模擬不同傳輸線之電壓波形。許多的這類工具也可以使用來找出 I/O 佈線之電流。對於 clock 緩衝器，只要將單一佈線之電流需求乘以動作之 I/O 線數量，即可得到總共的 I/O 電流需求。這是用來決定脈波形狀最精確的技術，並且可以精確的得到電流脈波之頻譜諧波成分。

如果信號完整性工具無法得到電流，可使用另一個電容性負載方法之簡單技術：

$$I_L = \frac{C_L n V_{CC}}{t_r} \quad (8.1)$$

此處：

$C_L$  = 電容性負載，對 CMOS 元件通常為 10pF。

$n$  = 動作的負載之數量

$V_{CC}$  = 供應之電壓

$t_r$  = 輸出脈波之上升時間

電流脈波的形狀可以近似為一個簡單三角形脈波，由上面之方法求出其峰值振幅。脈波之寬度假設為等於 I/O 信號之上升時間加下降時間。雖然不若信號完整性工具般精確，此方法可以得到還算合理之電流需求預估。

### 【8.3.1.3】找出 ASIC/IC 之『shoot through』電源電流需求

對於 clock 緩衝器以及其他的 IC，『shoot through』電流之峰值振幅可以使用供應商之參數表，稱為功率消耗電容(power dissipation capacitance,  $C_{pd}$ )，來估計。假設為同樣的三角形波形，則此電流脈波振幅為

$$I_{p2} = \frac{C_{pd} * m * V_{CC}}{\Delta t_2} \quad (8.2)$$

此處：

$m$  = I/O 驅動器之數量

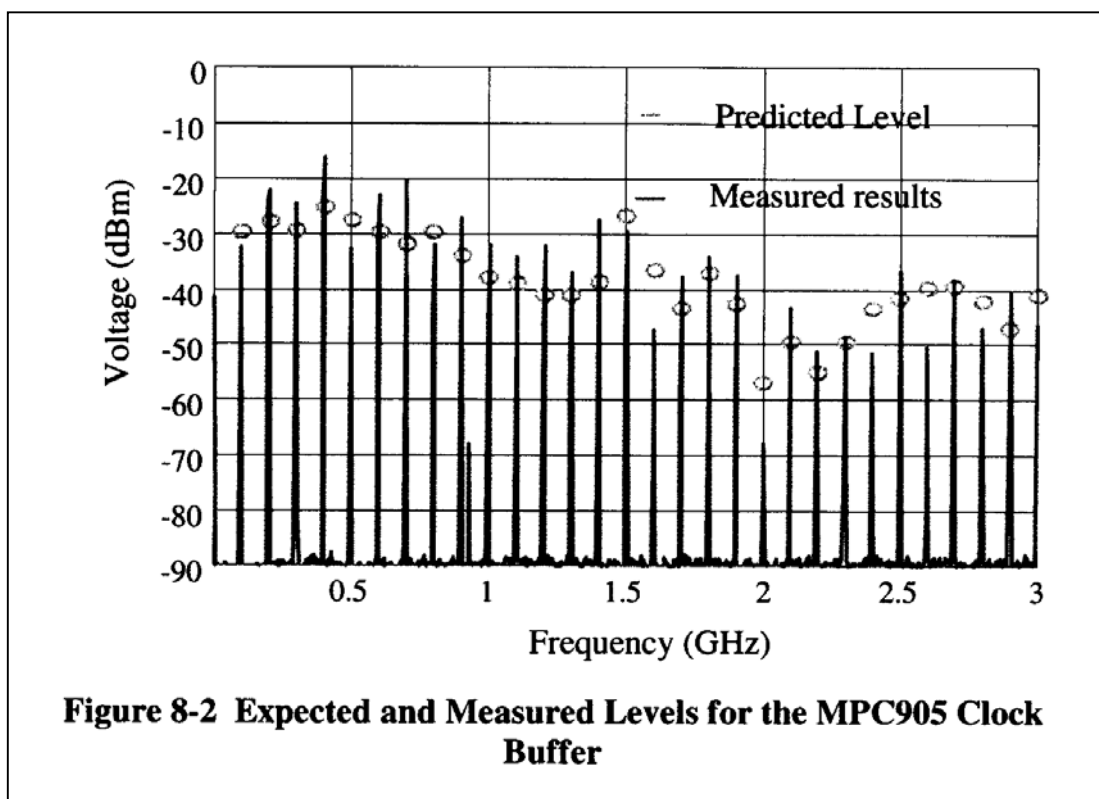
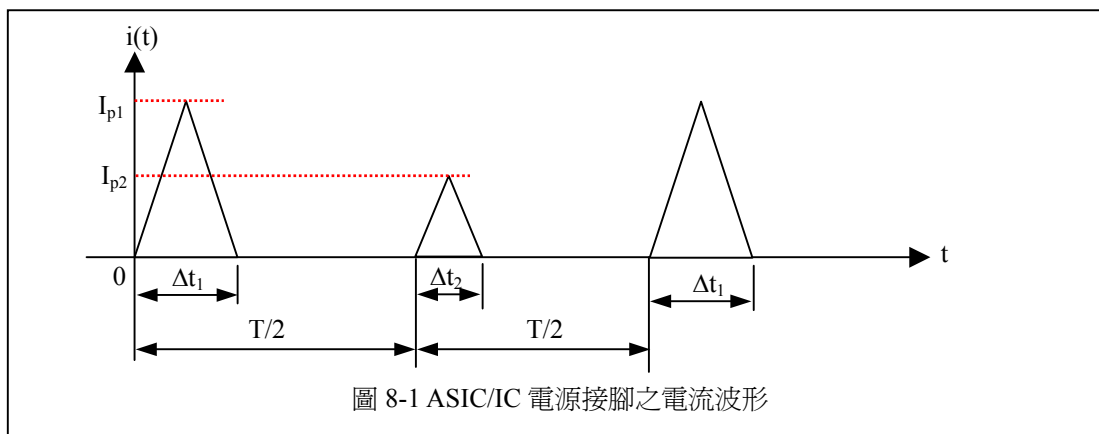
$\Delta t_2 = t_r + t_f$

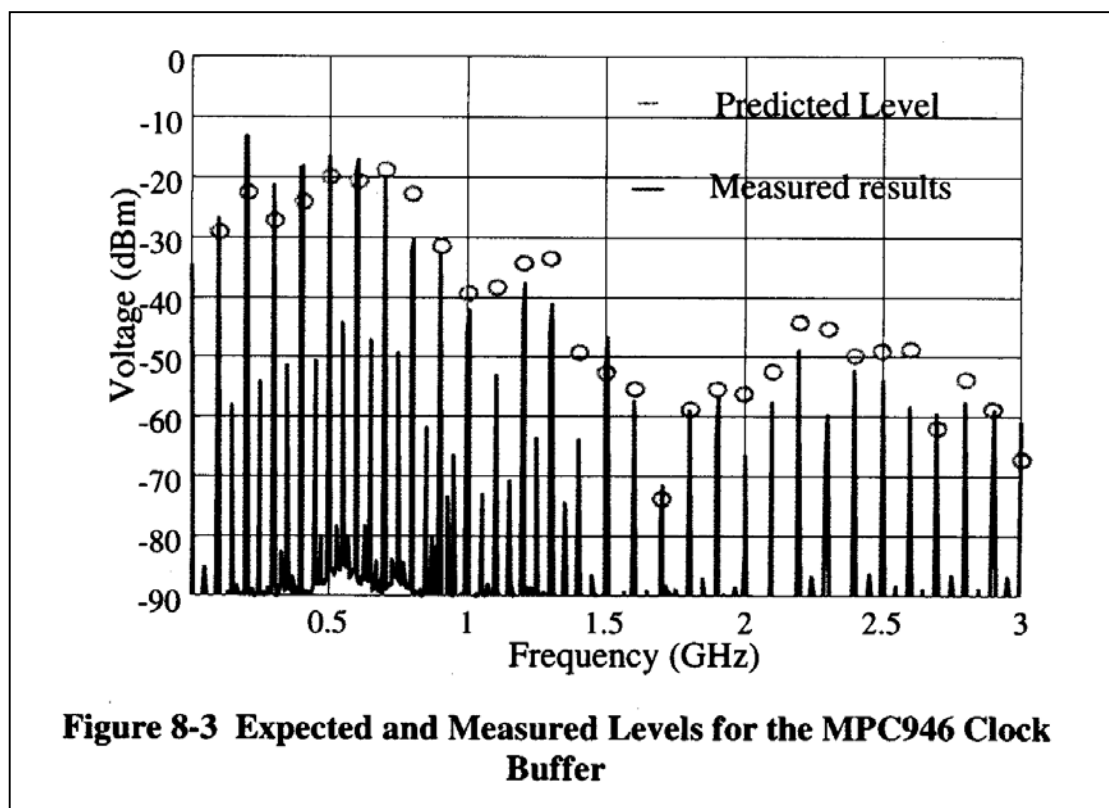


$t_r$  為上升時間， $t_f$  為下降時間。

IC 總共之電源電流為『shoot through』電流與 I/O 電流之加總。圖 8-1 顯示總計電源電流之波形。

將此一使用 I/O 負載電流及  $C_{pd}$  參數來預測 IC 電源接腳雜訊電壓之方法應用到一些標準的 clock 緩衝器。然後在一些簡單的 PC 板上使用這些 IC，實際測量其電源匯流排雜訊。圖 8-2 及 8-3 顯示兩個不同 clock 緩衝器的結果。預測的結果與測量所得的結果還相當一致。





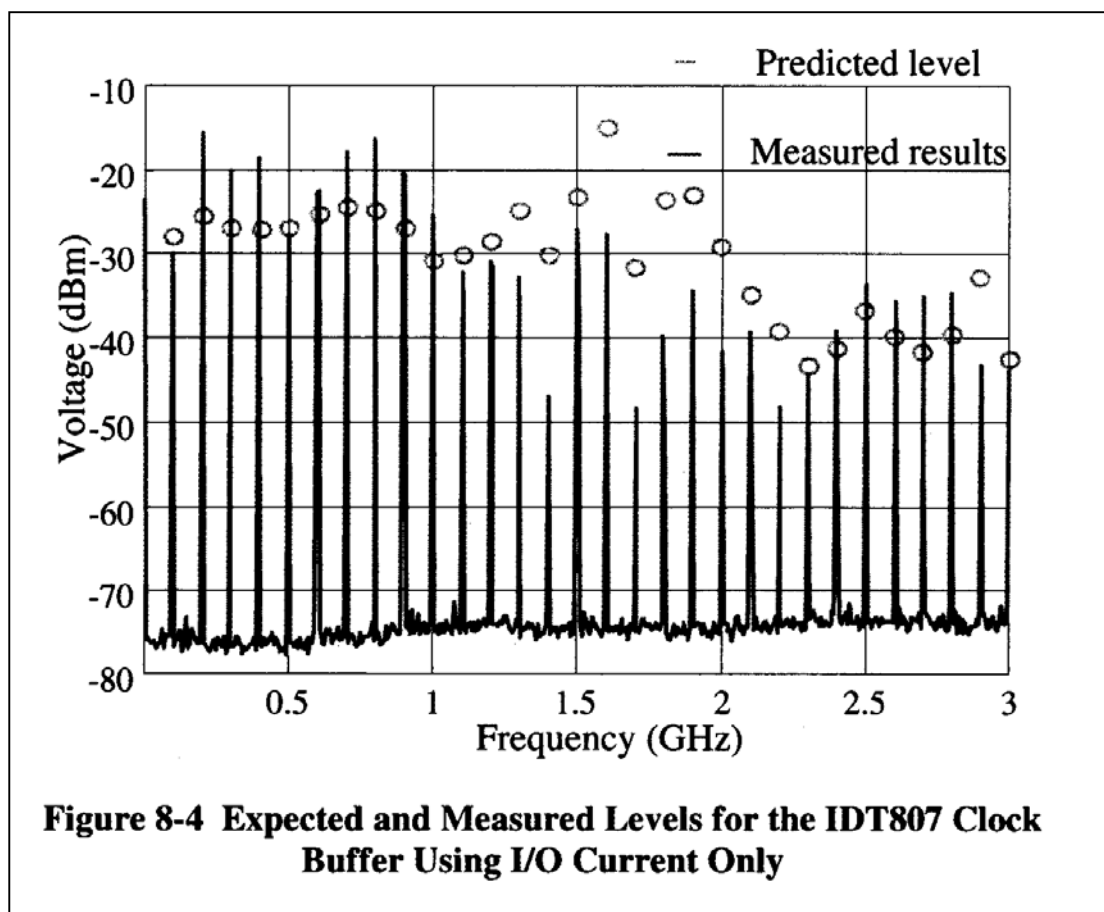
### 【8.3.1.3】不用 $C_{pd}$ 找出 ASIC/IC 之電源電流需求

許多 clock 緩衝器以及其他之 IC 製造商都會提供  $C_{pd}$  參數，但並不是所有的製造商都會提供此一參數。隨著 ASIC/IC 複雜度之不同，第一階段的近似可以只計算 I/O 驅動電流。假設 I/O 電流占主導地位的推論是依據輸出驅動器的數目。對於有很多輸出之裝置，此假設所得到的預測結果會很接近。圖 8-4 顯示一個 clock 緩衝器，製造商沒有提供  $C_{pd}$  數據，其預測值與實際量測結果的比較。其量測值與預測值之一致程度不若先前的例子，但還算是能勉強的估計。

大型的 ASICs，例如微處理器、記憶體控制器、匯流排控制器、等，製造商必須要做完整的模擬以確保此裝置能正常的運作。主要的 ASIC 製造商，如 IBM、Intel、ServerWorks、AMD、等，創造 SPICE 模型去模擬其 ASIC 在不同之負載以及操作條件下之狀況。大多數之 SPICE 模型是為了要計算 ASIC 內之信號/數據流而發展的，然而，SPICE 也是為了元件之電源需求而發展的。雖然說使用這些元件的公司很少要求供應商提供此一模型(或是模型之結論)，這些模型可以對此一 ASIC 元件之電源電流需求提供很好的預測。

### 第四節 去耦合電容之效果

前一節討論了預測來自於 ASIC/IC 之雜訊源頭強度之方法。不論其強度多少，設計上通常會使用去耦合電容，以嘗試去降低距源頭一定距離以外之雜訊電壓的強度。一個好的去耦合優點就是使用『在觀察點看到的電壓』相對於『源頭電壓』之轉換作用。此一轉換作用隨著頻率以及觀察點而變動。此轉換作用(轉換阻抗)的定義在(8.3)。此轉換作用將在源頭(IC 電源腳)之電流關聯到在一定距離外之觀察點看到的電壓。我們的目的是要在觀察點有著最小的雜訊，所以希望  $Z_{21}$  要越



小越好。

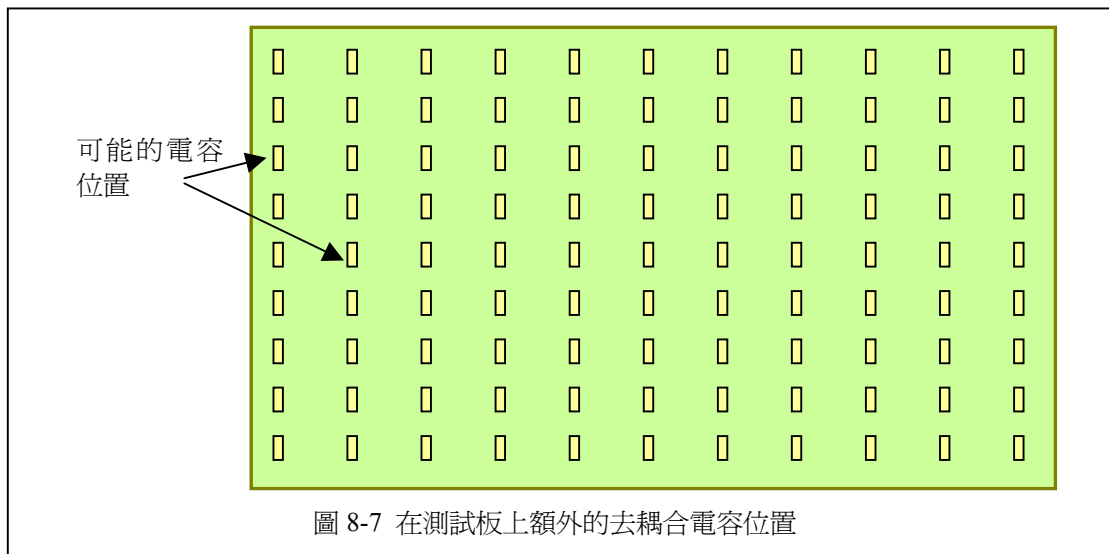
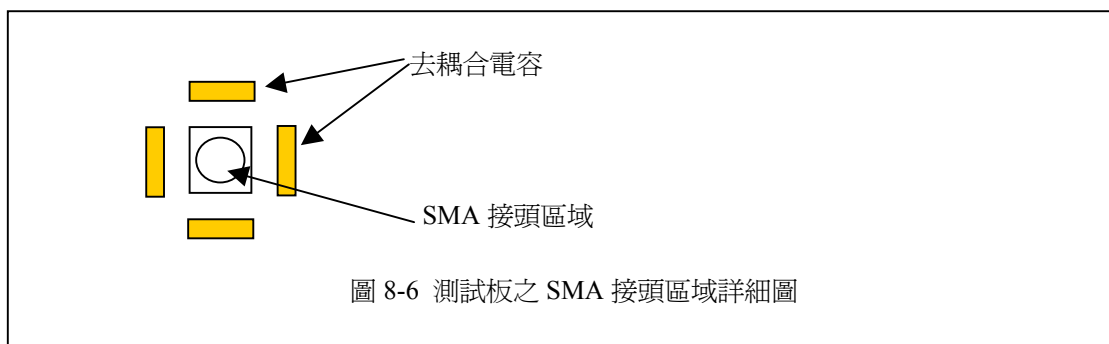
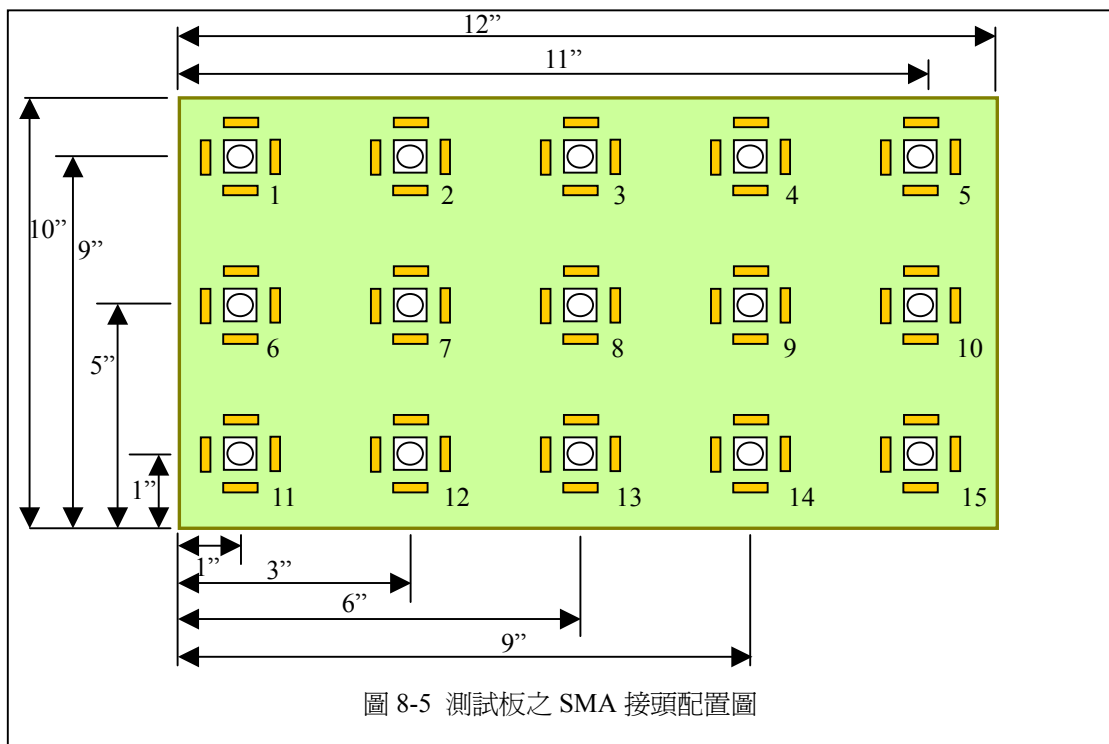
$$Z_{21}(f) = \left. \frac{V_o(f)}{I_s(f)} \right|_{I_o=0} \quad (8.3)$$

此處(8.3)是一個簡單表示式，計算出在我們所感興趣之頻率範圍內之轉換作用，要將其他的重要參數如『平行板之本質電容』、『連接電容器之貫穿孔之電感』、『電容器之內部雜散參數』、『電容器之實體間隔』都包括進來是一個很困難的工作。此轉換作用會隨著 PC 板之大小變動以及前述之任何參數變動而變化，不過我們還是可以用標準大小之 PC 板來做一般的預測。為了幫助了解不同去耦合電容變化之影響，可以製作一個測試板。實際在此一測試板上量測來印證轉換作用，以證明每一種電容組態的效果。

#### 第一項 測試板之描述

以一個 4 層板為例，其尺寸為 10"x12"，視為一典型之板子大小。(板子之大小會影響諧振頻率)。PC 板的堆疊包括上層之連接/焊墊，兩層完整平面(電源與接地平面)，以及一未使用之底層平面。完整平面之間隔為 0.0035"。因為我們所感興趣的頻率範圍在 30MHz 至 1GHz，因此對測試板需要有一種可重複的以及良好控制的連接方法。如圖 8-5 所示，共 15 個 SMA 接頭裝設在此測試板上。每個 SMA 接頭之中心腳連到底層平面，SMA 之外部導體連接到上層平面。每一個 SMA 接頭環繞著四個 0805 大小的 SMT 去耦合電容。圖 8-6 顯示每一個位置之詳細圖解。PC 板之介質材料為標準之 FR-4 材料，其介電常數為 4.5。

圖 8-8 顯示此一 PC 板的等效電路。99 個電容每一個都以其等效電路代表，包括電容量  $C_x$ 、等效串聯電阻、以及等效串聯電感。兩個平行平面之本質電容  $C_{planes}$  與所有離散的電容平行。注意此僅僅為低頻模型，並不包括源自於板子大小之諧振效應(在高頻時居主導地位)。



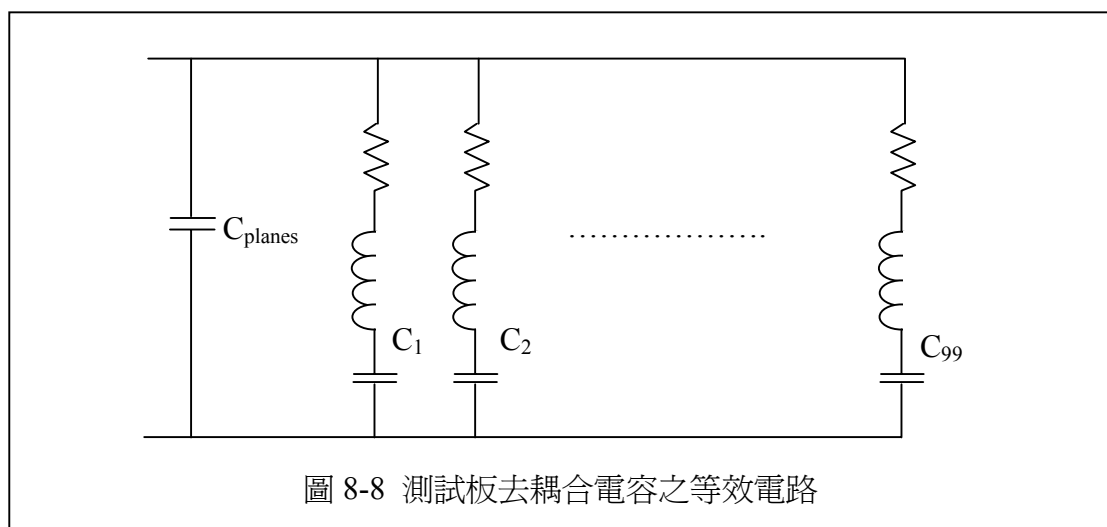


圖 8-8 測試板去耦合電容之等效電路

實體上與大小有關之共振開始的頻率是在兩金屬平面間之空間等於半波長時(或是半波長之整數倍)。假設電場在  $z$  方向是不變的(垂直於平面)。此一隨大小變化之共振頻率為

$$f_{mn} = \frac{1}{2\sqrt{\epsilon\mu}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (8.4)$$

此處：

$m$  與  $n$  為 mode number(不可同時為零)

$a$  與  $b$  為 PC 板的尺寸大小

所有量測都以網路分析儀量測。使用  $S_{21}$  雙埠量測所得之轉換作用為

$$|S_{21}| \cong \frac{|Z_{21}|}{Z_0} \quad (8.5)$$

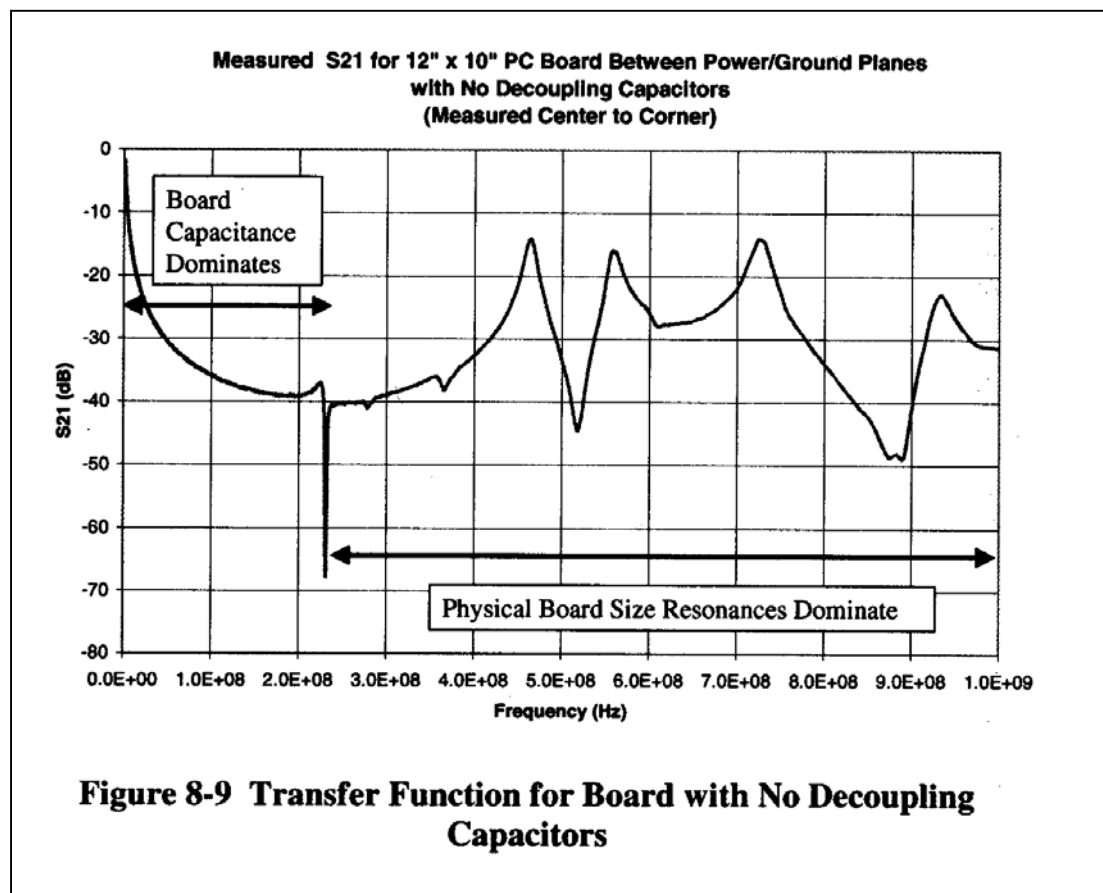
此處  $Z_0$  是測試儀器之  $50\Omega$  特性阻抗。

## 第二項 空測試板之設置

評估多種的去耦合電容組合，以及不同的電容數值。同時也探究『區域源頭去耦合』以及『分佈去耦合』之差異。最後，也考慮到去耦合電容的數量以及不同數值之去耦合電容(單個或是多個組成)。

經由  $S_{21}$  轉換作用的量測，發現在高頻區域有嚴重的共振效應。圖 8-9 顯示在此測試板之中央至一個角落之轉換作用。此轉換作用之確切數值會隨著源頭與觀察位置之不同而不同，但共同的效應是一致的。明顯的在圖 8-9 可看出，在 200MHz 以上之頻段，起因於板子大小的共振現象居主導位置。隨著 PC 板上量測轉換作用之位置之不同，可能會觸發或是不觸發某一共振頻率。然而，從 EMC 的觀點來看，不可能來控制要將哪一個元件放在哪一個位置。為了確保不會觸發某一特定共振模態，必須要假設所有的模態都是存在的(或是最差狀況)。在此些實驗裡，使用了中央位置及一個角落位置，使得在我們關心的頻率範圍內(<2GHz)之大多數的模態都會被觸發。

更深入的實驗，關於不同的電容數值在不同的位置，顯示出某一特定之共振點可能會移到另一個頻率(當電容加入或是從板子上移走時)，但是共振峰值大致的形狀以及阻抗皆不會有太大變更。此顯示出整個頻率範圍都是在共振狀況。也就是說，因為共振的頻率會隨著電容位置以及數值之變化而移動，必須假設所有的頻率都是共振頻率，總體的  $S_{21}$  轉換作用之包封線因而降低。這些之共振狀況是很重要的，需要用全波電磁分析來選擇 PC 板的實體大小。這些共振之變化使得在高頻之 SPICE 去耦合電路分析變的沒有什麼效果。



### 第三項 分佈(distributed)去耦合電容的數量(.01 $\mu$ F)

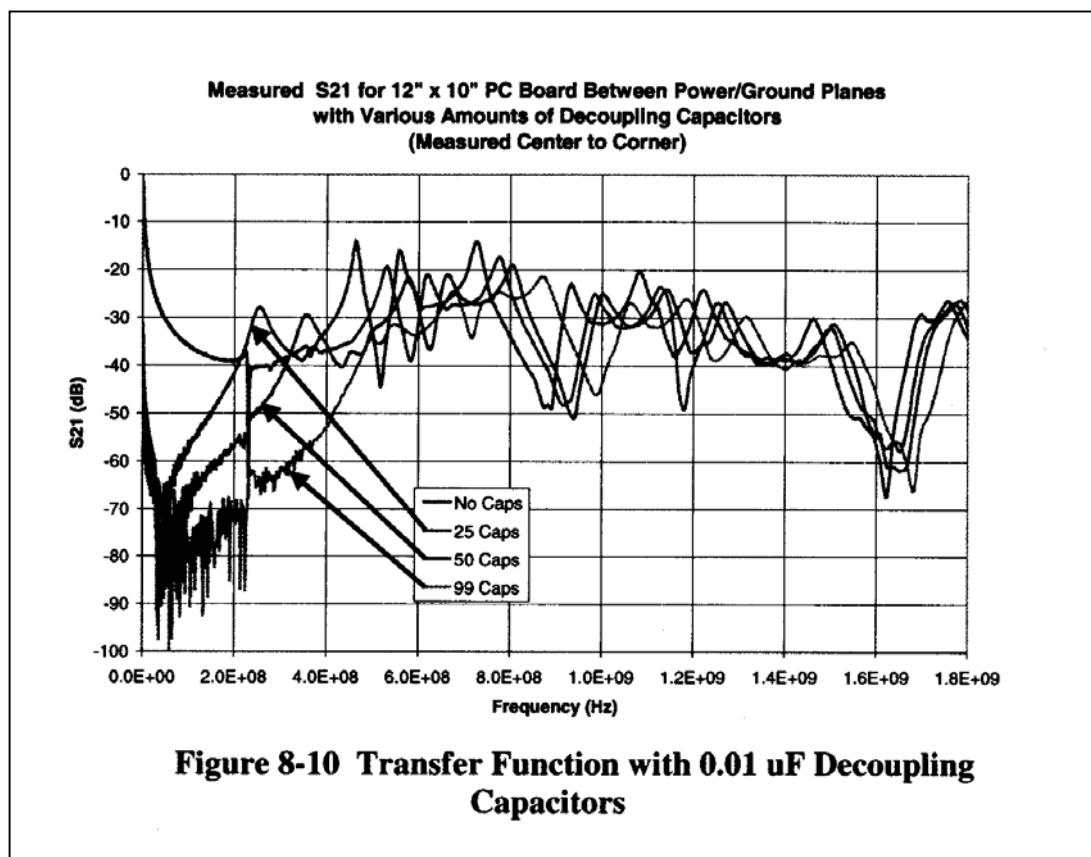
當去耦合電容平均的分配在整塊電路板上時，稱之為分佈(distributed)或總體(global)去耦合電容。它們並不是對某一特定 IC 提供去耦合，而是對整塊電路板提供去耦合。此一去耦合電容的數目以及其放置的密度，對於讓 PC 板維持在低的轉換作用是很重要的。

對於以下之例子，使用的所有之電容為 SMT 型式之 0.01 $\mu$ F。(在此研究中分別選擇不同之電容值來做比較)(在此研究中都是使用 0805 大小的電容)。為了要了解不同電容密度之效應，將 10"x12"大小之電路板分別置入 25、50、以及 99 個電容。在每一個案例中電容都是平均的分佈在板子上。對於板子上之不同的源頭及觀察點位置，其結果在高頻段是一致的。雖然說個別的共振頻率可能會有些移動，但  $S_{21}$  轉換作用之包封線並不受位置的影響。

如圖 8-10 可見，增加電容器可以在低頻率段(200-400MHz 以下)降低  $S_{21}$  轉換作

用。在較高之頻段，增加更多的電容器只能獲得  $S_{21}$  轉換作用之整體包封線之小幅降低(忽略共振頻率之移動)。

最大加到 99 個分佈電容，達到在 PC 板上每一平方吋都有一個電容器。這比在一般實際之產品上所可能做到的密度還要高。即使用了這麼高密度的電容，去耦合之轉換作用只在 400-600MHz 以下頻率有所改善。此一頻率之限制是因為存在於電容配置內之貫穿孔、佈線、焊墊等等之連接電感所致。



#### 第四項 分佈(distributed)去耦合電容的數量(.01 $\mu$ F 及 330pF)

要突破高頻表現之限制，很明顯的就是要使用在高頻時具有低電感之電容器。使用所謂的『高頻』電容器以及『一般』電容器之組合，可以調整去耦合電容在一較寬頻率範圍之表現。若使用 SPICE 電路型態分析，忽略掉 PC 板之全波 3D 特性，很明顯的可看出高頻電容器，可以在寬的頻率範圍中，提供較低的阻抗(也就是較低的轉換作用)。在 SPICE 模擬中，未考量到的因素如 PC 板的全波 3D 特性以及加上這些電容所增加的電感，導致其所調整之電容值不能達到原先預期的效果。

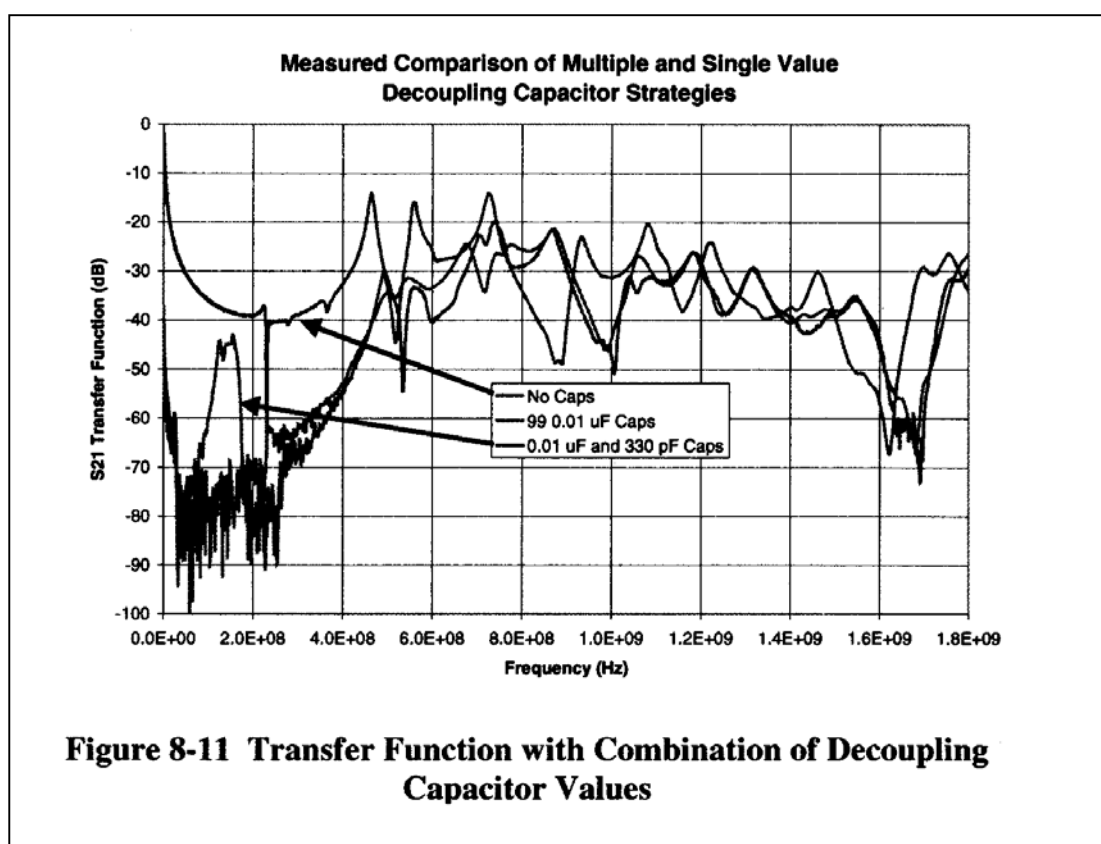
要解決此一限制，先前使用之 0.01 $\mu$ F 電容器現在與 330pF 電容器合起來使用，以改善  $S_{21}$  之高頻特性。在此實驗中，PC 板上交錯的安置 0.01 $\mu$ F 以及 330pF 之電容器。

圖 8-11 顯示其結果，在約 75MHz 以下， $S_{21}$  之表現與只使用 0.01 $\mu$ F 電容器時一樣。由於交互共振之故(一個電容器之電容與另一個電容器之電感以及在它們之

間平面之電感，產生共振。cross resonances)，在 75MHz-200MHz 之頻段  $S_{21}$  轉換作用明顯的變差。加上此一不同數值之電容器，並沒有對去耦合特性 1 在高頻率段獲得較明顯的改善。事實上，在一般雜訊存在之頻率(50-200MHz)，其整體之去耦合特性還反而變差。

使用不同的電容值來重複此一實驗。在第二個例子中，測試板裝上 99 個  $0.01\mu\text{F}$  以及將  $22\text{pF}$  之電容器直接並聯在  $0.01\mu\text{F}$  電容器之上頭。此種安裝之方式在真實產品中並不實際，此方式可以降低  $22\text{pF}$  電容器之安裝導致之額外電感。

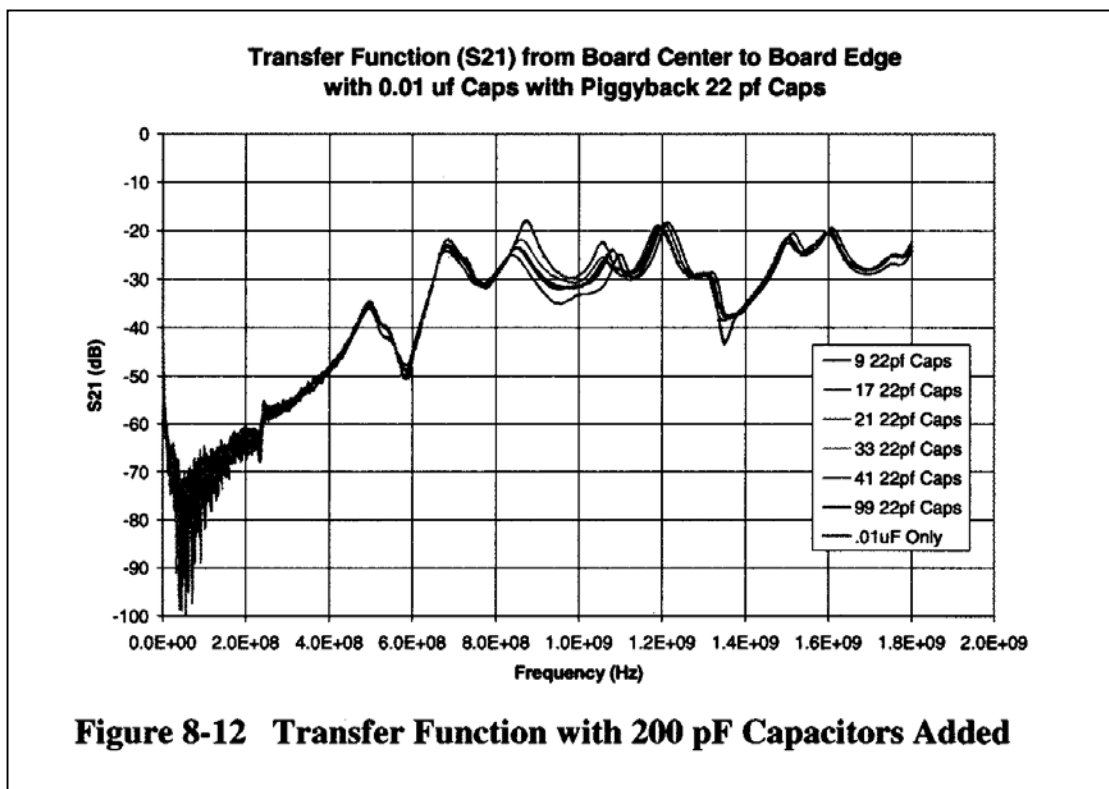
圖 8-12 顯示其轉換作用，針對不同數量之  $22\text{pF}$  電容器所得到的結果。其對轉換作用之影響很小，顯示出並沒有什麼改善。將此一結論以及前面例子之結果，所稱之『高頻』去耦合電容，並沒有什麼改善，反而在有些案例中其去耦合特性還更差。分佈去耦合電容之數值應該要一樣的，以避免產生不必要的共振。



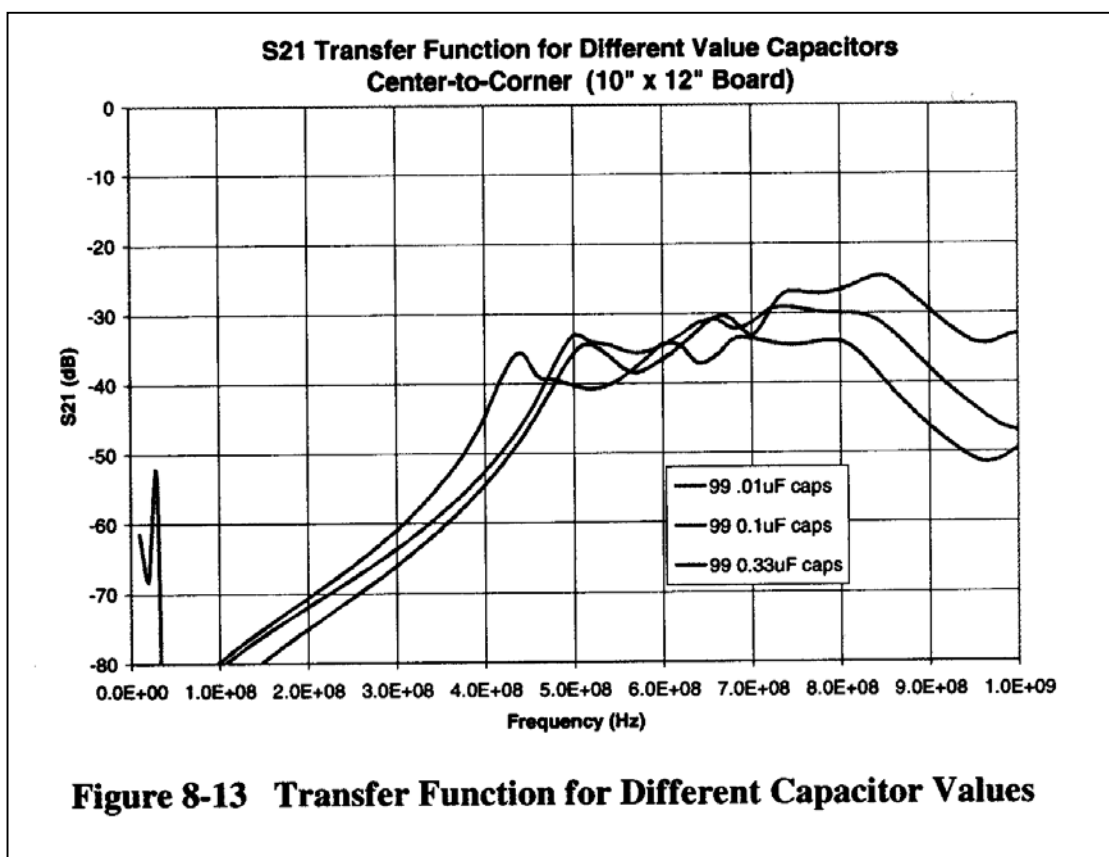
#### 第五項 選擇去耦合電容的數值

去耦合電容之實際數值也是另一個令人困惑的題目。圖 8-13 中顯示出在同樣的測試板使用  $0.01\mu\text{F}$ 、 $0.1\mu\text{F}$ 、及  $0.33\mu\text{F}$  之 SMT 0805 分佈電容所得到之結果。對於這些所選用之電容值，轉換作用之高頻特性並未有明顯的影響。再次強調的是，在高頻時電容器之阻抗基本上已經被此電容器之電感以及加上它所造成之電感所主導。最好的方式就是要使用 SMT 型式之電容器(減少引線電感)，並且使用在該包裝大小最大可用之電容值。





**Figure 8-12 Transfer Function with 200 pF Capacitors Added**

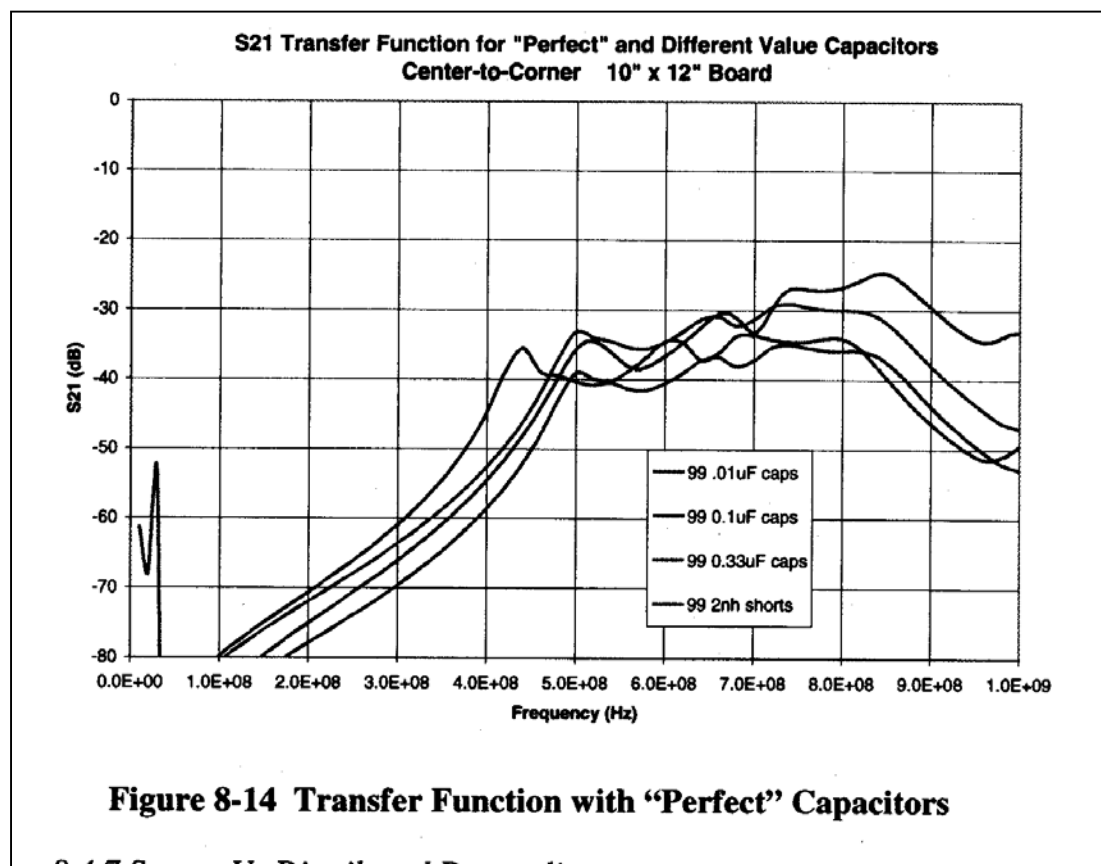


**Figure 8-13 Transfer Function for Different Capacitor Values**

第六項 理想的去耦合電容

理想的去耦合電容可以用一在兩個相鄰平行平面間之貫穿孔來模擬。當兩個平面為不同 DC 電壓時這樣是不實際的，只能使用在兩個相同 DC 電壓準位的平面(例如兩個接地平面)，此為對去耦合電容特性之一合理限制。

圖 8-14 顯示對不同之分佈電容大小之轉換作用特性，及當只有一個貫穿孔時之結果。再次強調，貫穿孔的本質電感限制了在高頻時之轉換作用。很明顯的，電容器大約是在其特性的極限且其轉換作用無法再降低了。對『理想』電容器的分析顯示出，在高頻時電容器的數值並不重要。如同前一節的敘述，對於分佈電容器之選用，針對低頻時選擇越大的電容器越好(對一定之包裝尺寸)。



#### 第七項 源頭相對於分佈去耦合

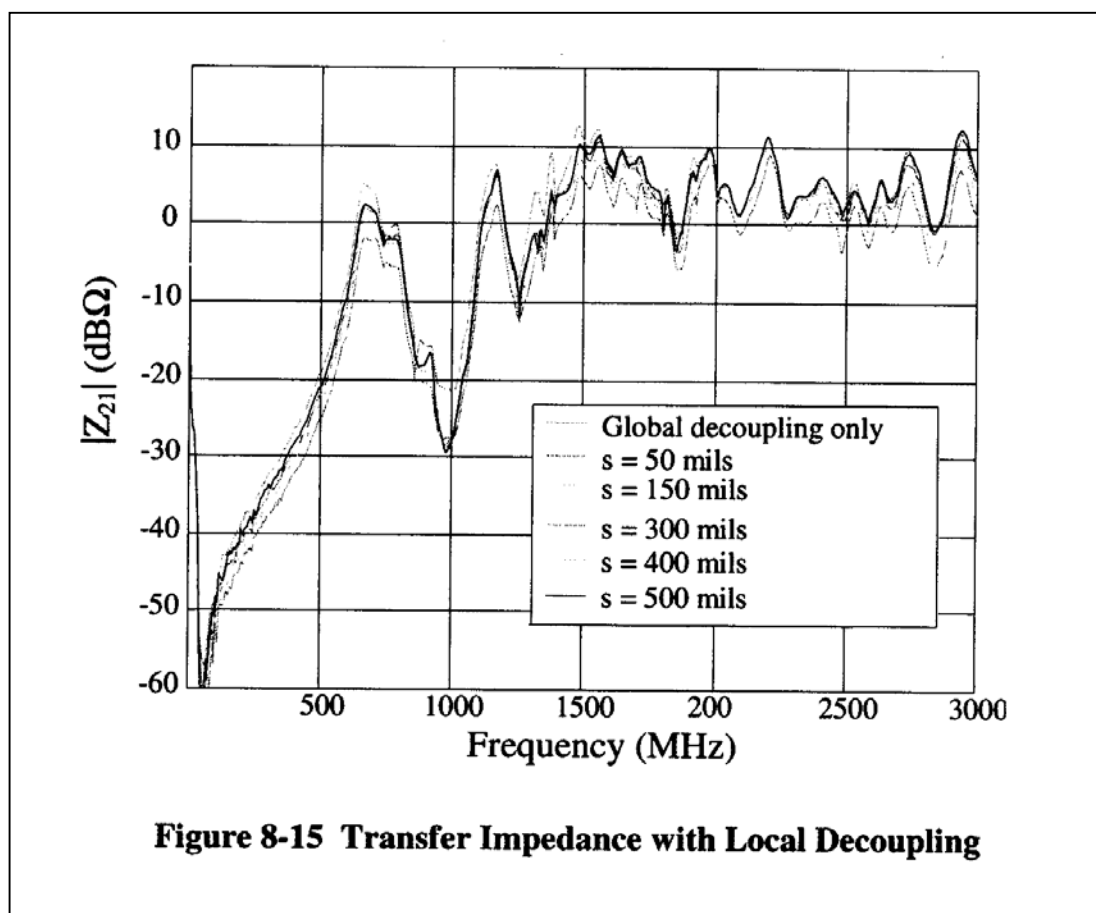
如前面提過，在 EMC 以及設計工程師之間一個常有的爭論就是，去耦合電容要放在靠近雜訊的『源頭』(也就是，靠近 IC 的電源/接地接腳)，或是只需將它們在整個板上平均分佈。若我們考慮到此電容器的目的，就可以很容易的回答此一問題。首先，當 IC 裝置內部從高阻抗狀態變化到低阻抗狀態時，電容器必須要很快速的將電荷交到 IC/ASIC 的電源腳上。爲了要降低環路電感，電容器必須要盡可能的靠近電源接腳。去耦合電容的第二個目的是，讓電源以及接地平面間之雜訊盡可能的低，特別是沿著板子邊緣的部分。

轉換作用(transfer function)，或是轉換阻抗(transfer impedance)，可以用來觀察加上區域去耦合電容的效果。在一個 6"x9"的 PC 板上，每吋間隔裝置有分佈電容器。圖 8-15 及顯示出其轉換阻抗之效應，當只有裝上分佈去耦合電容時，以及當將區域去耦合電容裝置在距離源頭不同位置時之狀況。當將區域去耦合電容裝在距離源頭僅僅 50 mils 處時，對轉換阻抗只有約 5 dB 之改善。而當將區域去耦合電容移到具源頭 300 mils 時，其改善則只有 1-2 dB。在多數之應用中，要在所有的 IC/ASIC 之電源接腳之 50mils 以內放置去耦合電容是很不切實際的。把區

域去耦合電容放在稍遠處，對降低 EMI 雜訊之效果是很小的，但是針對電荷配送之需求，還是應該要放置電容在靠近電源接腳附近。

這與我們對於高頻轉換作用特性的起因之理解是一致的。由於很接近的平行平面之 3D 空間自然共振主導了轉換作用之高頻特性。

用以下的比擬之方式，可以協助我們了解去耦合電容如何在共振環境下工作。想像有一個金屬屏蔽室。在此房間中之某位置有一個垂直方向的耦極天線，將高頻正玄波信號輸入到天線上。假設我們選用的這個頻率是落在此屏蔽室之共振頻率，則就有駐波的生成，在某一位置電場最大，在某一位置電場最小。接下來我們在靠近源頭天線處，放置一塊直立金屬板由屋頂到地面。此時觀察房間內之電場，我們可見到某些最大場強的位置有些變化，但是場的強度不會有明顯的降低。



接下來，我們在此房間內多加一些直立金屬板。再次，我們改變了此一房間內的邊界條件，場的分配有些變化。如果這些直立板的間隔距離夠近，駐波就沒有辦法完全的展開，而最大的電場就會比先前看到的要低些。

此種比擬之方式可以協助來了解，為什麼將去耦合電容放在靠近 IC 電源腳處無法大量的影響去耦合轉換作用。然而，這並不是指說將去耦合電容放在 IC 電源接腳旁邊是沒有用的。要記住，將去耦合電容放在 IC 的電源接腳旁是為了要快速的分配電荷，是因為功能上的考量，而且是很重要的。

對於 EMC 設計之考量，分佈去耦合電容的方式是最好的，但是就信號整體性來看，仍然需要將去耦合電容放在靠近高速 IC 之電源接腳處，以做到最低串聯電

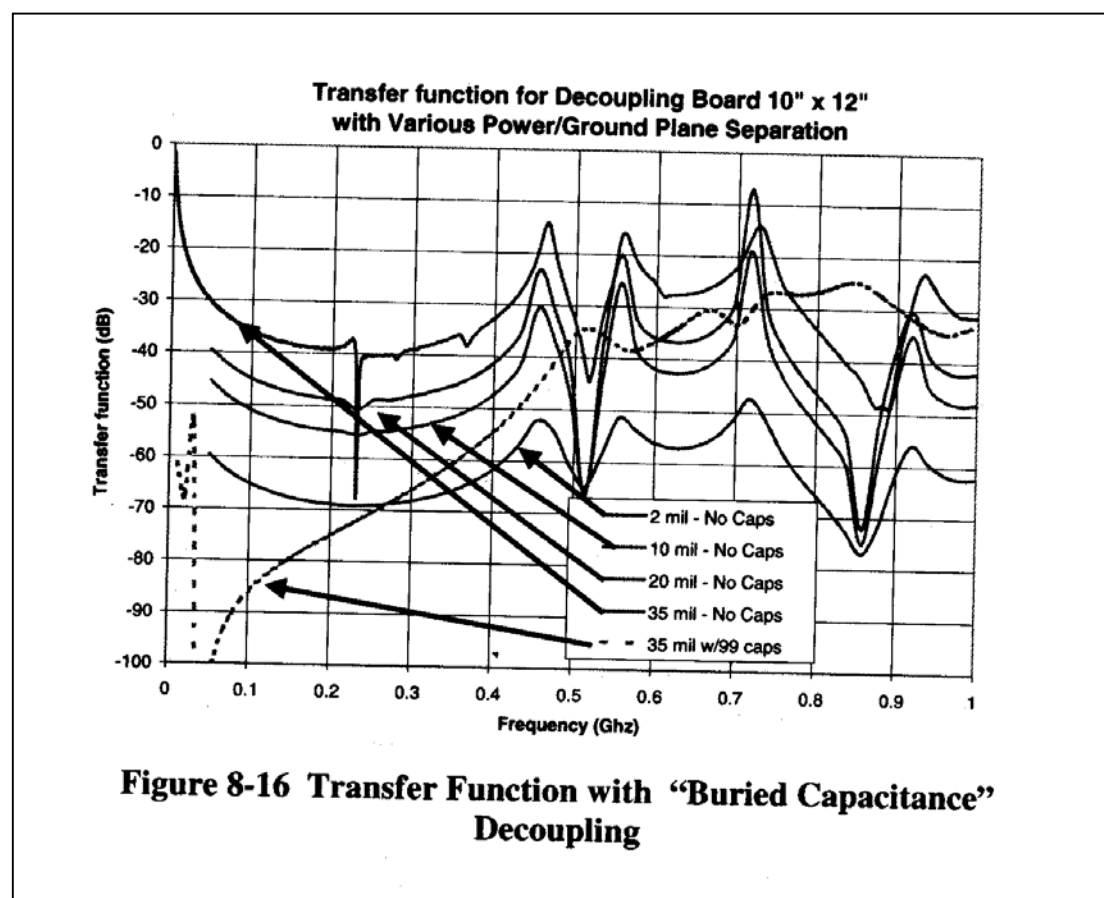
感之電流供應。將兩種去耦合之方式組合使用，可以同時符合 EMC 以及信號完整性之需求。

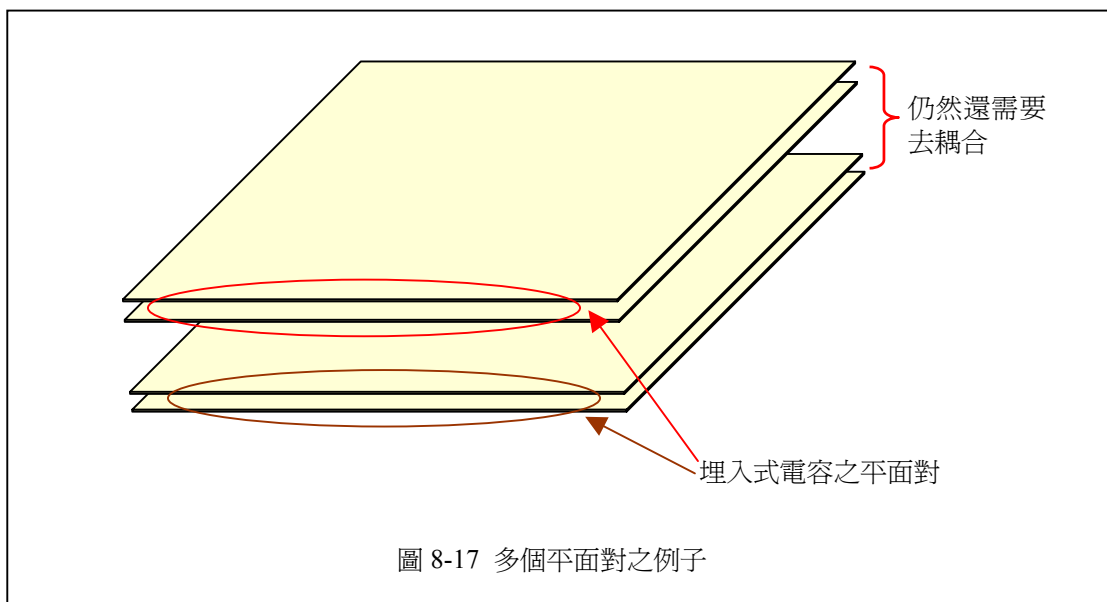
#### 第八項 埋入電容之去耦合

所稱的『埋入式電容(buried capacitance)』是將兩塊平行板放的非常靠近，因此使其本質電容增大。在一些例子中，將兩平面間之介質材料選擇較大之介電常數(dielectric constant)，可以再增加此兩平面間之本質電容量。

圖 8-16 顯示一個 10"x12"板子，同樣之介質(FR4)，改變不同之平面間距，對於轉換作用之影響。當平面間距由 35mils 縮小到 2mils 時，轉換作用大幅度的降低。將 35mils 間距之情況與使用 99 個 0.01 $\mu$ F 之 SMT 電容之狀況做對比，發現對於高頻其轉換作用會降低，但低頻並不會。此為我們所觀察到的第一件可以將高頻轉換作用降低的情況。組合使用傳統的去耦合電容，以及降低平面之間距，可以降低整體之轉換作用，可以減少所需要使用之去耦合電容數目。

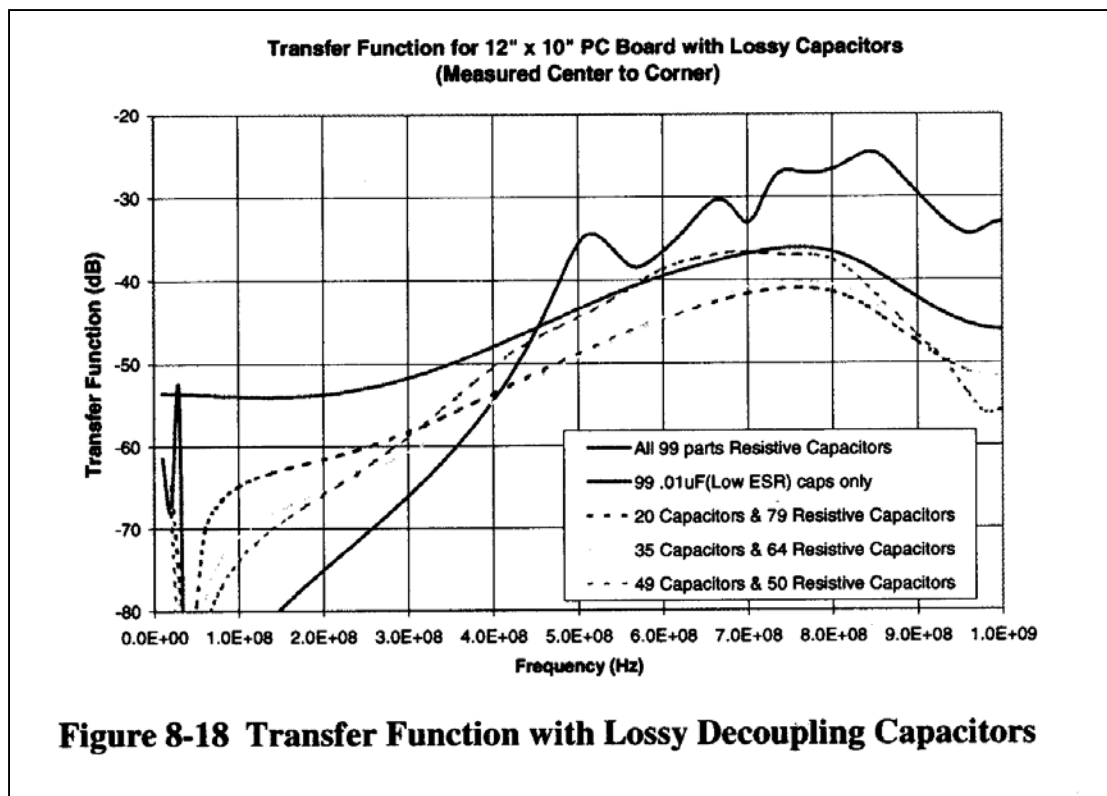
要注意的一點是，距離很靠近的兩平面其只能對該兩平面提供去耦合。在 PC 板之架構中，當使用兩個很近的平面時，其應該還有其他的一些不同平面層。會改善轉換作用的只有那些很靠近的平面層。而因為平面間之雜訊也可能會從高速信號貫穿孔轉移，不同對之平面間也仍然需要傳統的去耦合電容。圖 8-17 顯示此一觀念。





### 第九項 有損耗的電容器(Lossy Capacitors)

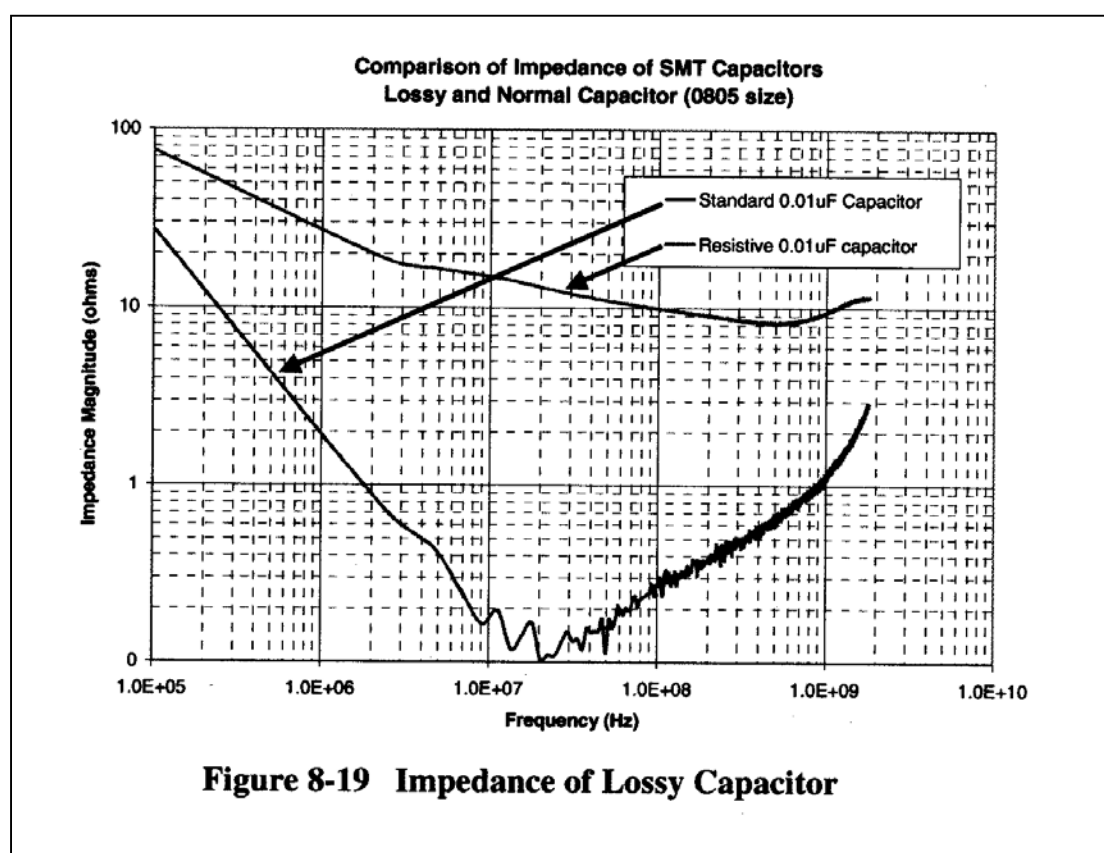
通常我們都認為說去耦合電容應該要有低的等效串聯電阻(ESR)。在高頻時，一般的電路模擬之結果與實際測量之結果並不一致，在高頻時電路板的實體共振是為主導。因此必須要加上一些損耗以減少此一共振之 Q 值。使用高 ESR 電容器(將同樣的  $0.1\mu\text{F}$  SMT 電容器串聯  $6-10\Omega$  電阻)之實驗顯示說，有損耗的電容器在高頻時有顯著的效果。圖 8-18 顯示出這些量測的結果。圖 8-19 顯示出量測 SMT 部分的阻抗圖形，針對典型之低 ESR 電容器以及有損耗的電容器。轉換作用最佳的狀況發生在，當使用 65% 的有損耗電容器以及 35% 的一般低 ESR 電容器時。以此種之有損耗電容器與一般低 ESR 電容器之組合，在對低頻特性沒有顯著的



損耗情況之下，高頻之轉換作用可以降低達 20dB。

注意到在圖 8-18 中顯示，當只使用有損耗電容器時會嚴重降低轉換作用在低頻時之特性。兩種電容器之組合才可以提供最佳之特性。低 ESR 電容器只是在低頻時才有低阻抗，到高頻時其 SMT 部分之本質電感及連接電感會變成主導。在『低 ESR 電容器』不再有效的頻率，此一『有損耗電容器』之損耗減低了共振的效應。

很重要的一點是，要記住去耦合電容器不僅僅是為了一個目的。我們的焦點是在降低 EMI 雜訊，以及對 IC 以及 ASIC 提供快速的充電電荷。為了要快速的提供電荷，去耦合電容必須要具備低 ESR 以確保有著很低的 RC 時間常數。當使用有損耗電容器時，要將低 ESR 電容器放置在靠近 IC/ASIC 處，而將有損耗電容器放在較遠之分佈去耦合電容。



去耦合電容的另一個重要目的，是要當高速佈線在貫穿孔處變換參考平面時，提供一個低阻抗的迴返電流路徑。此一主題在第七章中有討論過。因為此電容必須要對迴返電流提供低阻抗路徑，所以不可使用『有損耗電容器』。

使用有損耗電容器，針對整體去耦合策略上，可以在高頻段的到顯著的效果，也不需要特別的電路板設計(對比於在平面間使用分佈電容器)，但是在使用上還是要很小心。不考慮到雜訊的起源，僅僅將電容器隨便的分配在整塊電路板上，可能會造成問題。必須要想到這個電容器的目的在哪裡，而在每個位置使用適當的元件。

## 第五節 結論

去耦合策略設計是很重要且複雜的。本章已顯示要如何對於不同裝置預測其去耦合雜訊之程度。應用  $C_{pd}$  以及 I/O 電流可以對 clock 緩衝器之雜訊大小做到很好的推測。即使說 IC 製造廠無法提供  $C_{pd}$  參數，僅僅使用 I/O 電流也可以做到合理的預估。對於有多輸出端之驅動器或是 I/O 電流占主要部分之狀況(如 DDR RAM 記憶體)，更是準確。

同時討論到的也有去耦合電容之位置、數值，以及加上所謂的『高頻』電容器之效應。固定數值之分佈(整體)電容器看來是很有效的，也可以避免不預期之共振。一般說來，一但選定了 SMT 電容器的尺寸大小，就應該使用在該大小可用的最大電容量。不同電容量之搭配並不會降低高頻共振效果，在某些狀況下還會減低在中頻段之去耦合效果。

如果應用得宜，其他的去耦合策略也會有效。所謂的『埋入式』電容器，當兩平面較一般還靠近時，或是其平面間介質之介電常數增加時，確實可以增加分佈電容量。此方式是有效的，但是只對於該兩平面有效，在多層電路板中，對於其他『平面對』還是需要使用傳統電容器。

藉由增加耗損，『有損耗電容器』可以在高頻時減低共振效應。這對於降低電源與接地參考平面間之雜訊很有效，但是『有損耗電容器』必須要很小心地使用。『有損耗電容器』與『一般低 ESR 電容器』之組合可以達到最佳特性。放在 IC 旁邊以及高速信號貫穿孔旁邊之電容器，要確定是使用低 ESR 之電容器。

## 第九章 EMC 濾波器設計

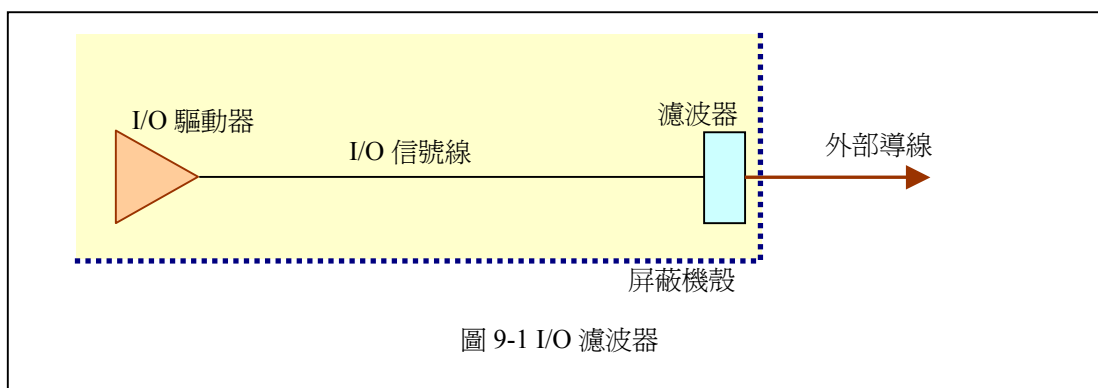
### 第一節 介紹

傳統的濾波器設計是很複雜的。必須要考慮到，譬如說，可接受之『最大通帶漣波 maximum pass band ripple』、『滾動 roll off』之需求、以及在『截止頻帶 stop band』之最小損失、等等。有許多具備有『線性相位 linear phase』、『快速滾動』等等之標準型式濾波器。一旦選擇要使用哪一標準型式之濾波器後，必須要考慮到該濾波器之可實用性，然後我們可以開始對此濾波器之各元件指定數值。這些傳統濾波在很多應用上都會需要，例如無線電接收機，這些比應用在 EMC 上之需求還要複雜很多。

實際上，濾波器只是一個電壓或是電流之區分器。考慮濾波器之阻抗，其源組抗，以及其負載阻抗，應用簡單的『Kirchoff 定律』，就可以快速的設計出濾波器，並且可以符合大多數 EMC 之需求。不需要像傳統濾波器那樣複雜。

### 第二節 濾波器設計概念

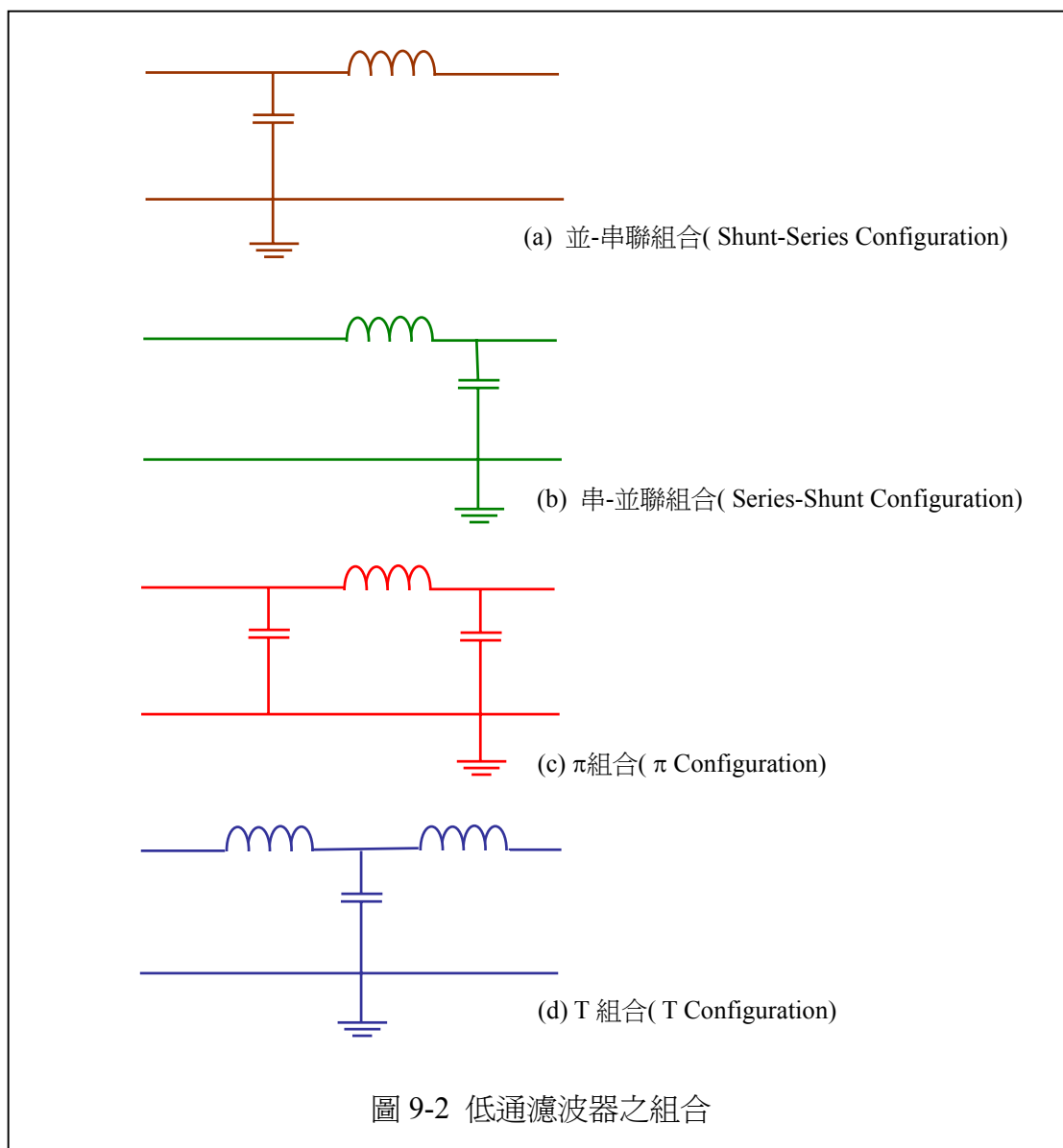
最普通的 EMC 濾波器就是用來阻止不必要之信號離開屏蔽機箱，而導致外部導線之輻射。圖 9-1 顯示一簡單之案例，I/O 驅動器與 I/O 連接器有一段距離，使用一個濾波器阻止不必要之信號傳到導線上。此信號可能來源有很多種可能性，包括主要信號佈線之串音耦合、I/O 驅動器雜訊、或是由其他之一般 EMI 耦合路徑跑到 I/O 路徑上。爲了要盡量減小在濾波器與 I/O 連接器間之高頻拾取，濾波器應該要儘可能的靠近 I/O 連接器，在 1cm 以內。若是距離太長，很容易讓高頻雜訊跳過濾波器，或是再耦合到濾波器與 I/O 連接器之間。



很多 I/O 信號相對上還是低頻的，如 1MHz 以下。有些 I/O 信號含有較高之頻率，但是一般這些信號會使用屏蔽線(Shielded cable)，而且會比一般低速 I/O 信號之非屏蔽線(unshielded cable)要小心處理。不論意圖 I/O 信號之頻率爲何，最佳之設計需要考慮到，正常操作上需要哪些頻率諧波，此濾波器之設計要讓這些頻率通過，並且要阻擋其他之信號。此類應用之 EMC 濾波器通常是低通濾波器(low-pass filter)。圖 9-2 顯示四種常見之低通濾波器之設置。

在我們分析這些濾波器組態之效果之前，必須要考慮到在 I/O 連接器端之負載阻抗。要分析確切的阻抗是很困難的，因爲在 EMC 輻射測試時，外部導線必須要移動到每一可能之位置，以使所有之可能頻率量測到最大值。移動外部導線就會改變在不同頻率之阻抗值，使得阻抗不可預測。一般可接受的說法是，對於整個頻率範圍，最差狀況之阻抗(外部導線”天線”之輻射阻抗)是 100Ω。





對於簡單之濾波器設計，我們希望要避免不必要的信號到達外部之  $100\Omega$  輻射阻抗。此意味著，針對我們所感興趣的頻率範圍，必須要選擇阻抗大於  $100\Omega$  的串聯濾波元件，以及小於  $100\Omega$  阻抗的並聯濾波元件。

例如，假設意圖之 I/O 信號為  $100\text{kHz}$ ，我們希望要濾除  $30\text{-}100\text{MHz}$  之信號。意圖之 I/O 信號可以包含到第 7-9 個諧波，所以通帶(pass-band)之設計可以到約  $1\text{MHz}$  (在此頻率以下之信號不會被衰減)。一典型的準則是，對於外部導線之輻射電阻以及濾波元件間之比率為 100。也就是說，在  $30\text{MHz}$ ，串聯元件至少要有  $10\text{k}\Omega$ ，而並聯元件之阻抗要低於  $1\Omega$ 。對於低通濾波器，並聯元件應該式電容器，而串聯元件應該是一個電感器或是 ferrite bead。(較常使用 ferrite bead，因為其有較寬的有效頻率範圍以及衰減量)。用到  $10\text{k}\Omega$  的 ferrite bead 是不切實際的，因此我們可以選用  $1000\Omega$  的 ferrite bead，並且  $1\Omega$  之並聯元件需求也是可以做到的。後面還會探討這些元件的阻抗，以目前來說，我們用方程式(9.1)以及(9.2)來表示電容器以及電感器之一般阻抗。

$$\text{Magnitude } X_c = \frac{1}{2\pi f C} \quad (9.1)$$

$$\text{Magnitude } X_L = 2\pi f L \quad (9.2)$$

此處：

$X_c$ =電容器之阻抗

$C$ =電容量

$f$ =頻率

$X_L$ =電感器之阻抗

$L$ =電感量

### 第三節 濾波器之組態

有一些爭論關於說，哪一種組態之濾波器最好。要作成這個決定，有幾個考慮因素。通常，元件之數目要最少，以及使用最小之電路板面積，以減低成本。因此，最好使用兩個元件之濾波器，甚至是一個元件的濾波器。另一個考慮因素是此一濾波器是要降低輻射干擾(emissions)或是耐受度(susceptibility)。我們先來討論兩元件的濾波器，因為用這個來解釋濾波器之運作原理是最清楚的。

#### 第一項 兩元件的濾波器之組態

圖 9-2a 顯示簡單一個電容器及一個電感器(或是 ferrite bead)組成的濾波器。爲了要分析此一組態之效果，加入一個如圖 9-1 之輻射干擾例子，使用簡單的電流節點分析。

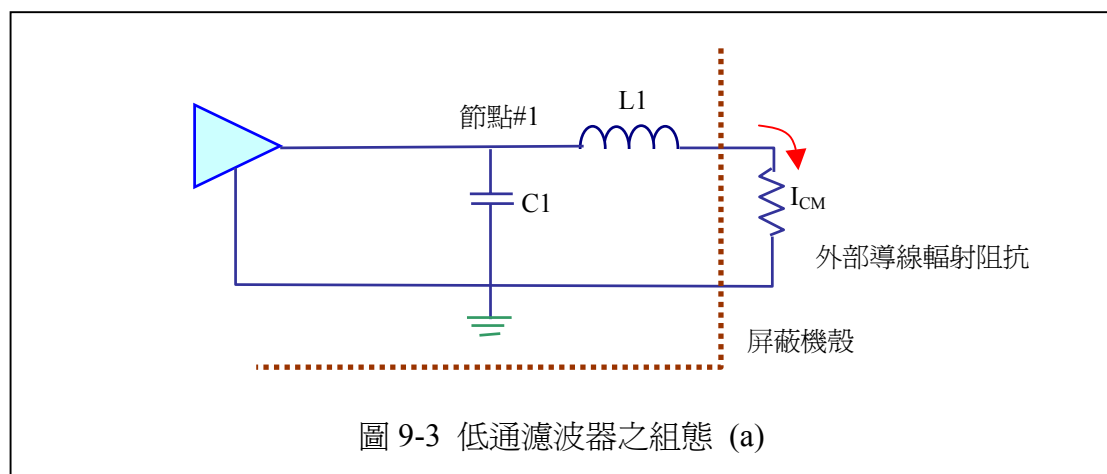


圖 9-3 低通濾波器之組態 (a)

考慮到在佈線上之非意圖電流向著 I/O 連接器流去。圖 9-3 顯示出此一電路之圖形，加上了外部導線之輻射電阻。在節點#1，此電流會看到一個經由電容器回到其源頭之低阻抗迴路，相對於經過電感器/Ferrite 之高阻抗。因此，只有一點點的電流會流經電感器/ferrite，這就是會在導線上造成外部輻射之共模電流。這種就是一個有效的濾波器。

現在考慮到在圖 9-2b 的濾波器組態。圖 9-4 顯示其等效電路。同樣的，考慮到同樣的在佈線上流向 I/O 連接器之非意圖電流。此電流會在電感器/Ferrite 上看到高阻抗，但是一但其到達了節點#1，它會看到『一個橫跨過外部電纜輻射阻抗的電容器』提供了低阻抗。通常我們爲以  $100\Omega$  當作是外部導線輻射阻抗的最差狀

況，但要注意此可能因為導線之擺放位置而為任何之阻抗值。由於此一不確定性，我們無法假設此一電容器相對於外部電纜會是低阻抗。在某些頻率此電容器有用，而在某些頻率此電容器沒有作用。因為我們無法預先得知此外部電纜之輻射阻抗，我們只能假設說，在有非意圖輻射之頻率處，此外部導線之輻射阻抗很低，所以此一電容器沒有作用。因此在此一濾波器上，電感器/ferrite 必須要提供所有之濾波作用，電容器在輻射干擾控制上可能是沒有用處的。

如果說濾波器的設計目的由干擾控制變成是耐受度控制，此時非意圖信號的來源就從內部 I/O 驅動器變成是外部導線了。要考慮的負載變成是 I/O 驅動器代表的負載，該負載在高頻時很低。此一分析就變成回如圖 9-3 的情況了，電容器提供低阻抗而電感器/ferrite 提供了高阻抗。此濾波器在耐受度考量上會是一個有效的濾波器。

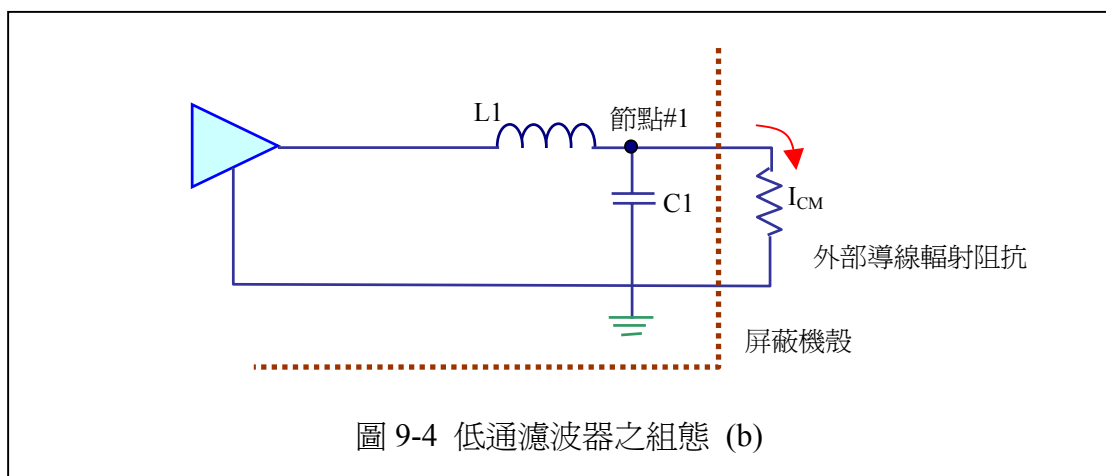


圖 9-4 低通濾波器之組態 (b)

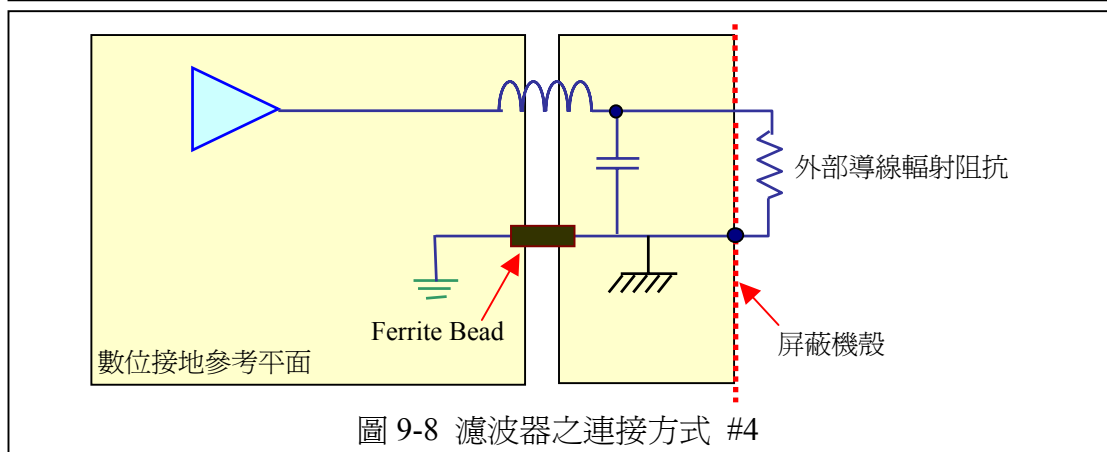
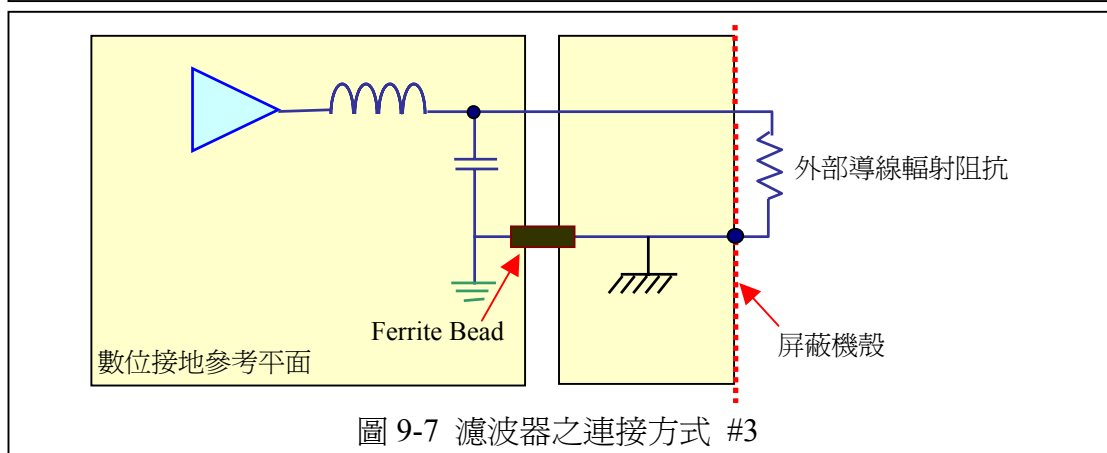
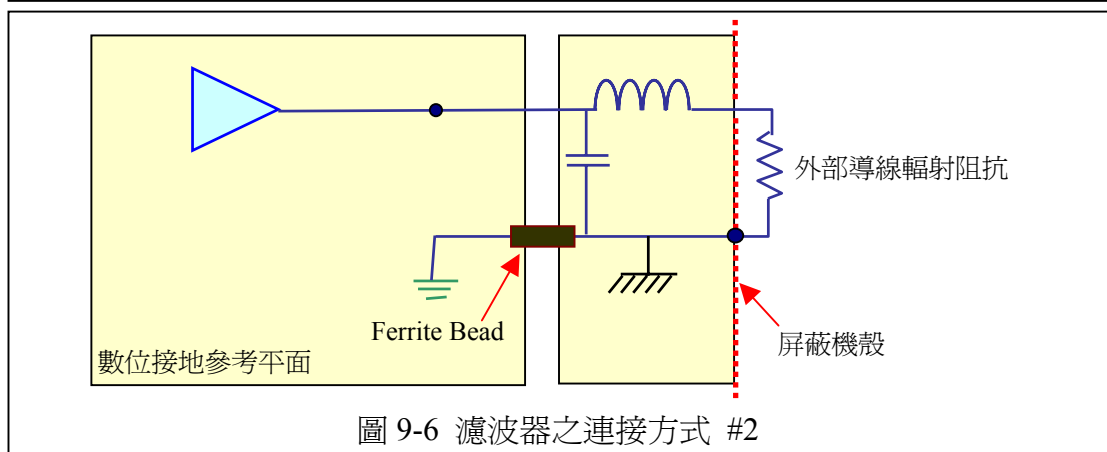
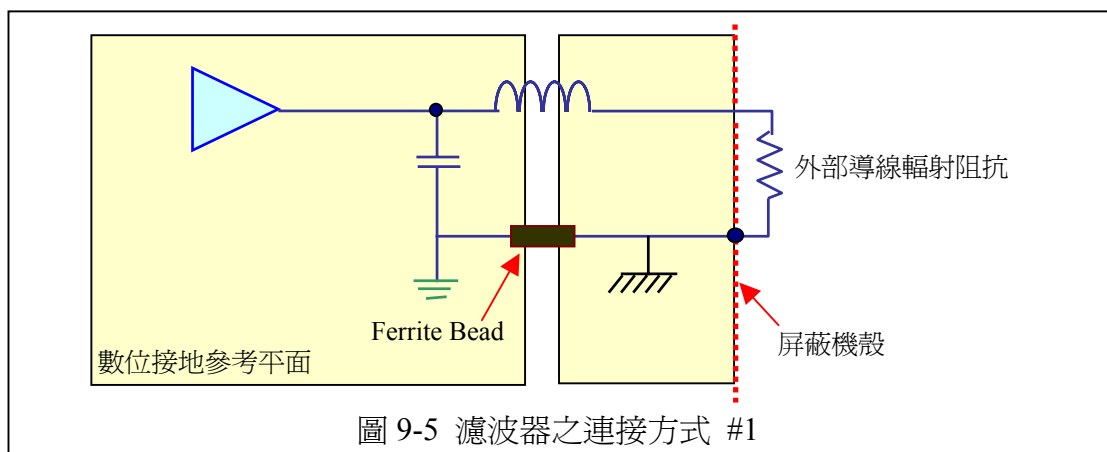
## 第二項 兩元件濾波器之參考連接

在前一節裡，討論到作為最佳低通濾波器時，電容器(並聯元件)以及電感器/ferrite(串聯元件)的位置。在 7-4 節中討論過在接地參考平面上使用一個裂口，用來隔離 I/O 連接器之接地腳，以避免高速佈線回返電流之散播。電容器要連接到裂口哪一邊之接地平面，會對濾波器之特性有決定性的影響。

圖 9-5 到 9-8 顯示了四種可能的連接方式，其兩個接地參考平面以 ferrite bead 連接(以提供低速 I/O 信號之迴返路徑)。圖 9-5 顯示的是並聯電容連接到『數位的 digital』(或是 noisy, 吵雜的)接地參考平面。這是最好的連接方式，因為它可以讓 I/O 線上之高頻信號(這些高頻信號可能是來自 I/O 驅動器之非意圖信號，或是由其他來源耦合到 I/O 線的信號)經由一低阻抗路徑回到其源頭。此電容器與電感器之組態最適於來防止信號跑到機殼之外。

圖 9-6 顯示了同樣的電容器與電感器之組態，只是此時電容器連接到機殼之參考點。此種連接方式會讓高頻雜訊信號通過參考平面間之 ferrite bead。因為 ferrite bead 對於高頻信號具有高阻抗，這不會是一個返回雜訊源頭之低阻抗路徑，因此不會是一個理想的濾波電路組態。這種之連接方式應該要避免。

圖 9-7 顯示的是將電容器與電感器/ferrite bead 倒過來接，電容器連接到數位之參考接地。前節已經解釋了為何此種電容器與電感器/ferrite bead 之組態方式不是一



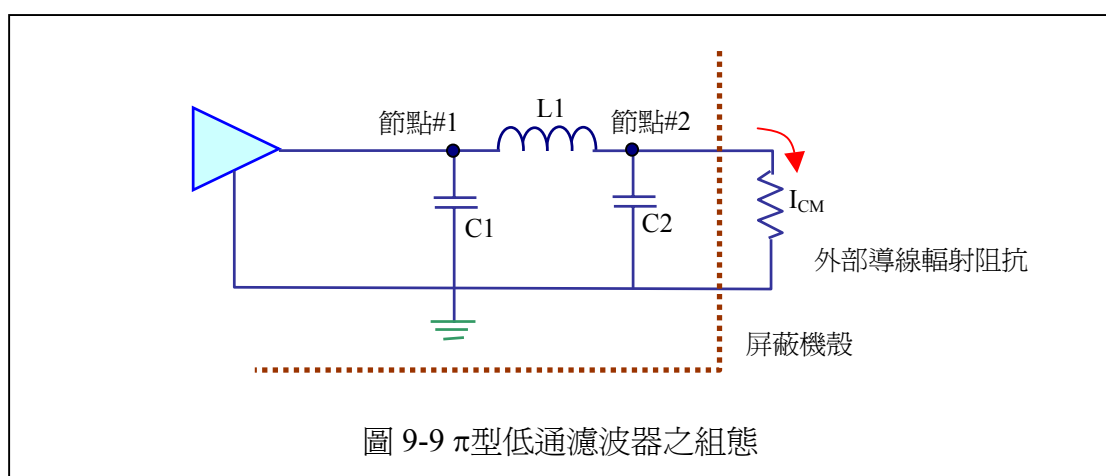
個好的輻射干擾控制設計。對於耐受度而言這也不是一個好的方式。這樣的連接

會讓機殼外部之信號(例如 ESD 脈衝、RF 耐受性信號、EMP 電磁脈衝、等)經由電容器之低阻抗到達數位接地參考。造成系統之耐受性問題。此種之連接方式也應該避免。除了是一個不良的 EMI 濾波器以外，此濾波器還會讓外部之雜訊由機殼經由電容器耦合到資料信號線。這樣的耦合會造成資料錯誤。再次強調，這樣的組態應該避免。

圖 9-8 顯示的是和前面一樣的電容器/電感器組態，只是說現在電容器連接到機殼接地。此電容器仍然無法對想要離開系統之內部雜訊信號提供一低阻抗之迴返電流路徑，因為 ferrite bead 裝置在兩個參考平面之間。然而，對於耐受度之顧慮而言，此電容器提供了一條由 I/O 線到機殼的低阻抗路徑，可以防止外界之信號進入系統。此種連接組態對於耐受度非常有利，但是對於輻射干擾控制並沒有效。將圖 9-5 以及 9-8 之組態合起來使用(做成一個三元件的濾波器)將可對輻射及耐受性都有最佳之特性。

### 第三項 三元件之濾波器組態

可以對圖 9-2c 及圖 9-2d 的 $\pi$ 型以及 T 型濾波器進行同樣的分析。圖 9-9 顯示出 $\pi$ 型濾波器之等效電路。使用電流節點分析，在節點#1 之非意圖輻射電流會看到一個經 C1 的低阻抗路徑，相對於經電感器/ferrite bead 之高阻抗，因此可以有效的阻止其流到外部導線之輻射阻抗。同樣的，由外界來的非意圖信號(耐受性)會看到 C2 的低阻抗路徑，相對於經電感器/ferrite bead 之高阻抗，因此也會有效的阻擋。此意味著 $\pi$ 型濾波器的組態對於輻射干擾以及耐受性都是有效的設計。



類似於前面第二項之型態，電容器的連接方式還是要考慮的。在 $\pi$ 型濾波器的情況下，連接一個電容器到數位接地參考會讓內部產生之高頻雜訊電流回到其源頭(如圖 9-5)。將另一個電容器接至機殼參考會讓外部之耐受性信號返回到機殼，因而不進入機殼內部。此種之連接方式如圖 9-10 所示。此為最佳之組態，應該儘可能的使用。

T 型濾波器之分析也是類似的。圖 9-11 顯示為其等效電路圖。使用類似於前面的電流節點分析，在節點#1 的非意圖干擾電流會看到一個經 C1 的低阻抗路徑，相對於 L2 電感器/ferrite bead 的高阻抗，因此可以有效的阻止其流到外部導線之輻射阻抗。同樣的型式，非意圖之外界信號(耐受性信號)會看到一個經 C1 的低阻抗路徑，相對於 L1 電感器/ferrite bead 的高阻抗，因此也可以有效的阻擋。此意味著 T 型濾波器的組態對於輻射干擾以及耐受性也都是有效的設計。

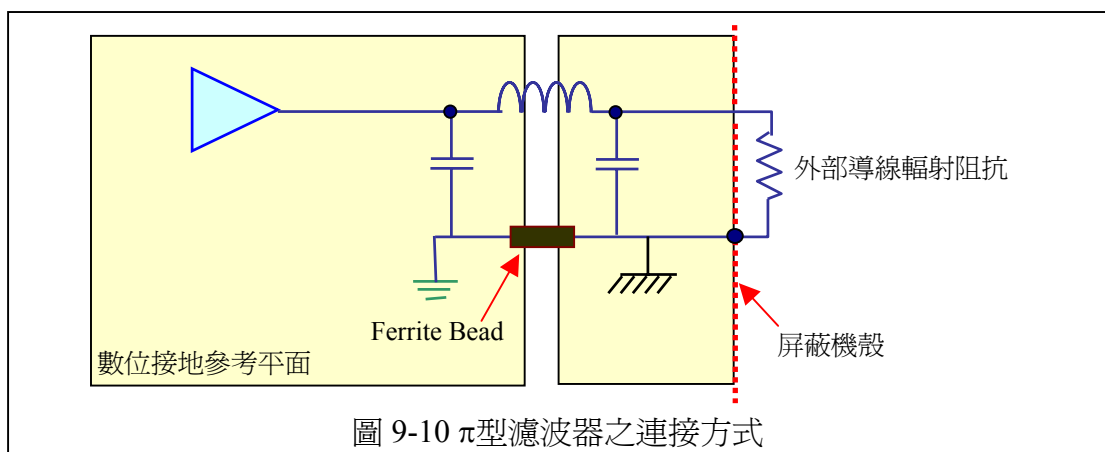
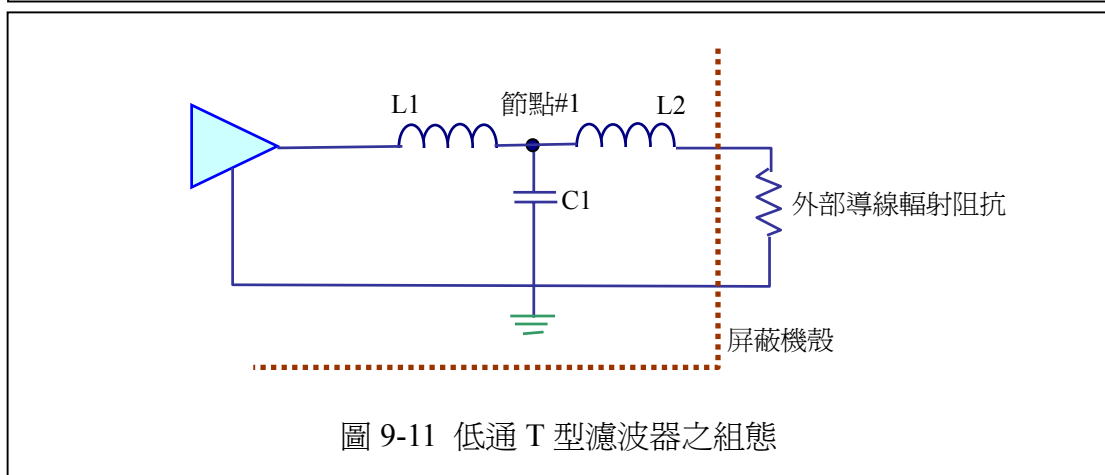
圖 9-10  $\pi$ 型濾波器之連接方式

圖 9-11 低通 T 型濾波器之組態

T 型低通濾波器只使用一個電容器。如果此電容器連接到數位接地參考，則此濾波器就像圖 9-7 一樣，對於輻射不是一個很有效的濾波器。相反的，如果這個電容器接到機殼接地參考，則此濾波器像是圖 9-6 一樣，對於輻射與耐受都不是很有效。如果負載與源頭之阻抗都很低，則此 T 型濾波器所提供之高阻抗才會有效。因為大多數之 EMC 應用中都不會有很低的負載與源頭阻抗，所以 T 型濾波器就不像 $\pi$ 型濾波器那樣適用於 EMC 之用途。

#### 第四項 單一元件之濾波器

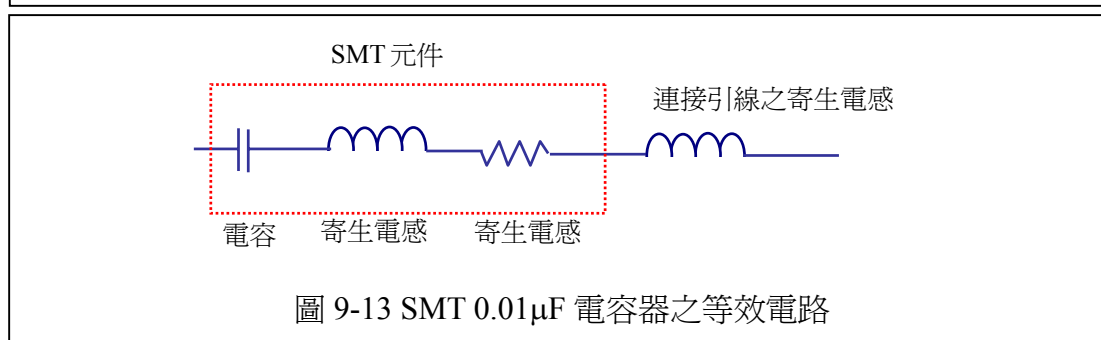
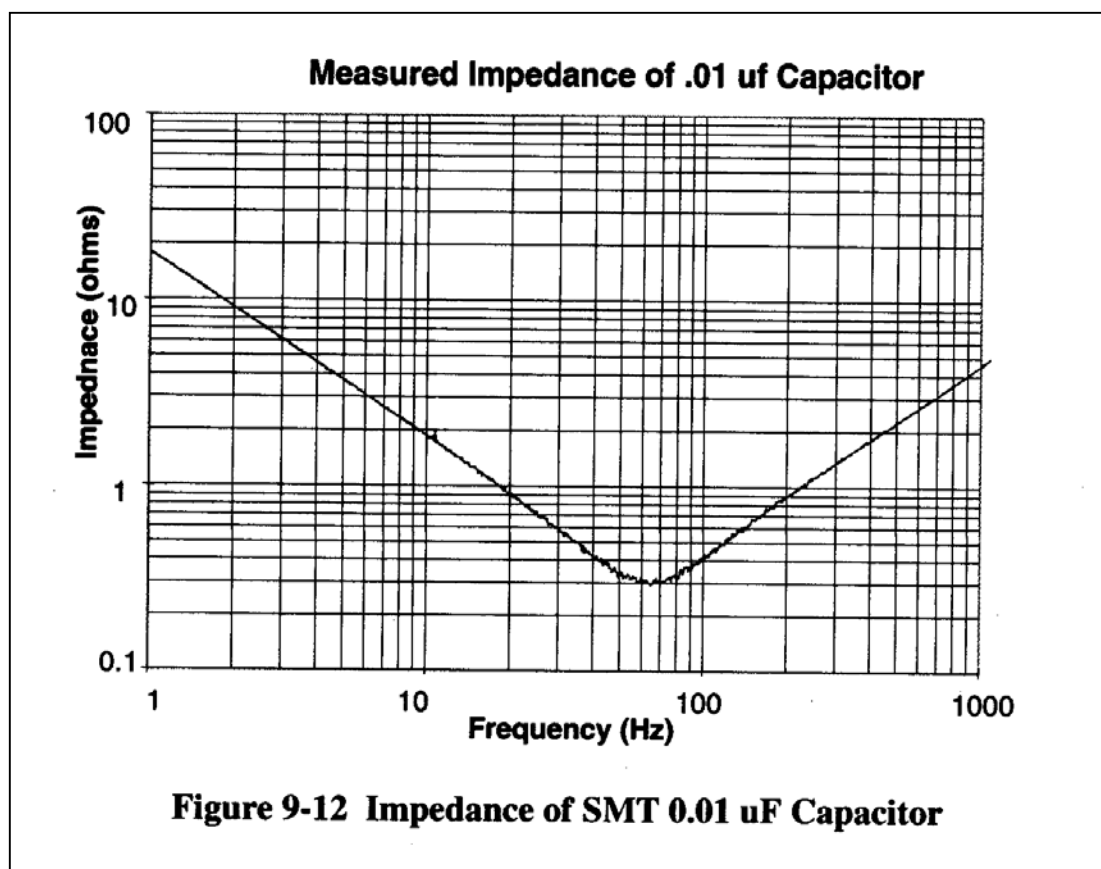
有時因為價格以及電路板可用面積之考量，必須使用單一元件之濾波器。我們以類似的簡單電流節點分析來探討此類單元件濾波器之功效。在圖 9-3 中，我們將電感器/ferrite 移除，則電容器與外部導線的天線輻射阻抗並聯。當外部導線之位置使得其外部阻抗很低時，電容器就沒有辦法將高頻電流並聯而讓它不到外部導線上，此時電容器就不是一個有效的濾波器。然而，若此單元件濾波器是一個電感器/ferrite，則此電流就會面對一個高阻抗因而會被衰減。因此，當濾波器只使用一個元件時，串聯電感/ferrite 比並聯電容要有效果。當把電容器的內部電感以及連接引線電感含括到此一分析時，此一結論就更加明顯。

#### 第四節 非理想元件對濾波器之影響

先前對濾波器之分析我們都是用理想元件來討論。理想元件就是：電容器就只有電容量，電感器就只有電感量。而真實世界中之元件同時都具有電容量與電感量。元件之寄生成分會限制這個元件之有效頻率範圍。

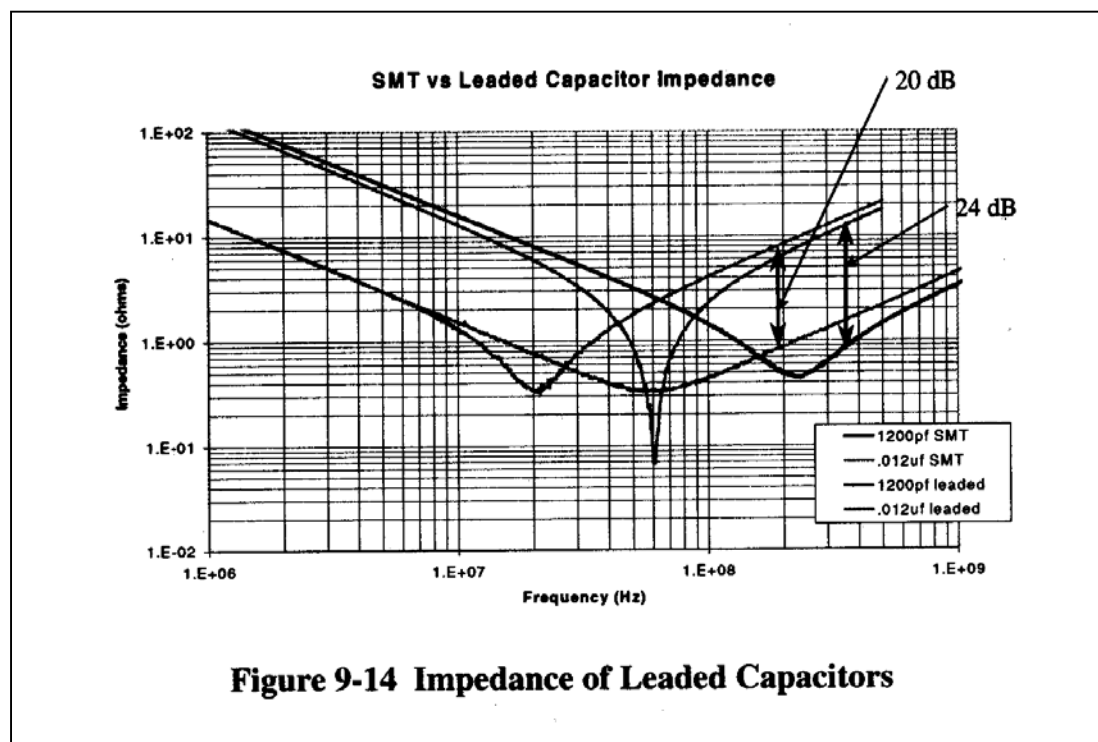
## 第一項 非理想電容器

當使用如(9.1)之簡單理想公式來求得電容器之阻抗時，會低估其真正的阻抗。在高頻時(100MHz 以上)，電容器之寄生元件對於電容器的阻抗有重大的影響。因為電容器包含有兩個或多個以介電值分隔之平行金屬板，金屬平面具會有電感。圖 9-12 顯示了一個 0.01 $\mu$ F 表面粘著(SMT)電容器之阻抗。注意到其阻抗只有在 60MHz 以下才會隨著頻率之增加而降低(如方程式 9.1 所預估之)，該頻率以上其阻抗則隨著頻率之增加而增加。SMT 電容器之寄生電感主宰了此一元件之阻抗，使得使元件不再像是一個電容器了。圖 9-13 顯示一個電容器以及其寄生元件之簡單電路圖。



當元件之金屬越多則其寄生電感量就會較大。例如說，電低速之應用通常使用的是具有引線的電容器。圖 9-14 顯示 SMT 電容器與具有引線之電容器在阻抗上的差異。注意到對於有引線之電容器其諧振頻率很低，而其在高頻之阻抗要比 SMT 型式的要大上 20-24dB。

即使是使用 SMT 電容器，要考慮的仍然還有連接佈線以及貫穿孔的阻抗。每個貫穿孔典型上會增加約 0.75nH 之電感。將 SMT 電容器連接到貫穿孔之佈線長度也是很重要的。僅僅多加 2cm 之佈線長度就會增加很大的電感。很清楚的，若是不儘可能的降低電感，一旦把所有的寄生電感算進去，電容器在高頻時不會很有效。事實上，對於多層 PC 板，要設計並使用一個在數百 MHz 頻率有效的濾波器是極為困難的。



### 第二項 非理想之 Ferrite Beads

Ferrite beads 是一個很廣泛使用並且很有效的濾波器元件。它像是一個電感，因為其阻抗隨頻率而增加(直至其寄生電容變成主導)，並且其通常都具有低 Q-值 (Q-factor)，因此可以提供很寬頻帶的衰減。圖 9-15 以及 9-16 顯示一些典型的 SMT Ferrite beads 的阻抗。Ferrite beads 的規格通常是以其在 100MHz 之阻抗來定義。因為其是隨頻率而變的，以這個方式來定規格時要很小心。例如說，在圖 9-15 有兩個阻抗在 100MHz 為 80Ω 的 beads，但這兩個 beads 在 100MHz 以上頻率的阻抗差別是很大的。

頻率在 100MHz 以上之阻抗並非一直隨頻率增加而增加。圖 9-16 顯示一個 SMT ferrite bead 的高頻阻抗。注意到其阻抗在 100MHz 以下就到達高峰了。

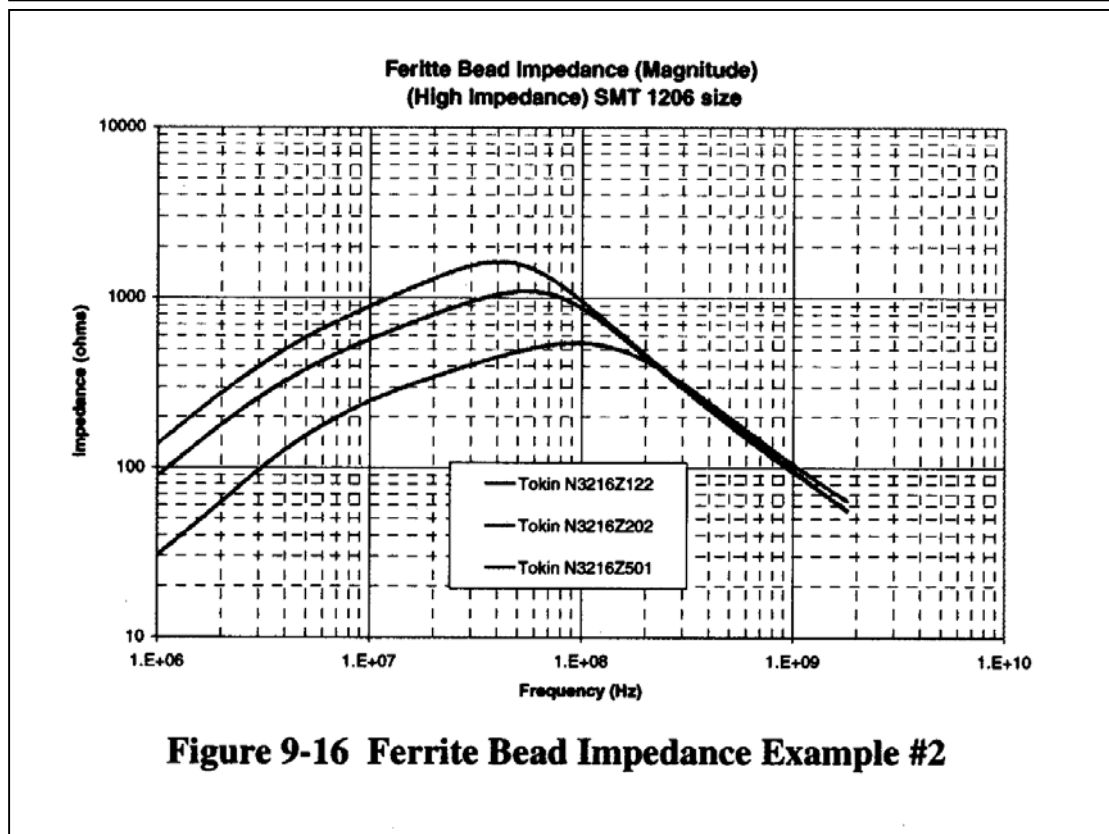
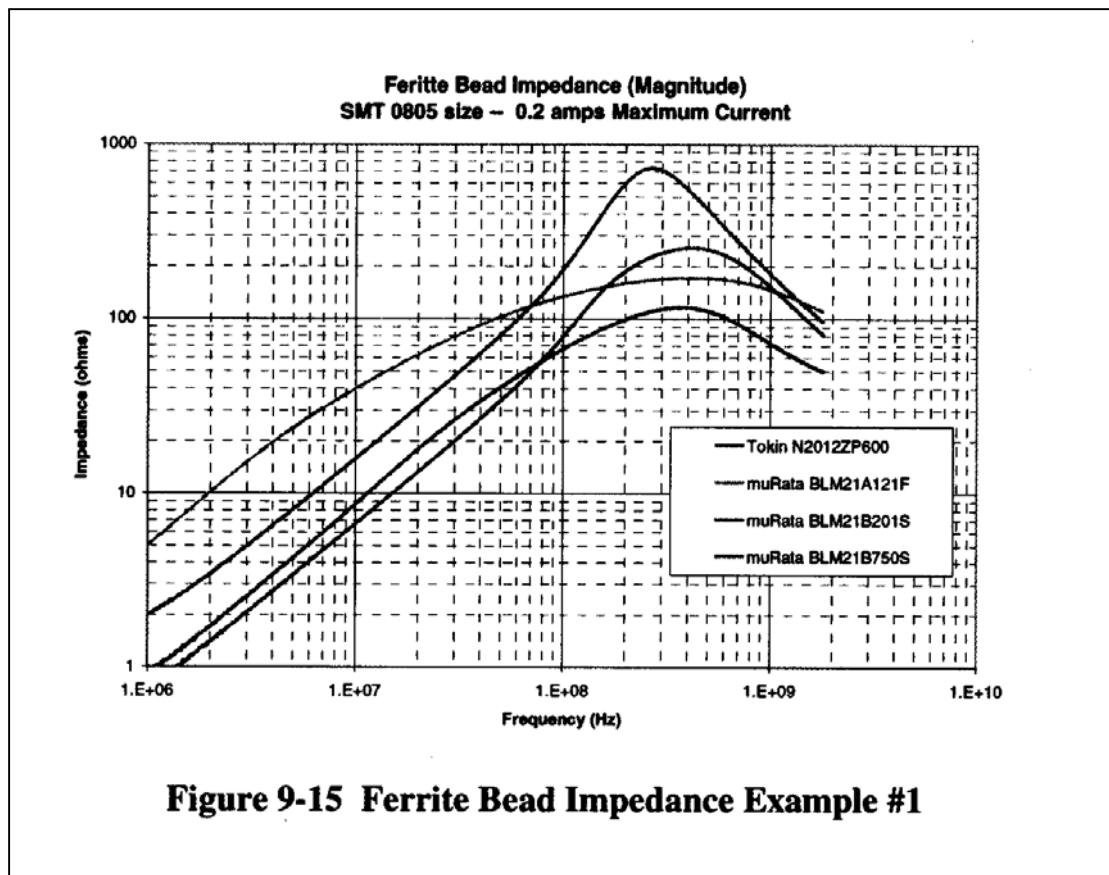
### 第三項 非理想之零歐姆電阻

在許多設計中常使用零歐姆電阻，當作是『位置保留者』。也就是，取代使用 Ferrite Bead，而安裝一個『零歐姆電阻』，因為這要比 ferrite bead 便宜多了。注意到此電阻並非是真正的零歐姆(真正的『零歐姆』電阻是一個昂貴的精密元件)，典型上應該要以 0.05Ω 來代表。如果在 EMI 實驗室測試時顯示需要濾波電路時，就以 ferrite bead 取代掉零歐姆電阻，而不需要對電路板重新 Layout。

此一技術是很有效的，因為實際上，組合了內部引線以及寄生元件，『零歐姆電



阻』就是一個小電感，提供了小量的串聯濾波。可以將前項中所述之典型連接佈線以及貫穿孔所造成之寄生電感，使用在此一『零歐姆電阻』之阻抗計算中。

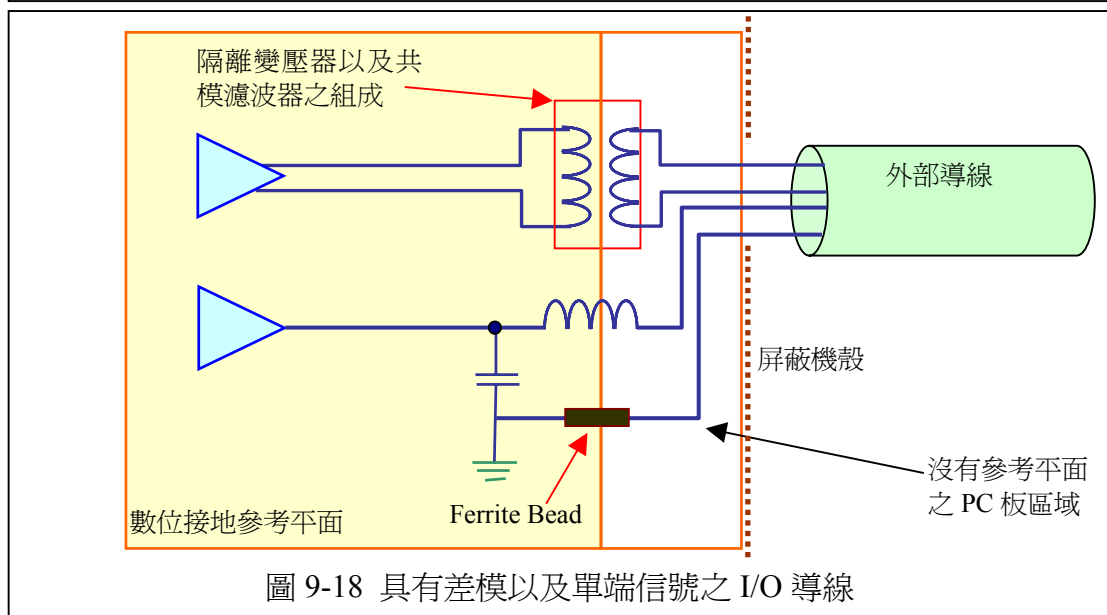
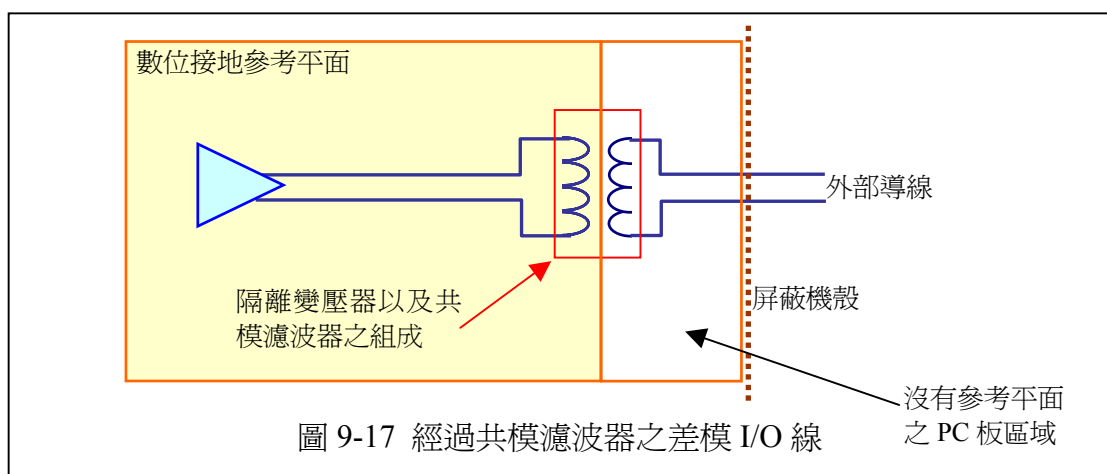


## 第五節 共模濾波器 Common-Mode Filters

許多 I/O 資料信號使用的是差模信號(differential signaling)。USB 以及 Ethernet 就是差模信號的例子。典型地，信號是經過一個隔離變壓器，將其由共模數據轉換成差模數據。此時，應該要使用一個通常內建於隔離變壓器內部之共模濾波器以濾除此信號之共模成分。此共模濾波器是很重要的，因為差模信號通常會使用非屏蔽之纜線。在此一非屏蔽之外部纜線上之共模信號會導致輻射干擾。

一旦此一差模信號走出共模濾波器以後，就不在需要在 PC 板佈線下方的接地參考平面了。如圖 9-17。接地參考平面只是針對共模信號使用的。真正的差模信號並不使用接地參考。如果有接地參考平面存在，則在接地參考平面上的 RF 雜訊電流會耦合到差模信號佈線上，因而跳過了共模濾波器。基於同樣的理由，在此區域之電源平面也應該要移除。

有些外部之 I/O 連線需要同時有差模以及單端信號(single-ended signals)，例如說 SCSI 信號。此類型式之 I/O 需要小心的分析以知道，那些信號是差模以及哪些信號不是差模。非差模信號應該要以此章前面討論之方式來處理，包括處理其接地信號迴返以及信號濾波器等等。而差模信號應以上述方式處理。圖 9-18 顯示一混合的 I/O 連接之電路圖。



## 第六節 結論

應用在 EMC 之濾波器並不需要如傳統濾波器般的複雜設計。使用簡單電流節點分析，就可以依據不同之狀況輕易選擇適用之元件。並聯元件之阻抗應該要遠低於外部導線之天線輻射阻抗。串聯元件的阻抗應該要遠大於外部導線之天線輻射阻抗。

寄生電感通常限制住了並聯電容器的最低阻抗。電感器/ferrite bead 的寄生電容就沒有那麼重要。在設計濾波器時應該要計入寄生元件之效應，才能真實評估此濾波器之有效頻率範圍。

## 第十章 在 EMC 分析上使用信號完整性工具

(Using Signal Integrity Tools for EMC Analysis)

### 第一節 介紹

大多數之高速印刷電路板設計，會讓工程師使用某類之商用軟體工具，或多或少的作一些信號完整性分析。工程師分析在電路板上的線路佈線，以確保在接收端之電壓波形能符合規格之定義，以使功能穩定。改變終端電阻之數值，或做些更激烈的變更，使得適當的電壓波形能夠傳遞到接收端。一旦此電壓波形可以接受，則此分析就完成了。這樣的結果，可能意味這很大範圍的終端電阻數值都可以使用。而此一終端電阻之數值可能不是最佳化的，只要能夠動作就可以了。然而，終端電阻之數值對於在佈線上流動之意圖電流影響是非常巨大的。

由 EMC 輻射之觀點來看，關心的不是電壓波形而是電流波形。電壓並不會直接輻射，但是電流會。因此分析電流波形會比分析電壓波形來的有用。不幸的是，只有少數的商用軟體工具能夠分析意圖電流。多做這一點點分析，所得的價值遠遠高過於花費的時間與金錢。事實上，有一些能夠提供電流分析的商用工具軟體還要比某些不包括此分析的軟體來的便宜。

本章將會舉一些例子，使用商用信號完整性工具來求得佈線上的意圖電流，更重要的是，得知這些電流的頻譜。變更終端電阻之數值或是變更終端方式會對於意圖電流之高頻諧波成分產生很大的變動。通常，要產生一個可接受之電壓波形並不一定需要較高頻之諧波，此些高頻諧波反而可能因為其他方面而造成輻射干擾問題。總結而論，如果沒有產生此電流，就不會變成以某個方式，或是在某處造成輻射問題之共模電流。

### 第二節 意圖電流頻譜

造成 EMI 輻射之主要原因是所謂的『共模 common-mode』電流。基本上，共模電流就是存在於它們本不應該存在之地方的電流。共模電流可能會耦合到鄰近的 I/O 導線或是其他離開屏蔽機殼的導體，因此造成輻射干擾。

有一些次佳的設計可能會導致共模電流，如前面幾章所述。在 PC 板上之所有佈線，都應該要讓其迴返電流直接在其下方之參考平面(接地平面或是電源平面)流回。如第六及第七章所說的，並非所有的迴返電流都能直接從佈線下方流回去。迴返電流會在平面上散開，以試著更儘可能的降低迴返路徑上之電感。當大多數的迴返電流侷限在佈線之下方，而非所有的電流，造成了有些電流會出現在不該出現的地方。

通常，電路板的佈局並非是對高速信號最佳化的設計。例如說，當一條高速時脈佈線走線在參考平面的裂口之上(電源平面分割出來以容納多種 DC 電壓供應)，迴返電流必須要去尋找其他之路徑以回到其源頭。即使我們使用了一個電容器跨接在靠近其橫越處，此電容所增加之電感、增加之貫穿孔、焊墊等等，都會讓迴返電流之高頻成分無法那麼靠近到信號佈線。

另一個一般會發生的問題是，當高頻信號佈線經過貫穿孔並且變換參考平面時。迴返電流必須由一個平面到另一個平面(可能是經由一個去耦合電容，及其貫

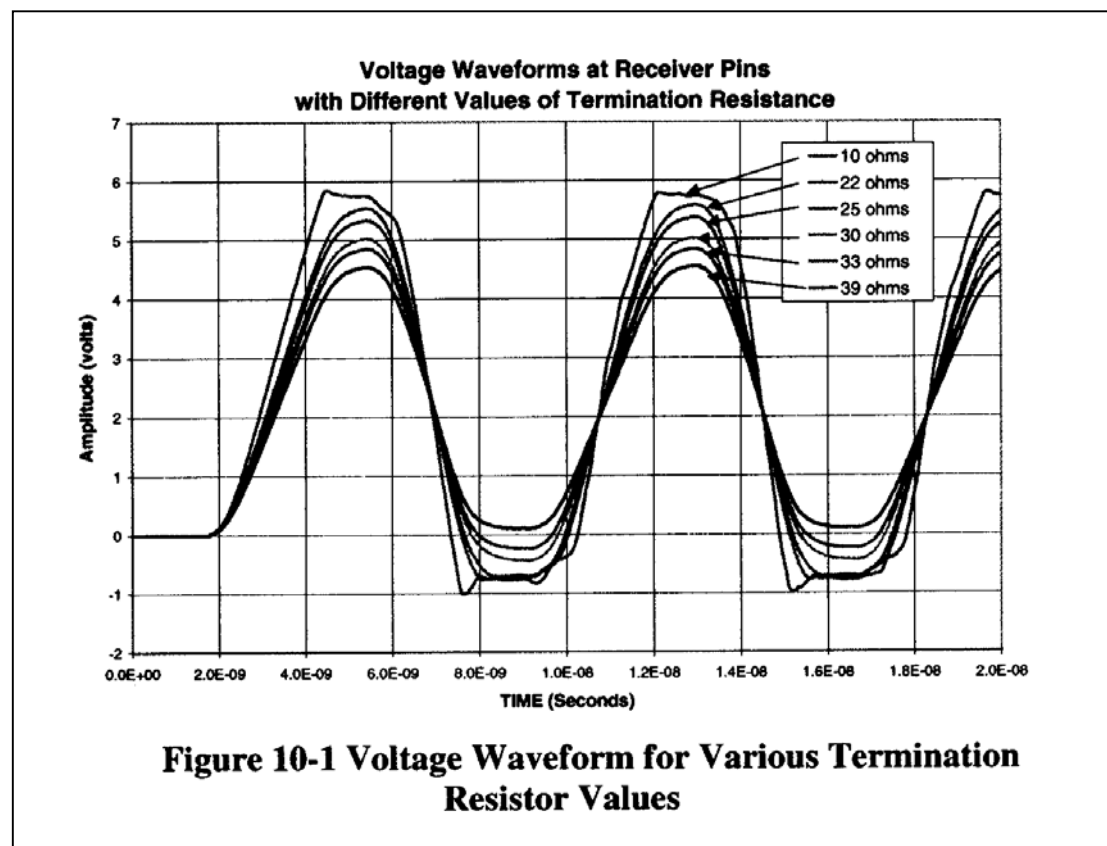
穿孔，額外的電感等等)，通常它有可能會流經一個無法預測的路徑以回到其源頭。

共模電流得起因有很多種，常常很難去預測，但確定的是所有的共模電流都是來自於意圖(intentional)電流。也就是說，在 PC 板的某個位置，有一個意圖(intentional)信號『無意間的(unintentionally)』造成了共模電流。因此我們有必要確保將意圖信號都已經好好控制，使得只有必須要有的諧波存在，而將不必要的諧波都消除了。在 I/O 埠上增加濾波器，以防止將根本不需要的高頻諧波帶到外部導線上，這方式反而是更昂貴的。

選擇一個個人電腦的主機板來解釋此一觀念。我們來分析一個 133MHz 之時脈網路。使用適當的 IBIS 模型來代表驅動器以及接收器。來源端使用串聯電阻終端。此一終端電阻之預設值為 22Ω。

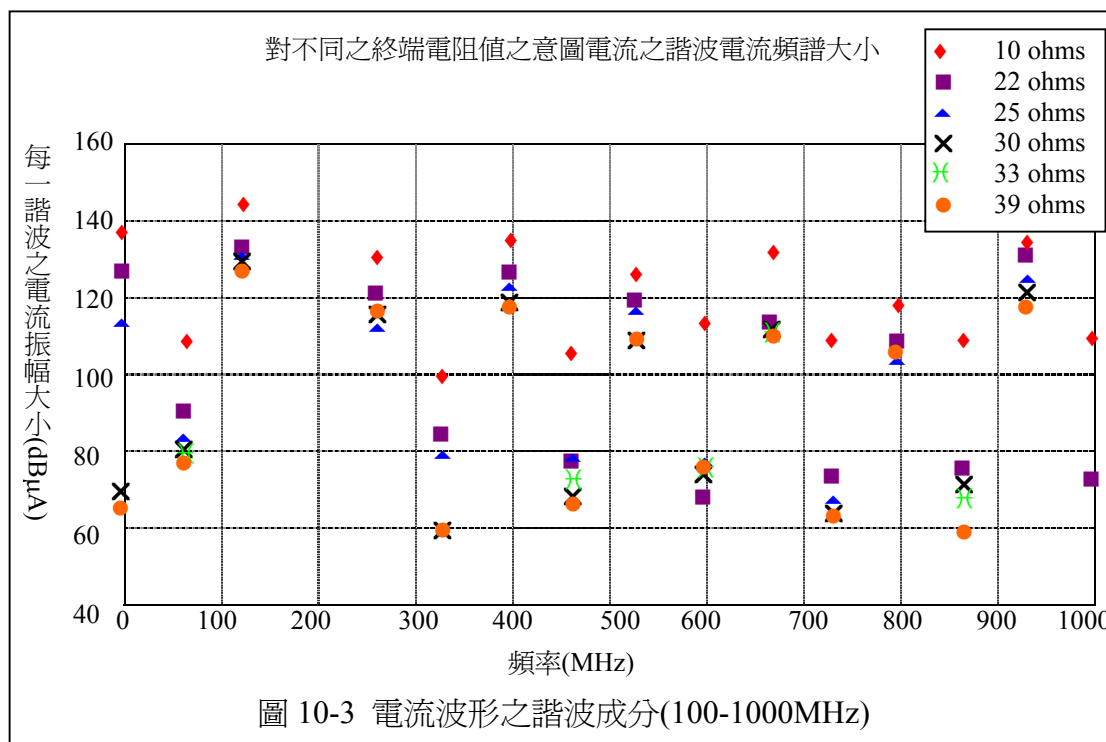
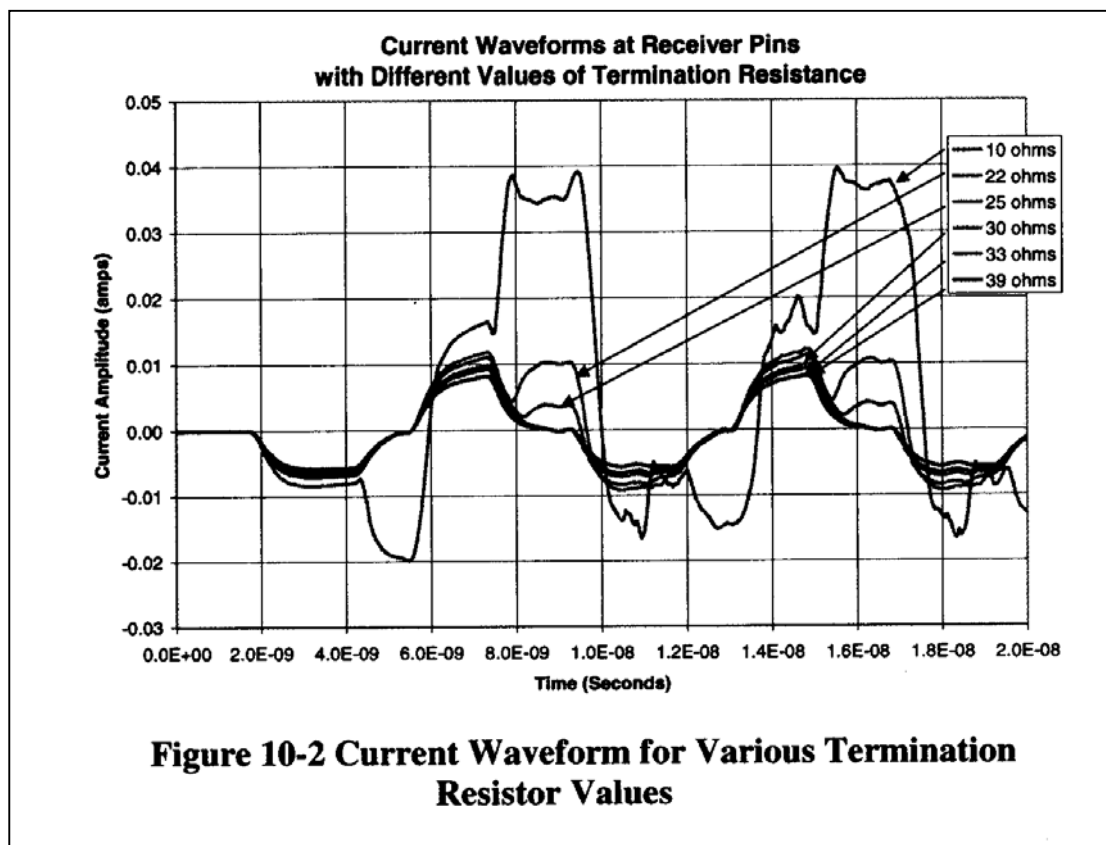
針對 10Ω到 39Ω(典型值)之終端電阻範圍，分析在接收端(5V 邏輯族)之電壓波形。圖 10-1 顯示出變更終端電阻對電壓波形產生之影響。當電阻值增加時，脈衝振幅之某些地方降低並且上升時間拉長，針對這些之波形，需要做信號完整性分析以確保系統之操作穩定。

此一分析之目的在於降低輻射干擾，故同時也分析在接收端佈線上之電流。圖 10-2 顯示出針對不同終端電阻值之電流波形。很明顯的，10Ω電阻會比其他的數值造成更大的電流。



深入的分析顯示 22 與 25Ω同時還會具有其他較大電阻值沒有之額外特性。

雖然此種之電壓以及電流波形分析是很有用的，但它並沒有講到高頻諧波的降低



程度(EMI 問題的多數成因)。使用傅立葉轉換(Fourier transforms)對這些時域(time domain)波形做分析，可以得到其頻域(frequency domain)之頻譜。圖 10-3 及 10-4 顯示針對不同的電阻值之圖形(頻率範圍分別從 100-1000MHz 以及 1000-2000 MHz)。此結果顯示在每一諧波頻率其電流振幅有很大的變動。深入的分析可以知道，對每一諧波頻率，當電阻值由 10Ω 上升到 30Ω，電流之振幅遞減，但繼續增加電阻值並不再明顯的影響電流振幅。

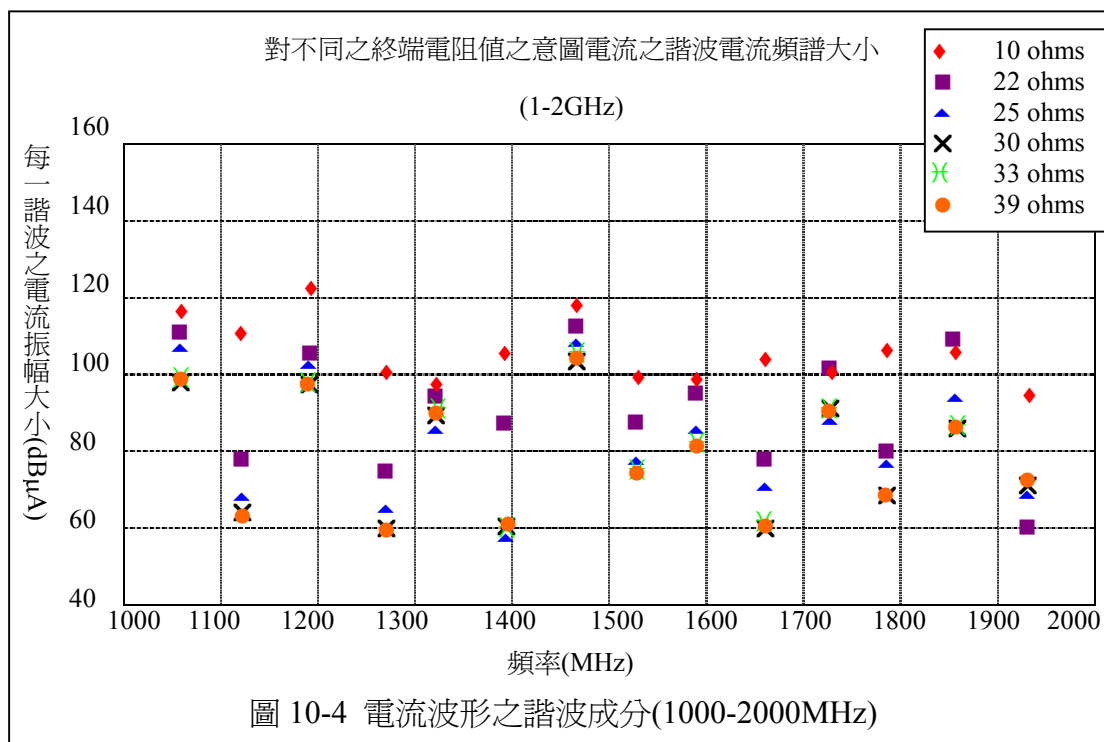
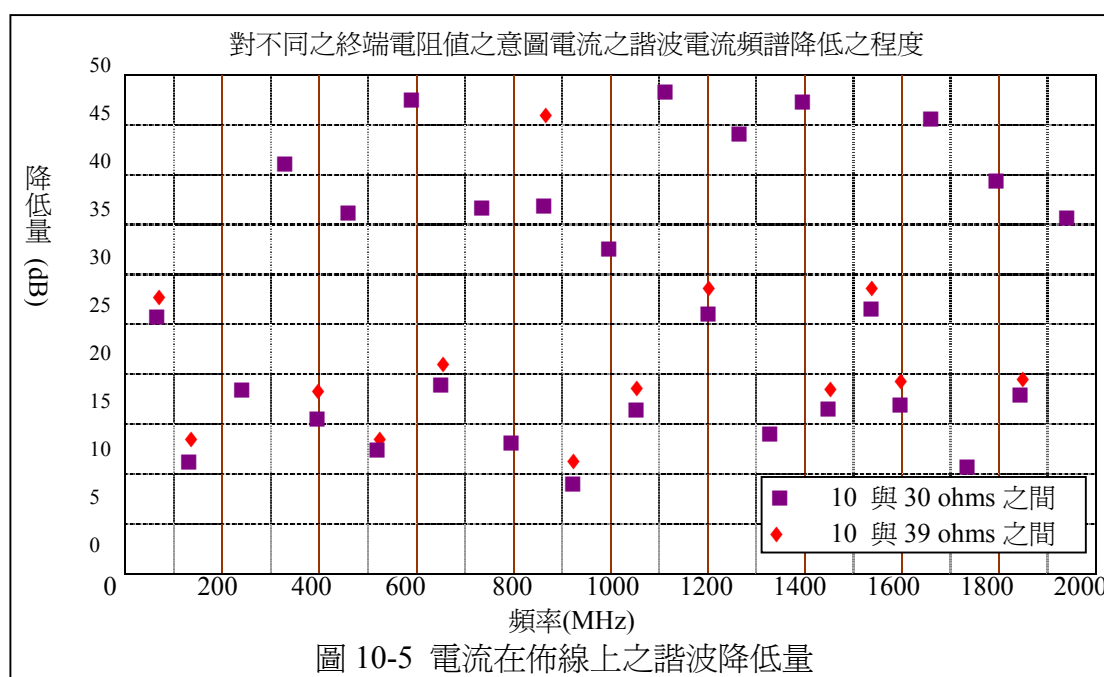


圖 10-5 顯示圖形為，當終端電阻值變動時，對每一諧波頻率之電流振幅降低程度(差值)。此圖形同時也顯示出，對幾乎所有的諧波頻率，不論電阻值由 10Ω變化至 30Ω，或是由 10Ω變化至 39Ω，其電流振幅降低的程度幾乎都相同。在圖 10-5 中同時可見，在相同之諧波頻率下其電流之降幅可以達到 45dB 之巨。這是很巨大的降福，因為很少有產品之設計會有如此程度超出輻射之限制值。當然，在諧波電流上之降幅，不見得會一對一的反映在輻射干擾的測試結果上(會依據在此電流與最終輻射源頭間之實際耦合機制而定)，這些還是會很可觀的影響輻射測試之結果。還可以讓我們在最終產品裡少用一些濾波器、導電泡棉(Gasket)等等。工程師應該要問問自己:『為什麼要去對抗一個來自於原本不需要存在的電流所產生的輻射?』



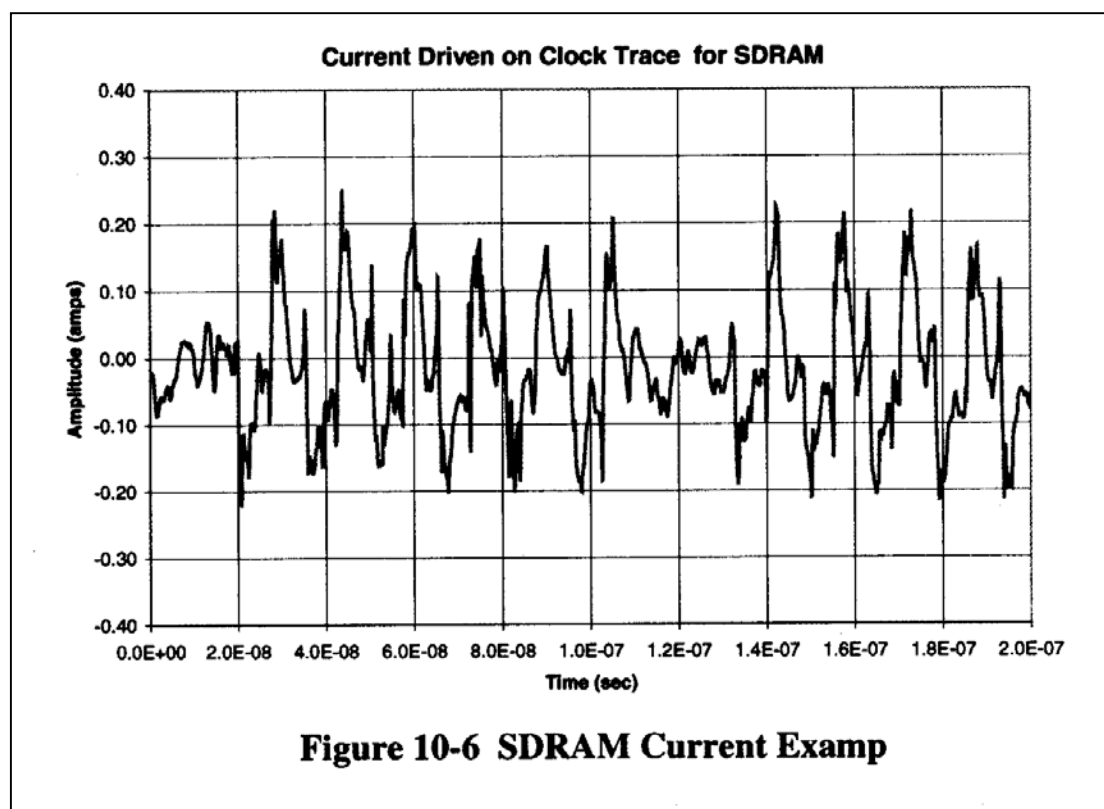
### 第三節 佈線電流之去耦合分析

當 IC/ASIC 有很大數量的輸出驅動器時，例如說時脈緩衝器、記憶體控制器、匯流排控制器、等等，電源電流的主要需求是要來驅動 I/O 腳。因此，在 I/O 佈線上的電流就是很重要的，可以用來分析去耦合電容的設計。

電源接腳之電流可以使用 I/O 電流以及在時脈緩衝器上之『Shoot-through』電流來做預估。可以使用三角形形狀之脈衝，來代表 I/O 驅動器對電源電流之需求。用此形狀來預估，對某些元件已經足夠了，但有時其電流波形並不是如此簡單。在圖 10-2 所示即為一非三角形狀之波形。

使用信號完整性分析工具來求得 I/O 佈線上之電流也可以對在電源接腳上之電流脈衝做一個很好的初步預估。對於時脈緩衝器，當 I/O 脈衝為同步的，可以直接加總電流脈衝以求得電源接腳所需之總電流。對於記憶體以及匯流排控制器，所有的 I/O 驅動器極少會在同一時間全部動作，所以使用會同時動作驅動器之平均數目來做預估會比較好。

使用之終端方式也是很重要的。例如，典型的 SDRAM 記憶體佈線只使用源端之串聯電阻。對於一典型之 SDRAM 記憶體資料線之電流，顯示在圖 10-6 中。對比的，典型的 DDR RAM 記憶體信號線，使用一個終端電阻連接到一個在  $V_{cc}$  與接地電位間之電壓。如圖 10-7 所示，驅動 DDR RAM 的電流波形與 SDRAM 例子裡的波形大大不同。





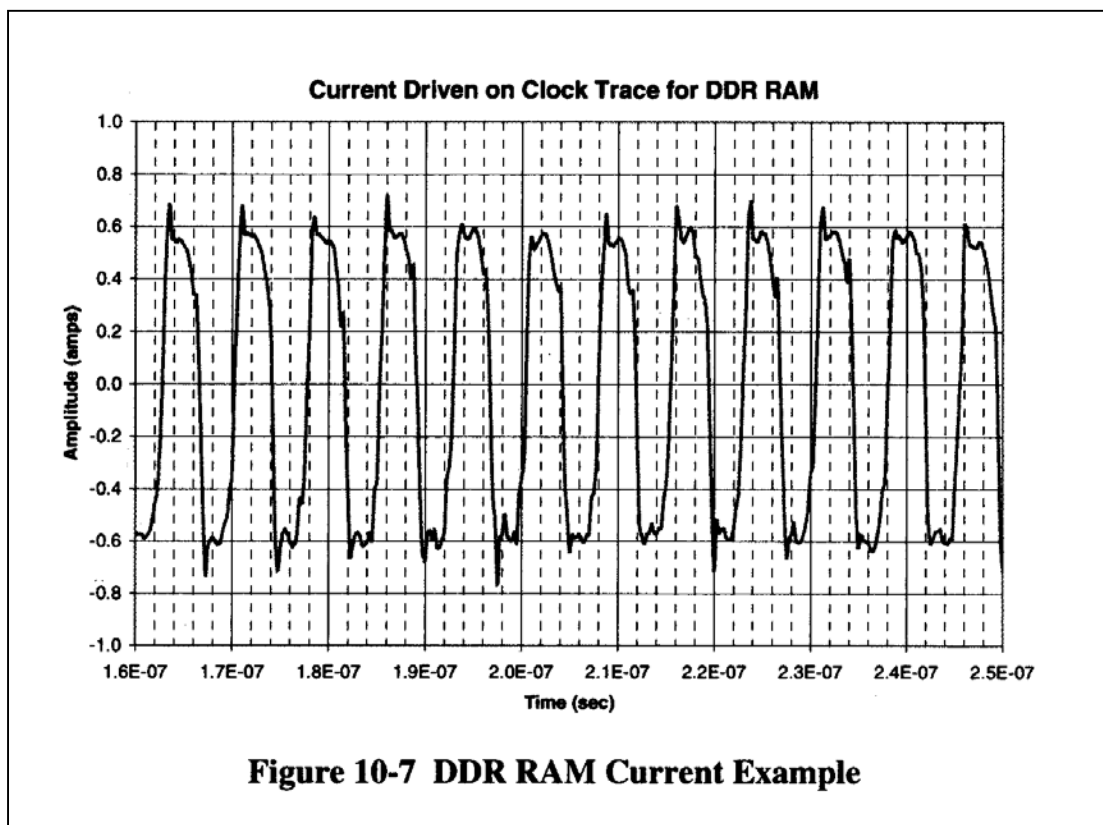
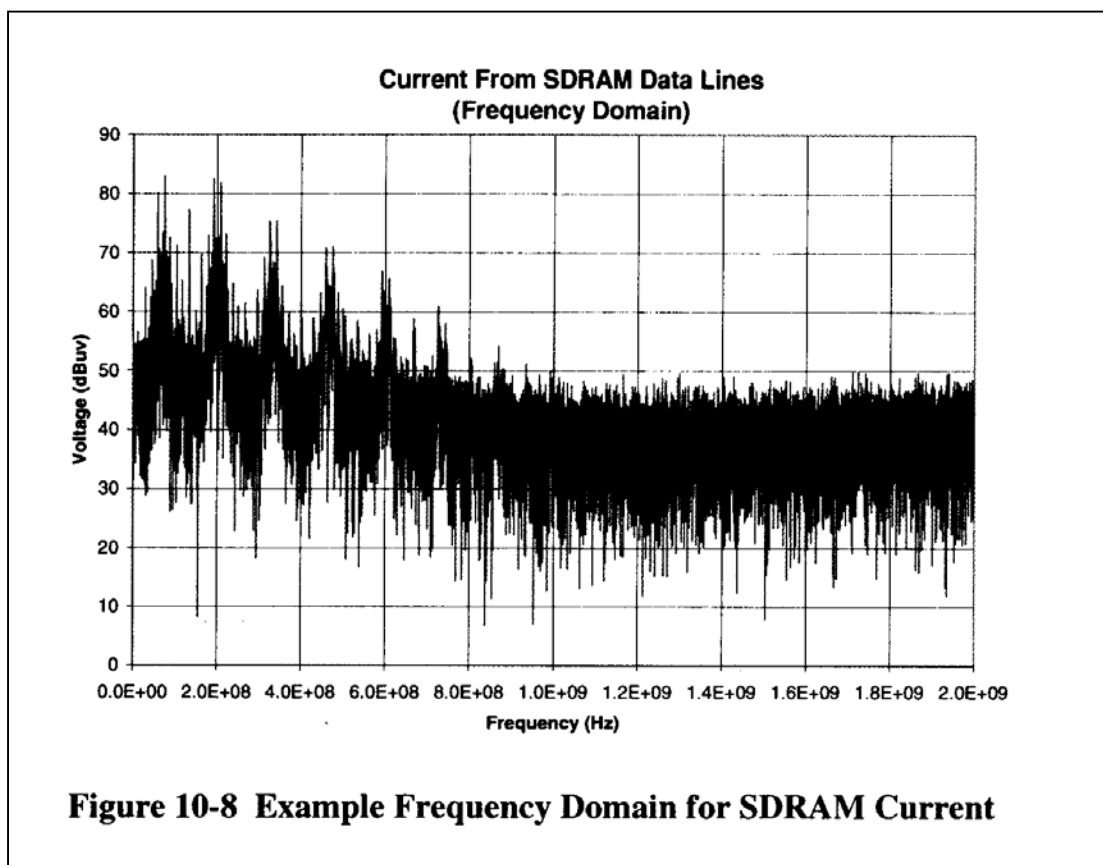
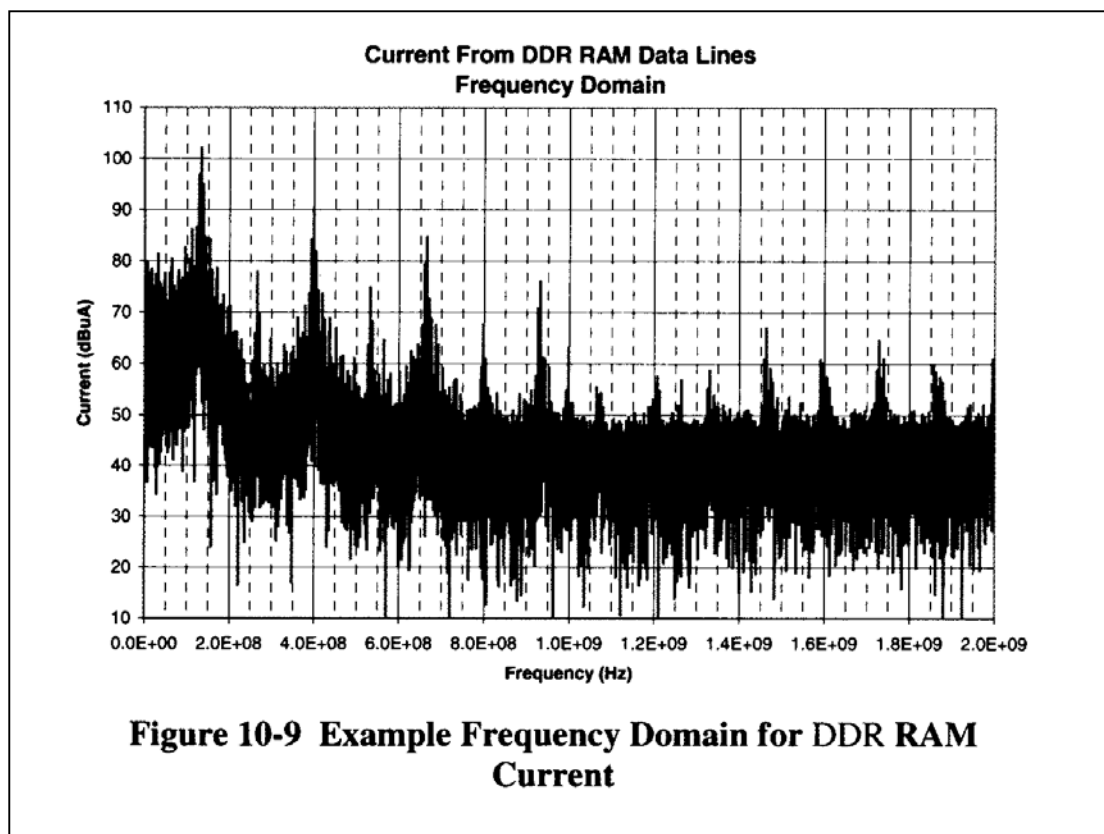


圖 10-8 及 10-9 顯示 SDRAM 以及 DDRAM 驅動電流之頻譜。注意到此兩種型式記憶體之諧波振幅有著非常大的差異。若是僅僅看這兩種記憶體之電壓波型，是沒法發覺到其在頻率頻譜上有如此巨大的不同。





#### 第四節 差模信號分析

對於 EMC 工程師來說，有兩種的差模信號很重要：一是內部之以差模信號走線之高速線，一是外部 I/O 信號之差模信號。兩種在 EMC 的顧慮上是不同的，但都能夠以商用信號完整信分析工具來分析。

##### 第一項 內部之差模信號線(Internal Differential Signal Lines)

在 PC 板上之高速信號線使用差模佈線是很常見的。然而，其並非是真正的『差模(differential)』，只是因為這一信號線很近距離的耦合到參考平面，因而電流會在參考平面上流動。較精確的說，這些信號是屬於『complementary, single-ended(互補的，單端)』信號。(或稱之為『Pseudo-differential』虛擬差模信號)。在第五章裡，討論過不可讓單端信號橫越過參考平面之裂口，以免迴返電流無法跨越裂口回來。通常我們會假設說，差模信號對(differential signal pair)在參考平面上之電流不會受裂口之影響。若是說差模信號的長度相同，則在佈線上就不會產生共模電流。如果說佈線長度不一致(或是說輸出驅動端不平衡)，則就會有共模電流存在於佈線上。這些共模電流必須要回到其源頭，所以會使用到參考平面。在參考平面上的裂口會讓迴返電流無法直接在線路之下方流動，就會產生如同單端線路的相同問題。

信號完整性分析工具可以用來協助分析出這些不平衡差模信號線長度之問題。以這個例子來說，我們使用 IBIS 模型來分析差模驅動器以及接收器。起始的傳輸線長度設為 10 英寸，然後將其中一條傳輸線長度逐步的增加。在接收器端之電流差額就是為共模電流。圖 10-10 顯示，當差模佈線長度之不匹配逐步增加時，其產生之共模電流之頻譜。在沒有不匹配狀況時之電流頻譜也顯示為參考基線。

(在此例子中，參考基線並非為零，是因為在 IBIS 模型中，輸出驅動器並不是理想的平衡)。

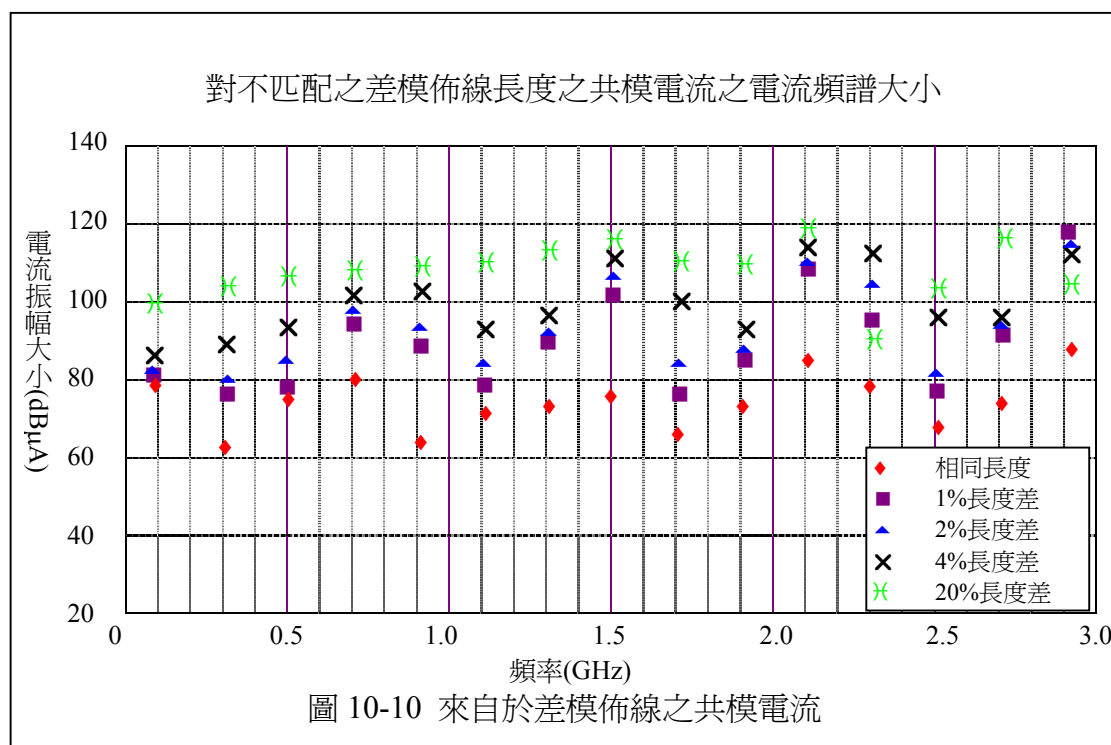
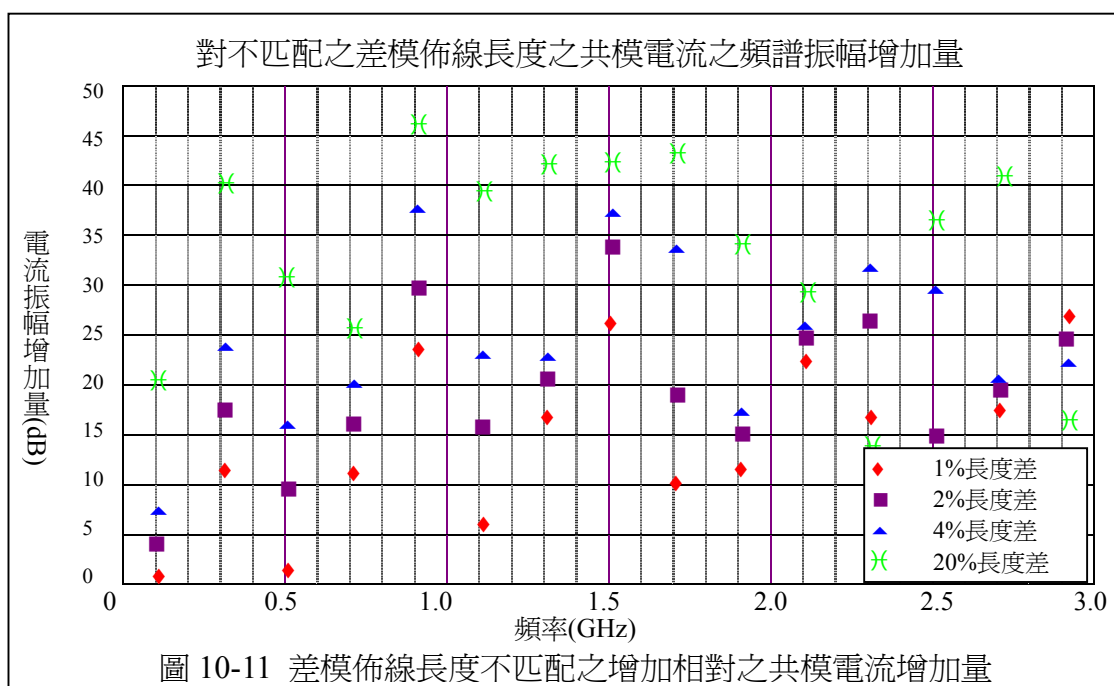


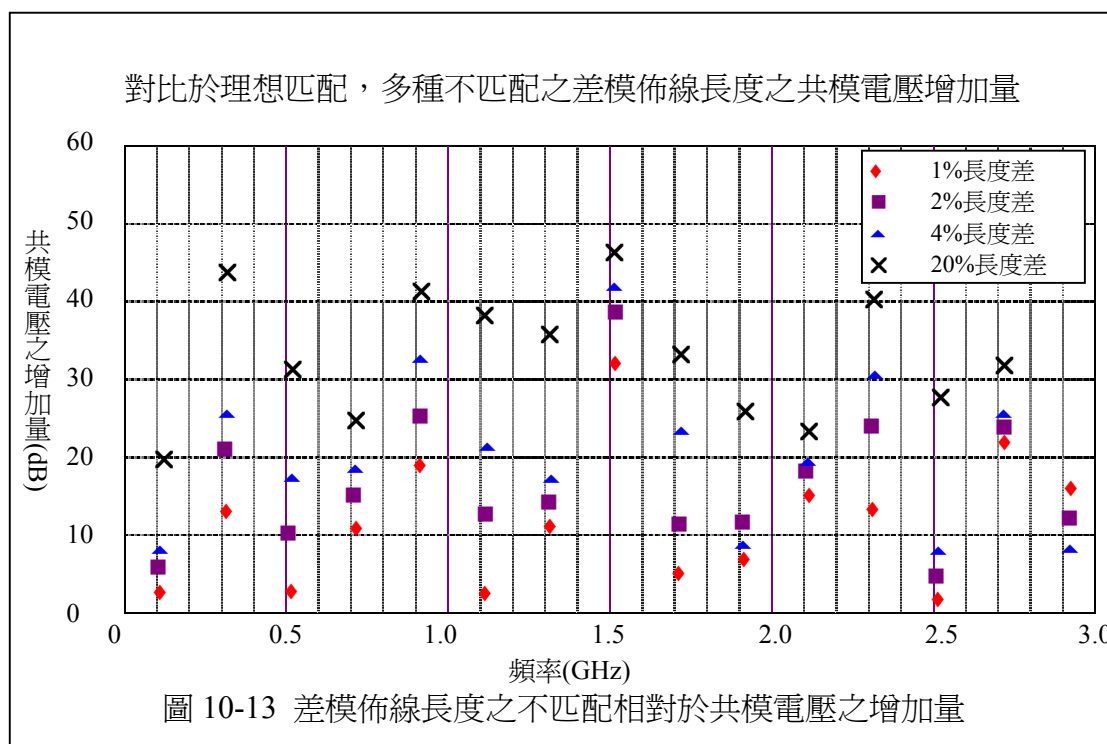
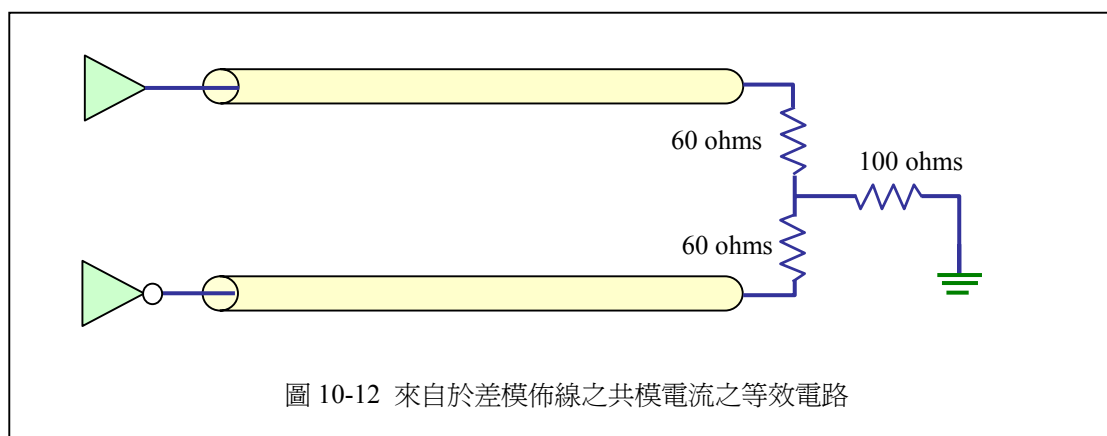
圖 10-11 顯示對比於理想匹配長度之共模電流增加量。即使是僅僅 1%之不匹配，在共模電流之某些諧波頻率都顯示有很大的增加量。在真實產品上要做到理想之匹配是不可能的，驅動器也不盡然會是理想的匹配，因此對於差模佈線應該要將其視為單端佈線，所以不可以在參考平面之裂口上經過。此一討論之重點在於使用信號完整性分析工具可以很容易的來分析佈線長度不匹配之問題，並且可以提供有價值的資訊給設計工程師。



## 第二項 外部 I/O 之差模信號線

某些 I/O 信號常常有用到差模信號，例如 Ethernet 以及 USB 資料線。信號完整性分析工具也可以用來分析這些信號線。對外部之 I/O 纜線來說，在導線以及機殼間之共模電壓是 EMI 問題之所在。如果外部纜線對線路佈線提供了一個差模負載，並且線路佈線是長度匹配的，則不會有共模電壓產生在纜線與機殼之間。如前節所述，如果佈線之長度不是匹配的，則在纜線上就會有共模電壓產生並且跑到機殼之外。

要分析此一因佈線長度不匹配造成之共模電壓，可以使用如圖 10-12 之電路圖。差模驅動器以外部導線阻抗作為其差模負載。在此例中，差模負載分成兩半，並且這兩個負載之中點，藉由一個  $100\Omega$  電阻連接到接地參考點。此一假設之數值是外部纜線典型且合理之共模阻抗。當差模佈線之長度為匹配時，橫跨在此  $100\Omega$  電阻上之共模電壓為零。當長度之不匹配遞增時，共模電壓也會遞增。圖 10-13 以諧波成分來顯示，當長度之不匹配增加時，此共模電壓之增加量。



## 第五節 串音分析 Crosstalk Analysis

信號完整性分析工具也常使用在串音之分析。通常此一分析只是在看看串音雜訊之大小是否會影響正常之資料傳輸。通常此分析只針對在高速匯流排內的高速信號線之間等等。很少考慮到高速信號線與 I/O 信號線之間的串音，很不幸的，此種串音才是 EMC 工程師最關切的。

信號完整性分析工具也可以讓我們在電路模型上加上一些濾波器，然後來分析高速信號線與 I/O 線之間之串音，並且把濾波器之效果算進去。以此方法，針對共種不同之內部雜訊源頭，可以得到在 I/O 連接器上之共模電壓大小。

## 第六節 結論

針對 EMC 控制，可以使用信號完整性分析工具完成很多有用的分析。大部分的設計已經多少用到一些信號完整性分析工具，所以只要擴展其分析領域到 EMC 之應用即可。

應該要執行之最重要分析項目是確保在還能符合信號傳輸之要求下，意圖電流之頻譜儘可能降低。並不能只使用電壓波形分析來判定電流之波形。某些信號完整性分析工具能夠分析電流。研究電流之行爲，採用最適當之終端，以降低高頻諧波，便可在源頭就解決掉 EMC 問題。

其餘之標準信號完整性分析工具也能應用在 EMC 上。高速信號線與 I/O 線之間的串音分析、因為長度不匹配之差模佈線之共模電流分析、以及在差模 I/O 線上之共模電壓分析，都能夠輕易的做到。

## 第十一章 印刷電路板佈局 Layout

### 第一節 介紹

對於整體之 EMC 考量來說，最初的印刷電路板佈局(Layout)是一很重要的部分。在設計的某些部分是不能夠打折扣的，值得花時間以及精力去探討最佳之方式。

機構上之限制可能會要某些連接器放置在板子的某一邊。加了散熱器的處理器可能必須要靠近通氣孔，因而使得處理器接近板子的邊緣。電氣上的信號完整考量限制某一個 IC/ASIC 必須要鄰近於另一顆 IC。價格之考量可能限制 PC 板只能使用兩個電源/接地參考平面。

所有的系統都會有某些的限制，但是通常還是能有一些變動的餘地，而除非已經考量了 EMC，很可能就會做出不是最有利的選擇。許多的這些議題已經在其他章節中討論過了，但是仍然值得將這些重要事項整合在此章中再次說明。

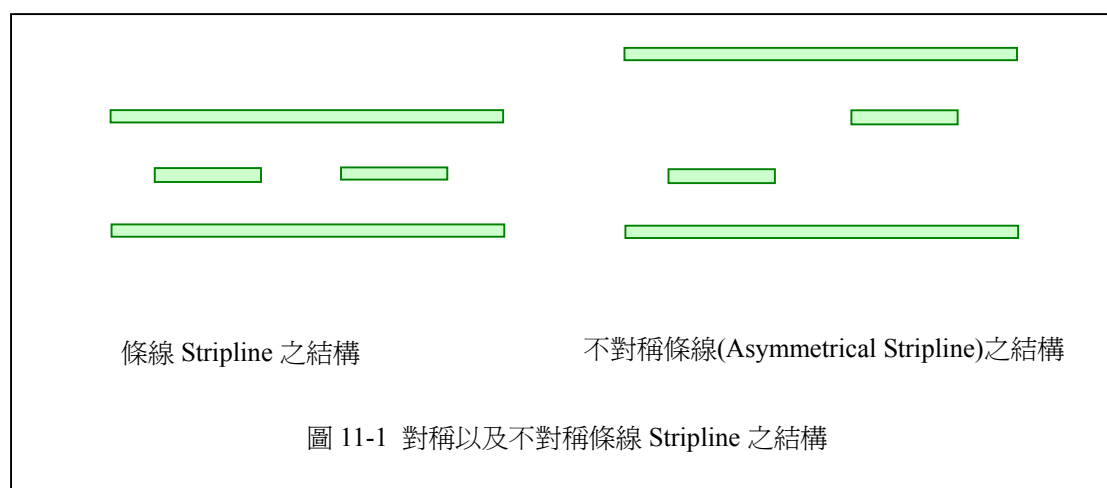
### 第二節 PC 板的堆疊

PC 板的堆疊通常是決定因素是價格目標、製造之技術、以及需要多少佈線層才能完成所需的功能。在大多的工程設計中，有很多互相衝突的要求，而最終的設計策略都是考慮過很多折衷方案後之結論。PC 板可以使用從最簡單的單層、最便宜的板子，到 30 層以上的高功能系統。

#### 第一項 多層板

高速、高功能之系統通常使用多層板。其中數層使用為 DC 電源或是接地參考平面。這些通常是完整平面，且沒有裂口分割，因為通常會有足夠的不同平面層，因此不需要在單一平面提供不同之 DC 電壓。不管在電路圖上這些層叫做什麼名字(亦即，「接地」、「+5 伏」、「VCC」、「數位電源」等)，這些層都可以作為是直接相鄰傳輸線信號之迴返電流路徑。對於這些平面層來說，創造出一個良好低阻抗的迴返電流路徑就是其最重要的工作了。

信號層散置於完整平面之間。其可以是『條線 Stripline』方式，信號線與兩個相鄰平面間之間隔是相等的，也可以是『不對稱的條線 Asymmetrical Stripline』，兩層信號線相疊在相鄰的平面層之間。圖 11-2 顯示了這兩種狀況的截面圖。在大多的設計中，會適用許多這些方式之不同組合。



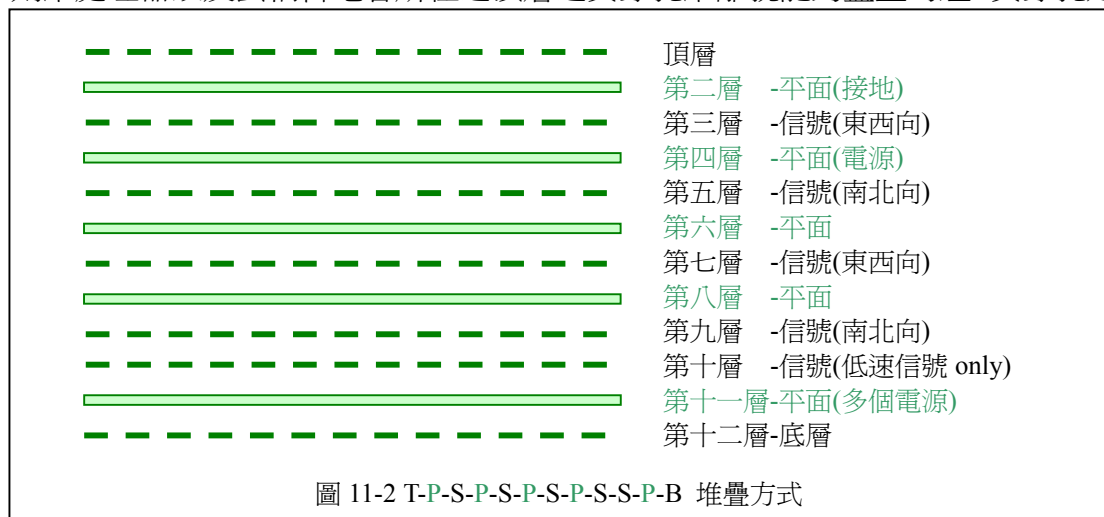
一個 12 層板常用的堆疊結構是為 T-P-S-P-S-P-S-S-P-B。此處「T」表示為頂層，「P」表示為平面層，「S」表示為信號層，「B」表示為底層。頂層與底層使用為元件焊墊，信號不應在其上行走較長的距離，以降低佈線之直接輻射。此例子只是堆疊方式之一種，其設計理念以及考慮之方式可以擴展到任何之堆疊組合。

下一步要考慮決定的是，哪一個平面要包括多個電源『島』，以容納不同之 DC 電壓。以此例來說，若是第 11 層(從上方數)會有多個 DC 電壓。則其意味著設計者必須要儘可能的避免將高速信號放在第 10 層以及底層，因為迴返電流無法流過第 11 層中的裂縫，因此就需要加上去一些縫補電容器了。故如此就只能使用第 3、5、7、9 層為高速信號之佈線層。

下一步要考慮的就是，最重要信號之佈線。在大部分之設計中，佈線走向儘可能為一個方向，以便在同一層容納最佳數目之走線通道。第 3、7 層可以指定為『東西向』而第 5、9 層可以指定為『南北向』。一條佈線要走在哪一層，是根據其要走到目的地之方向而定。

一重要之考慮是高速佈線變換佈線層，以及某一特定線路會使用到哪些不同的佈線層。主要考量之重點是確保迴返電流能夠從一個參考平面流到其計劃要去的新參考平面。事實上，最佳的設計是不需要讓迴返電流變換參考平面，而只是簡單的由平面的一邊變到平面的另一邊。例如，可以使用以下的信號層搭配組合，第 3 及第 5 層，第 5 及第 7 層，第 7 及第 9 層。這樣在每種組合中都可以有東西向與南北向之走線。像是第 3 及第 9 層的組合就不應使用，因為這會讓迴返電流由第 4 層流到第 8 層。此時就需要在貫穿孔旁邊加上去耦合電容，而電容因引線電感之故，在高頻之效果又不佳。而因為電容所增加之線路，也會增加零件數以及產品之成本。

另一個重要考慮是對平面層指定 DC 電壓。在這個例子裡，因為處理器之內部處理之高速特性，故預期它會對電源/接地參考接腳造成最主要的雜訊。此意味著針對此一處理器之 DC 電源所指定之去耦合電容器必須要儘可能的有效。如同前些章節談到之去耦合特性，去耦合電容器之高頻特性會被貫穿孔之連接電感、焊墊以及連接之佈線所限制。降低此電感最佳之方法就是盡量讓連接線短又寬，以及讓貫穿孔短又肥。若是第 2 層指定為『接地』而第 4 層指定為處理器之電源，則距處理器以及去耦合電容所在之頂層之貫穿孔距離就能夠盡量的短。貫穿孔延



伸至底層之其餘部分並未有任何之主要電流，並且其也太短故不必考慮會有天線效應。圖 11-2 顯示此一堆疊之設計，可以看出若是將電容放在底層會比放在頂層造成更長的貫穿孔距離因此較大的電感。

下一個重要考慮就是那些高速信號線要放在第 3 及第 5 層。最好是讓由同一主動元件驅動之信號佈線使用同一電源平面當作參考平面。也就是說，由處理器來的信號(例如記憶匯流排以及其他高速匯流排)應該也佈線在第 3 及第 5 層，因為它們皆共用同一電源，因此其迴返電流能夠較容易回到其源頭。

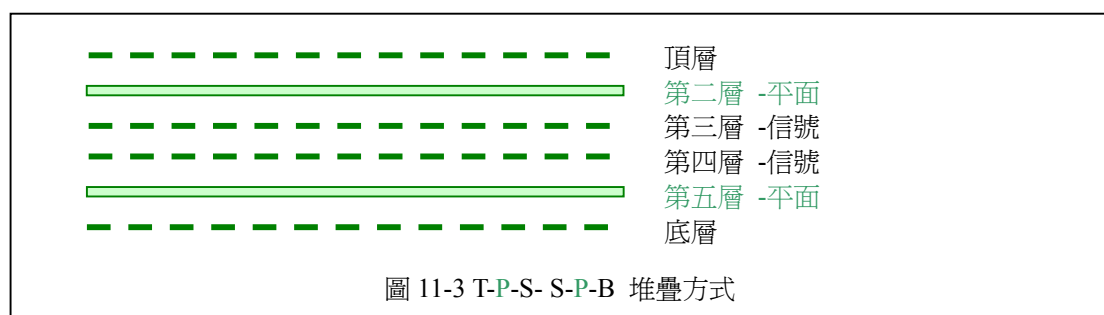
雖然此一章節關注在最重要之信號與 IC(以此例來說)，這些之思考模式也應該沿用到其他之信號與 IC。因為在第 11 層之裂口，佈線在第 10 層之信號只應該為低速信號。

### 第二項 六層板

六層板是一個常見之特例。典型上，通常是低價產品以及包括 4 個信號層以及 2 個平面層的會選擇此堆疊方式。圖 11-3 顯示此堆疊之結構。一般是有兩個平面層以及四個信號層。很明顯的，和前面之例子相比其選擇空間很少，但設計者仍能有一些選擇以改善系統之 EMC 特性。

如前例，通常也是使用東西向以及南北向之佈線。同樣的，也是希望使用佈線層組合使得迴返電流不需要換層。在此例中，選擇第 1 及第 3 層為佈線組合，而第 4 層及第 6 層為另一佈線組合。此例中，頂層與底層必須做為佈線層使用。對良好的 EMC 特性考慮，保持迴返電流在同一平面遠比將信號埋在平面層中間要重要的多，因此，第 3 及第 4 層絕不能當成高速信號之佈線組合。

第 2 層及第 5 層為電源以及接地參考層。非常可能會有不同之 DC 電壓需求，所以電源平面很可能會分割為不同之電源島。如果第 2 層選擇為接地參考平面，則設計者應該要確保所有的高速信號都在第 1 及第 3 層佈線，以讓它們不需橫越參考平面上之裂口。自然地，如果某一信號路徑並不會橫過電源參考平面上之裂口，則將此信號在第 4 及第 6 層佈線就是可以接受的。



### 第三項 四層板

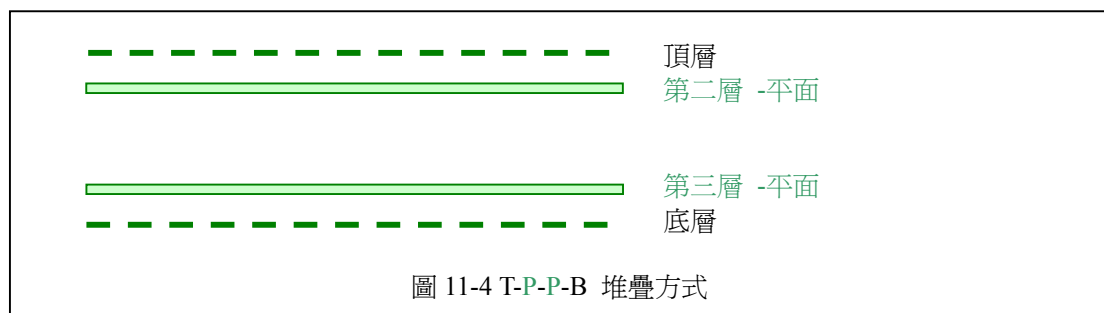
四層板是使用在低價系統。典型上，只有兩個信號層以及兩個平面層。圖 11-4 顯示其堆疊方式。

盡量的將走線通道最佳化是非常重要的，所以也是使用東西-南北向之佈線策略。然而，此時就不可能讓迴返電流保持在相同的平面。去耦合電容應該要儘可能的靠近貫穿孔以提供迴返電流路徑。電容焊墊與貫穿孔間之連線應該要儘可能



的短且寬，以使電感/阻抗最低。

平面層通常指定為接地參考平面以及電源平面，而此電源平面又會分割為多個不同電壓。當使用電源平面作為信號之參考平面時，極重要的是要確保佈線只在完整平面上走線，而不會跨越裂口。如果跨越之狀況發生了，必須要使用縫補電容器靠近在佈線跨越裂口處，以提供迴返電流路徑。此外，電容焊墊與貫穿孔間之連線應該要越短越好且越寬越好，以使電感/阻抗最低。

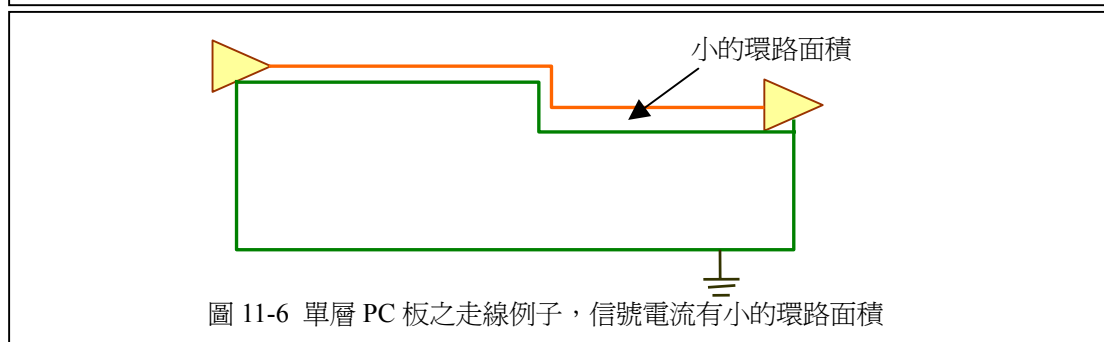
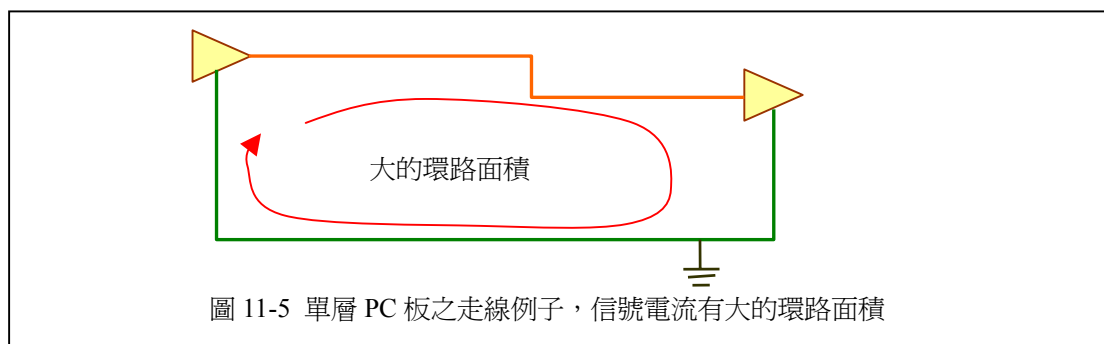


#### 第四項 單層以及雙層板

單層板以及雙層板對 EMC 設計是一個挑戰。並不推薦此種之堆疊方式，通常使用此些方式是基於其他非 EMC 之考量。此種堆疊，通常沒有完整平面，所有的信號以及電源以及電源迴返都是以佈線方式走線。在此一設計策略下，主要關切點是在於保持信號電流之環路面積越小越好，不可允許大的電流環路存在，如圖 11-5。

雖然說在這些板子上之信號速度一般會比在前節之多層板要低，但還是有可能會造成 EMC 問題。在信號佈線旁邊應該要配置信號迴返之佈線，以減低環路面積並且因此可以降低輻射(也可增強對外部 RF 干擾之耐受度)。圖 11-6 顯示此一設計策略。保持短的信號佈線也可以減低環路面積。

去耦合電容要儘可能靠近 IC 並且連接到電源以及接地接腳。



### 第三節 元件之放置 Component Placement

如先前提過，許多元件放置之位置經常是由其他因素決定的。但是若還可能變動的話，是有些考慮因素可以有助於系統之 EMC 特性。

一個重要的規則是要將高速元件集中在板子的一個區域，將低速裝置集中在另一個區域，這兩個區域要相隔越遠越好。還有更重要的一點就是，由這些元件出來的信號是如何的在板子上走線。例如說，I/O 連接器通常都固定在板子的一邊。必須要讓 I/O 驅動器放置的位置靠近 I/O 連接器，所以來自於高速元件之不希望的雜訊就不容易耦合到 I/O 佈線上，從而傳導到機殼之外。如果說 I/O 驅動器放置在遠離連接器之區域，則此種之耦合狀況就很容易發生。

高速元件通常會在元件接腳上推動高頻電流。這些電流會造成電場及磁場，若是高速元件與 I/O 連接器很靠近的話，就容易直接耦合到 I/O 連接器之接腳上。在板子上的濾波器無法阻止信號直接耦合到 I/O 連接器，因為此種耦合之發生會跳過濾波器之位置。

有很多辦法可以避免發生這些不希望的耦合。在這裡，不太可能去考慮元件佈線之所有可能組合。然而，一點點的設計考量就可以幫助來降低成本以及問題。

### 第四節 隔離 Isolation

前一節解釋了為何高速電路應該要遠離低速以及 I/O 電路。不幸的是，因為其他之設計考慮，此要求不太容易作到。當不同類別之電路很靠近時，可能就需要某些方式之隔離。

最關切之點就是，因為高速元件之放置以及高速線路之走線，造成之迴返電流在參考平面上的散播。在參考平面上故意的使用分割之裂縫，可以將迴返電流與低速電路區域隔離開來。自然地，若是相鄰於參考平面之佈線層正好有高速信號佈線並且會橫過此一裂縫的話，此一方式就不適宜採用。而若是在此隔離裂縫之地方並沒有佈線橫過，則此方法可以很有效的隔離開不希望的雜訊，不讓它影響到低速以及 I/O 元件，在數百 MHz 以下都會有效。

一個例子是在 I/O 連接器之區域，在接地平面上故意的使用分割裂縫，以使其和數位之接地參考分隔開來。在 7.4 節中已有詳細的介紹。此一設計策略可以讓因高速數位電路產生之高頻雜訊不至於散逸到 I/O 區域，但要記得的是，仍舊要為意圖之 I/O 電流，在分隔開之參考平面上，提供一個低頻迴返電流之路徑。

對於特定元件之隔離，可以在電源平面以及接地平面上造成一『護城河壕溝』方式之隔離。同樣的，還是要小心注意不可讓高速信號橫越壕溝，並且還是要提供足夠的 DC 電流路徑。在電源平面以及接地參考平面上之壕溝位置必須是一致的，以讓此隔離作用有效並且避免意外之耦合狀況發生。

### 第五節 結論

層的數目，完整平面的數目，以及在 PC 板上之堆疊方式之選用等等，通常都沒有將 EMC 之顧慮考慮進去。經由謹慎的選擇，以決定哪一層要走哪些信號，可以讓迴返電流保持在適當的信號佈線旁邊，因而可以比隨機佈線大大的改進其 EMC 特性。這種小心地佈線並不會增加 PC 板的成本，這可能會稍稍的增加電

路板佈線所花費的時間，但是與所降低之 EMC 問題相比是非常值得的。迴返電流路徑之考慮是非常重要的，在良好的 EMC 設計裡可能是最值得費心的觀念。

## 第十二章 有孔隙之屏蔽機殼

(Shielding in Enclosures with Apertures)

### 第一節 介紹

現代具有高速之數據以及邊緣速率之數位電子產品通常都需要使用某些形式之屏蔽，以符合 EMC 法規以及其他之設計要求。這些特定產品之屏蔽規格以及期望之 EMI 降低程度可能有很大的範圍。在頻譜之一端可能是微波領域的無線通訊發射器或是接收器。在此狀況下，其屏蔽外殼典型地必須是鑄造的或是機器成型的傳導性機殼。機殼的各個部分必須要用螺絲緊鎖，對於接縫處必須要小心的注意，以防止內部之洩漏以及外部源頭之干擾。屏蔽之所有穿孔都要小心的設計。信號進入或是輸出都要使用屏蔽導線，使用有著 360° 連接之連接器，例如同軸連接器。所有之微波信號都要用同軸導線(Coaxial cables)。對於屏蔽機殼使用使種層次之電子設計，必須是那種成本不是問題的產品，或是說不這麼處理就無法正常動作之產品。

在設計頻譜另一端之產品就是那些注重成本的產品，它有一定之成本限制，當其使用屏蔽機殼時，就無法像上述之狀況那樣考慮。在此一狀況下，EMC 設計之努力要放在 PCB 層面，而屏蔽僅僅提供少數 dB 之衰減，以使其最終符合 EMI 法規之限制。一塊金屬薄板遮住 PCB 之零件面可能就提供了最後數 dB 之衰減，以讓此產品剛好達到法規要求；或是在某一特定元件上使用區域性之屏蔽以達到法規要求。在此兩種屏蔽極端中間，有著無數種類的設計可能性，可能包括塑膠外殼噴上導電漆、碳纖維之複合機殼材料、屏蔽導線、金屬之連接器外殼、等等之許多考慮。設計之考量會依據需要屏蔽機殼提供之衰減程度以及成本來主導。可期待之高頻屏蔽特性在 MHz 級以及 GHz 級範圍從 5-30dB。

圖 12-1 所示為一典型之針對高速數位產品之屏蔽機殼。一個成本考量的屏蔽金屬板機殼，通常會有些因為其他方面需求所要的穿孔或洞口，因而損失了屏蔽效能。因為機殼結構所需之孔洞(Slots)、接縫(Seams)、開口(Apertures)，插入式模組，以及氣流孔等等，將是主要之洩漏來源。此外，貫通之導線以及導線上之共

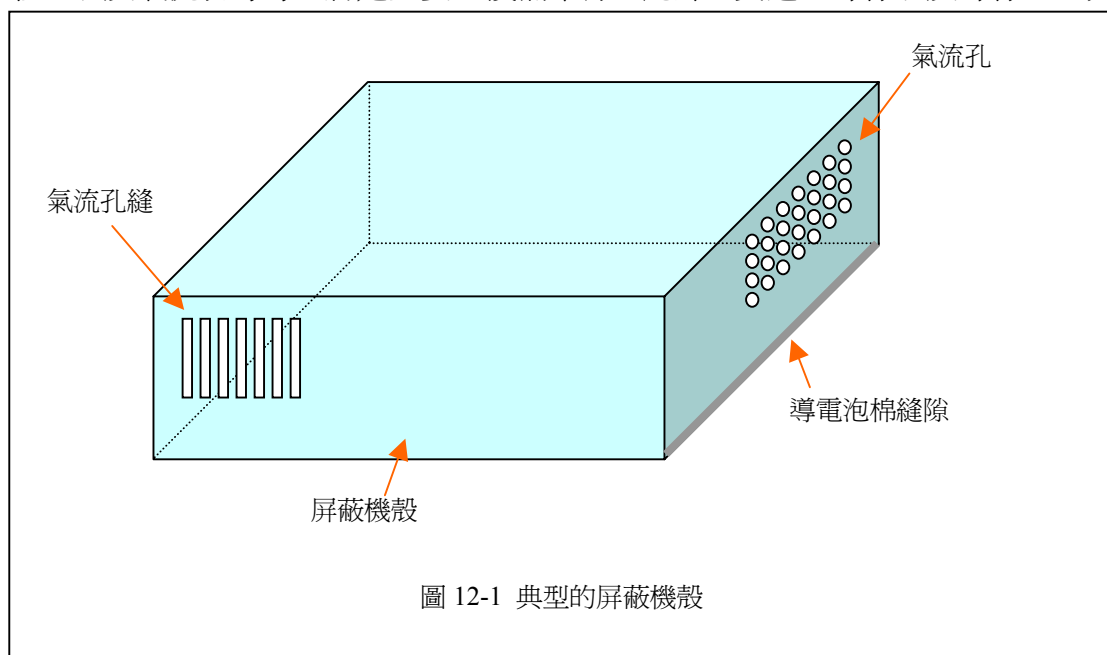


圖 12-1 典型的屏蔽機殼

模電流造成之輻射，會是所有輻射之主要來源。根基於『最佳實務經驗』之典型設計準則，要求孔隙之長度要小於『預期來自於內部電子、屏蔽或非屏蔽導線之最高頻率諧波波長』之十分之一。此一設計準則對於現今高科技電子產品之機殼已不適用。爲了要減少孔隙之電氣長度，常常使用螺絲、接觸彈片、導電性泡棉等等來增強在孔洞、縫隙、或是機殼接合處之電氣連續性(electrical continuity)。在實務之應用上，此些接觸面之限制決定了機殼之實際屏蔽效能。同樣地，屏蔽導線的效能則主要取決於連接器與機殼間之介面。導線之屏蔽(編織網)必須要連接到金屬之連接頭外殼，而此一外殼必須要連接到屏蔽機殼之導體面。屏蔽導線之 EMI 效能通常是取決於連接介面，而較少決定於導線之編織網密度。

理想的屏蔽機殼是一個金屬殼子，使用的金屬或是噴鍍導體之厚度，對於其所需要衰減之最高頻率而言，必須要有幾個『集膚深度 skin depth』。對於此一理想之屏蔽機殼，所有之寄生電流，亦即，環繞在機殼牆上之共模電流，都會被局限在機殼的內部表面上。在機殼上沒有縫隙讓內部牆上之傳導電流跑到機殼之外部表面。要進入或是離開機殼的意圖電流，使用屏蔽電纜，並在連接器與機殼之介面有著 360°之完美連接，在電纜另一邊之連接也是同樣的完美。在這種方式下，真實設計上的寄生共模電流就會限制在理想之屏蔽機殼內，而不會輻射出 EMI 問題。現實的狀況是，成本考量下之屏蔽就相當不同了。機殼之 EMI 效能取決於孔隙、接縫、氣流孔等等之穿透狀況，以及貫穿之纜線造成之共模電流和導致之 EMI。另外，導電泡棉(gasket)材質之效能，以及此導電泡棉在泡棉與機殼傳導金屬間建立金屬對金屬接觸之能力，會主要的影響其 EMC 效能。在編織導線泡棉中之吸收物質或是在其他地方使用之吸收物質之頻率特性，同樣會有影響。最後，在機殼內部之 PCB 之結構，其構成 EMI 耦合路徑會造成共模電流，也影響了此一機殼設計之 EMI 效能。本章中會各方面的討論這些實際之屏蔽機殼設計。

## 第二節 屏蔽機殼之共振模式

### (Resonance Mode within Shielded Enclosures)

一個不理想的機殼會產生的 EMI 輻射問題，可能是因爲孔洞開口的輻射，或是因爲在導線上之共模電流的輻射。圖 12-2 顯示的是一傳導電流(conduction current)，亦即是由電子在導體上攜帶的電流，碰到了在導體表面之不連續性狀況。此兩個獨立之狀況分別是傳導電流與縫隙垂直，亦即爲橫電場極化 TE (transverse electric polarization)，以及傳導電流與縫隙平行，亦即爲橫磁場極化 TM (transverse magnetic)。在 TE 狀況，在縫隙週遭之傳導電流與縫隙之走向相垂直。傳導電流會如圖所示的方式分開並圍繞在縫隙週邊。而位移電流(displacement current)，也就是由一個時變電場所攜帶的電流，會橫越過縫隙。當此一縫隙或孔洞的大小對於波長堪與比擬時，位移電流(或說是垂直於縫隙的電場)會造成輻射。輻射電場會與橫過孔隙的電場具有一樣的極性。在 TM 模式裡，傳導電流沿著縫隙的軸線流動，在電流路徑上的擾動較少。因此，TM 狀況的輻射比 TE 狀況的輻射要小好幾個次方，不會是問題。這也是對於現代儀器裡的孔徑波導或是孔徑同軸傳輸線駐波比量測之主要原則。波導內之孔洞沿著電流的軸來切割，因此對於所要量測的傳導電流(場)所引起的擾動極小，故可以忽略。

傳導性的機殼會引起共振模式(resonant mode)，在此情況下電磁場會變成非常的

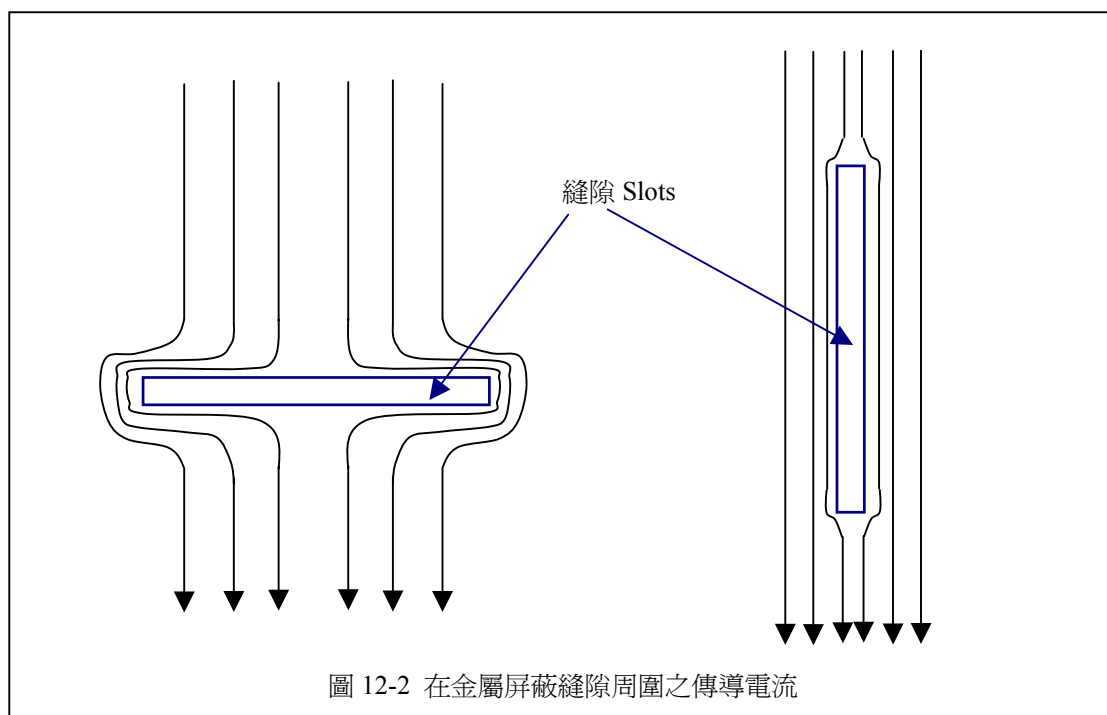


圖 12-2 在金屬屏蔽縫隙周圍之傳導電流

大。若是機殼牆上的縫隙被此一極大的電場所驅動，則會造成很大的 EMI。機殼裡的共振模式可以用一 RLC 電路的諧振頻率來比擬。例如，考慮如圖 12-3 裡的並聯 RLC 電路。

在此電路之並聯諧振頻率(resonance frequency)，

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (12.1)$$

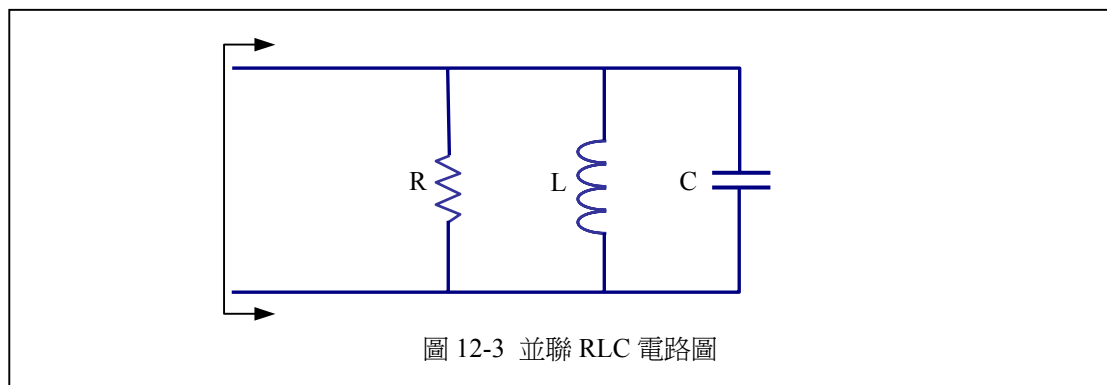
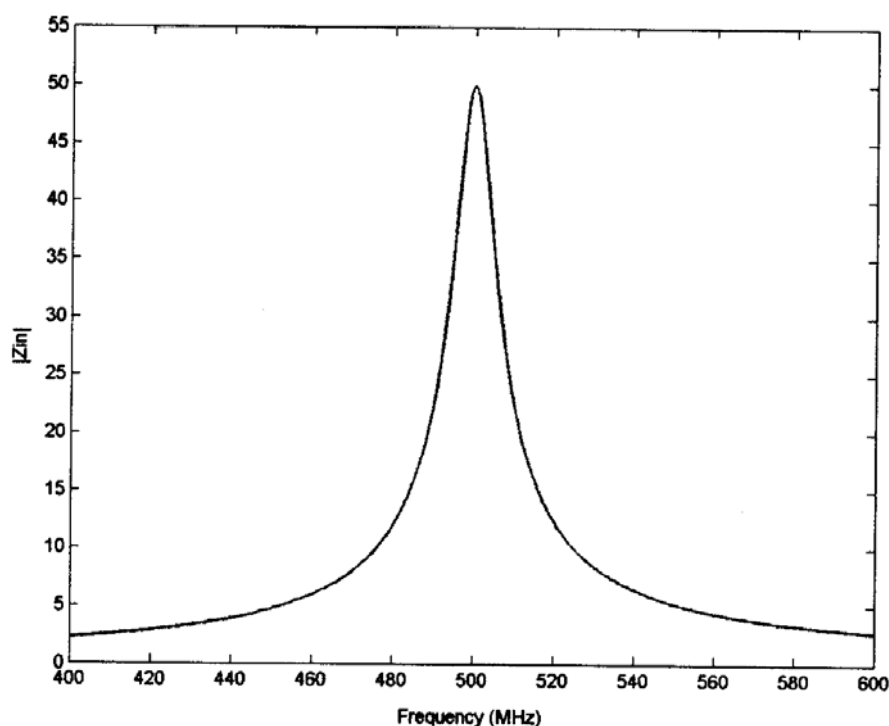


圖 12-3 並聯 RLC 電路圖

加上一個此頻率之正弦波電流會導致在電路端點極大的電壓，如圖 12-4 所示。事實上，此響應只會受限於電阻元件 R 的衰減值。此現象通常視為是電路之『自然響應(natural response)』。同理的，導體機殼也會有個共振頻率，對此一頻率，驅動源在端點看到的輸入阻抗值就像圖 12-4 一樣。在此一頻率之驅動源會導致很大的響應，也就是電磁場，存在於此一機體內部，若是經由孔洞或導線耦合到外部就會造成 EMI 問題。

導體機體之共振模式與其『長寬高尺寸』以及『內部介質』有關。電場與磁場，以及共振頻率，都是空間與頻率的函數，可以藉由幾個特殊案例如矩形、圓柱形、或是球形之機體來解析，進而推導到其他之特殊形狀。考慮的最簡單之幾何形狀



**Figure 12-4 Parallel RLC Circuit Input Impedance for  $Q=50$   
 $R=50 \Omega$ ,  $C=318 \text{ pF}$ ,  $L=0.32 \text{ nH}$**

是一個矩形機體。型態上其電場與磁場可以用『馬克思威爾方程式 Maxwell equation』來計算，基本上並讓其每一空間長度對應到半波長之整數倍。馬克思威爾方程式的解是一個波動，在此一共振機箱之狀況，就是一個 sine 以及 cosine 函數的駐波。在圖 12-5 中簡單的圖解此一基本觀念，關於  $TE_{101}$  以及  $TE_{102}$  模式在一矩形屏蔽機殼內之  $E_y$  分量。

在這裡，此一特定 TE 相對之電場完全地橫向於  $z$  軸，並且註解(1,0,1)表示其沿著(x,y,z)軸之半波長變化之數目。我們選擇特殊的位式函數，sine 或 cosine，以使得能符合電場的邊界條件。參考圖 12-5，邊界條件要求電場對導體之切線分量在導體的表面必須為零，所以沿著  $x=0,a$  以及  $z=0,d$  機殼表面之  $E_y$  必須為零。一般說來，在機殼內部之型態場之空間變動可以是非常複雜的，但是使用了上述之簡化概念，此模式之共振頻率可以簡單的決定如下：

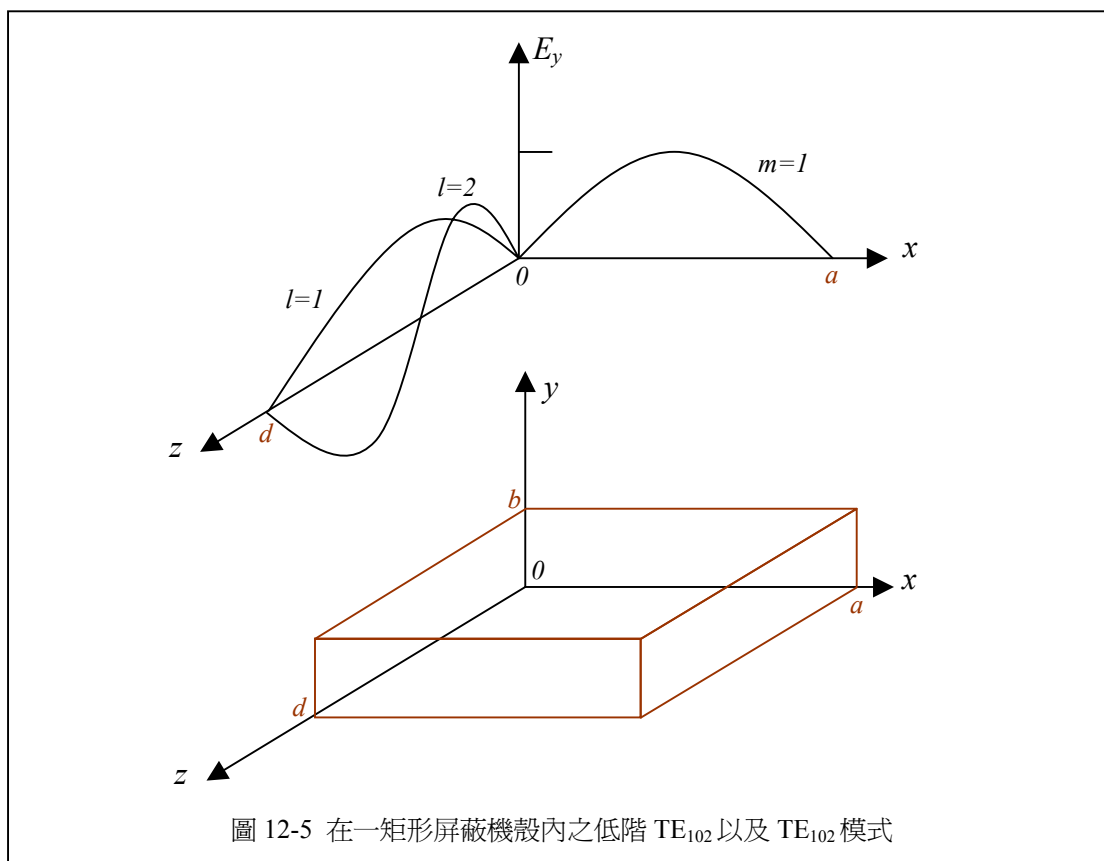
$$f_{mnp} = \frac{1}{2\sqrt{\epsilon\mu}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2 + \left(\frac{p}{c}\right)^2} \quad (12.2)$$

此處：

$a, b,$  及  $c =$  空間邊之長度

$m, n,$  及  $p =$  整數 (同一時間只有一個可以為零)

並且其只是幾何尺寸以及機體內介質之函數。



在機殼內的一個特殊模式是，由放置在模式之峰值位置之電場或磁場源所激勵，而不是由放在型態場之零點之場源所激勵。例如，一電流源沿著  $y$  軸方向，放在  $z=(1/2)d$  的位置，將會在機殼內激勵 TE<sub>101</sub> 模式，而非 TE<sub>102</sub> 模式。能夠激勵 TE<sub>101</sub> 模式的原因是因為在  $z=(1/2)d$  位置的電流源，是位於此模式電場之最大值，而 TE<sub>102</sub> 無法被此場源所激勵，因為場源是放在此模式電場的零點位置。電場以及磁場都能夠在機殼內激勵出模式，電源可以激勵出電場而磁源可以激勵出磁場。電源簡單的說就是一個電的耦極(electric dipole)，磁源就是一個電流環路。要激勵出特定之模式，電源必須要放在或是接近在電場之最大值位置，而磁源必須要放在或是接近在磁場之最大值位置。事實上，確實地說，是由型態場源頭之內部成分(極化以及空間特性)來決定能夠激勵出哪一種，以及多強的模式。

以實務之觀點來看，產品很少是為中空的矩形空間。許多種類的金屬盒子如電源供應器、磁碟機，以及其他之子系統放置在機殼之內部空間。許多 PC 板放置在不同之方位，不同的板子與子系統間使用電纜線或電線來連接。前述關於在理想導體內切線電場為零之邊界條件，仍然必須要符合，因此造成的模式更加困難來想像。

考慮一個例子，其機殼尺寸之大小使得其第一共振模式發生在 400MHz 的頻率。如前所述，構成此一共振頻率之電場模式在沿著機殼邊緣之電場必須為零，並且其最大電場發生在機體之中央。現在將一個 PC 板放置在機體之中央。在 PC 板上之金屬平面會改變電場之邊界條件，並且因為機殼之大小實質上已經改變了，故最大電場強度之位置也不再是在機體之中央。當其他的 PC 板及子系統再加入後，其所能支持之共振頻率會變得更高頻率。事實上，在一般的擁擠系統內，不太容易構成共振模式，除非是說其剩餘空間之尺寸與共振頻率之波長可以相對比時。



### 第三節 屏蔽機殼 Shielded Enclosures

對大多數真實世界中的機殼而言，金屬的厚度都遠大於集膚深度，因為應不至於會有場強穿透金屬屏蔽。反而是所有的隙漏都是由機殼的開口與縫隙所致。前述之屏蔽作用，通常會包括反射損失(reflection loss)以及吸收損失(absorption loss)兩種，並且隨金屬材質之不同而不同。假設此金屬導電性極優良(對比於空氣)並且厚度比集膚深度厚很多，則金屬之屏蔽效能就可以不用去考慮，只要專心在開口及縫隙即可。

#### 第一項 縫隙及開口 Apertures and Openings

如早先之討論，當切線電場靠近導體時，電場之大小必須為零。這樣會在金屬導體之表面創造出電流。此一電流會試圖在機殼之表面流動。若是在機殼上碰到了任何之不連續性(discontinuity)或是縫隙，此電流就必須要圍繞縫隙流動，如前述之圖 12-2 所示。因為圍繞縫隙流動也就增加了電流路徑的長度了。此一增加之路徑會包含有額外的電感與電阻，造成在縫隙處有個有效的電壓存在。如果縫隙的長度小於有興趣頻率之二分之一波長，則在縫隙之中心點會得到最大電壓值。此一電壓可以從縫隙之外面『看到』(來自於機殼內之源頭)，接下來，就會在機殼外面創造出一個電流。外部的電流就會造成輻射，這樣就是機殼內部之能量源頭輻射到外界的方式。

當電場與縫隙極性相垂直時(相反方位)，會增加最多之電流路徑長度，也就是最大的路徑阻抗，而造成最大的外部場強。縫隙越長，電流路徑的阻抗越大，橫過縫隙的電壓就越大，因此得到越大的外部場強。減短縫隙之長度可以減少洩漏出去之程度。

當電流的方向與縫隙長邊之方向一致時，電流路徑之受干擾程度最低，導致之外部場強也最小。不幸的是，設計者無法預測或是控制內部電場的極性以及其所造成之電流。對於一個有效的縫隙設計，必須要假設電流會從我們最不想要的方向流過來，要以最差狀況之條件來設計。

採用許多小洞組成的陣列，可以讓任意方向的電流都有最少的路徑長度增加量，如圖 12-6 所示。電流路徑受到的干擾極少。在小洞間之金屬導體寬度是很重要的。如果在小洞間只有一點點的金屬導體，則電流路徑之阻抗會增加，因而這小洞就無法有效的屏蔽。商用上之 EMC 準則是要讓這些金屬導體之寬度不小於洞孔直徑之 25%，以保持低的阻抗。在需要更強的屏蔽時，例如軍事應用，金屬導體之寬度還要再增加。

對於小洞之陣列，對於其屏蔽效能而言，其孔洞之形狀有時也是蠻重要的。由前面之討論，可以看出孔洞之形狀並不是很重要，除非說該形狀會嚴重增加電流路徑之長度。圓孔對於任意方向之電流所增加之路徑長度最低。方孔、鑽石形孔則會稍微的增加路徑長度(對角線長度與圓孔之直徑相同時，相對比)，但此因素並不是很重要。

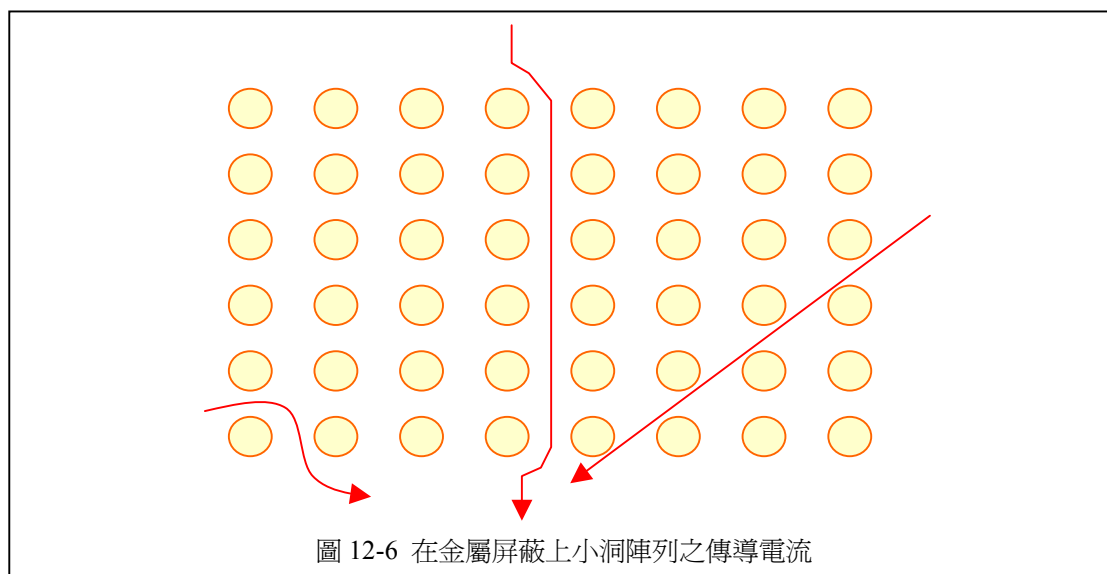


圖 12-6 在金屬屏蔽上小洞陣列之傳導電流

## 第二項 導電泡棉 Gaskets

有許多種類的導電泡棉可以用來填補金屬機殼之縫隙、接合處，以使這些縫隙小一點。很重要的是要記得其目標是要提供一個橫過縫隙的電流路徑。如果電流可以橫過縫隙流動，則就不會因為縫隙而增加電流路徑之長度，因此其在縫隙上所造成之電壓也就減低了。

對於使用在縫隙上來說，導電泡棉之導電性(Conductivity)並非是唯一的重要因素。互相接觸面材料(mating material)的表面導電性才是最重要的。大多數之機殼是由一基底材料製成，例如說鋼或是鋁，然後再加上一電鍍層(coating)以降低腐蝕。大多數的這些防腐蝕鍍層(例如「鉻酸根 Chromate」、「irridite」等)並不是傳導性的。將一個高度導電性之『導電泡棉』放在一非導電性之電鍍層之上並無助於讓電流流過縫隙，因此減低了『導電泡棉』的效果。圖 12-7 顯示了具有電鍍層之金屬物質以及『導電泡棉』。當『導電泡棉』具有粗糙面時，它就可以切穿非導電之電鍍層，而低阻抗的接觸到下方之基底金屬。基於此一理由，最好不要使用低價的、表面光滑的『導電泡棉』，此種泡棉因為不夠粗糙所以無法切穿任何的電鍍材料(視防腐蝕保護層之厚度而定)，可能根本就沒有效果。

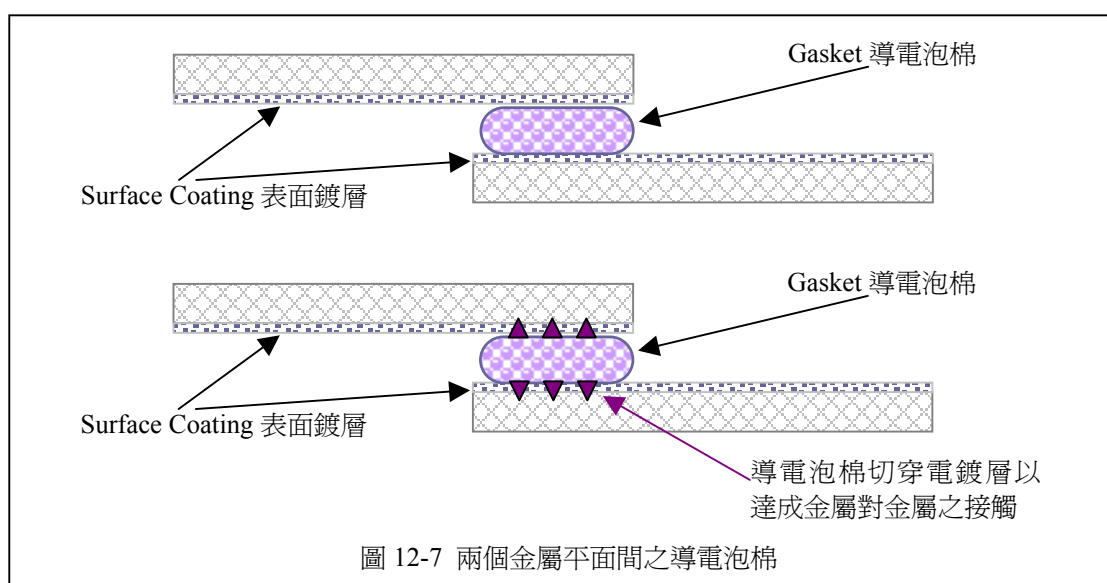
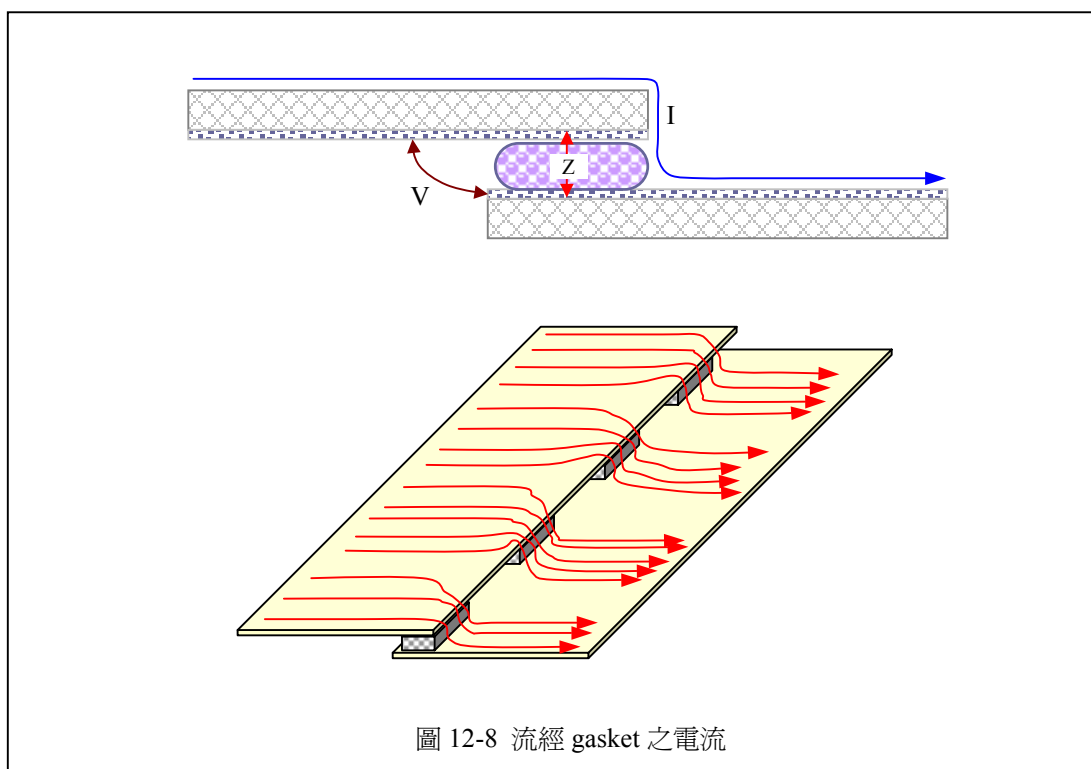


圖 12-7 兩個金屬平面間之導電泡棉

『導電泡棉』之製造廠商通常會提供對個別 Gasket 材料屏蔽效能之規格表。此一規格表很容易誤導。典型地，屏蔽效能的測試是使用兩間屏蔽室，中間夾一面共同的牆。牆上有一個大洞口。其中一個房間放有傳輸天線，接收天線放在另一個房間。當孔洞開著的時候做一次傳輸對接收的量測。接著將 gasket 貼在洞口四周然後蓋上一塊金屬板用以遮蓋此洞口。重複該測試，兩次測試之差值就是『屏蔽效能 Shielding effectiveness』。

這個測試有許多瑕疵，最明顯的就是我們可以重做此測試，但是使用報紙捲來取代『導電泡棉』。測得的結果顯示說其屏蔽效能，至 1GHz 頻率為 25-30dB！此意味著，一是說我們可以省下很多錢不用去購買 gasket，或是說在此一測試方法中必然有些錯誤。此種之測試結果會因為天線圖形(antenna pattern)、由此 gasket 隙漏之輻射模式、屏蔽室之共振效應、以及許多其他因素所影響。較合理的測試方式是注入一個電流橫越過 gasket 縫隙，然後測量橫過此縫隙之電壓。此一『轉換阻抗測試 transfer impedance test』方式對於 gasket 之真實特性、gasket 與金屬機殼的接觸特性，以及穿透電鍍層的能力都是一個很好的指標。圖 12-8 顯示電流流過 gasket 的狀況。如果 gasket 並不是連續的橫越在縫隙上，則會變成是一些較小的開口，而電流會侷限只能流過 gasket 所在的區域，如圖 12-8 所示。



#### 第四節 預測有開口機殼的屏蔽效果

(Predicting the Shielding Effectiveness of Enclosures with Apertures)

全波模型技術(Full wave modeling techniques)可以被用來精確的預測『開孔數量、大小、位置確定的機殼』之屏蔽效能。在此一模擬中必須要知道輻射源的位置、機殼之共振點、所有其他金屬的影響以及在機殼內之介質。這個計算可以是很精確的(只要所有的參數都是精確的輸入)，但是其只是適用在該特定組合。如果內部導線或是子系統的位置變了，共振頻率也會跟著改變。因而所預測的屏蔽效能也會變化，因此對於每一個不同組合都要再次的進行模擬。

通常，對於 EMC 應用，確切的共振頻率點並不重要。對於整體的屏蔽效能之評估比較重要，可以用它來決定開孔的大小。評估屏蔽效能包封線(最差狀況)之技術如下，其不受機殼之確切共振頻率的影響。在三米處(使用 mks 單位)之電場強度為

$$|E_{far}| = 4.0 \times 10^{-13} \frac{NV_s L^3 f^{3/2}}{\ln(1 + 0.66\alpha)r} \sqrt{\frac{Q}{R_s V}} \quad (12.3)$$

此處：

$N$  = 開孔的數目

$V_s$  = 源頭之電壓

$L$  = 開孔之長度

$f$  = 頻率

$\alpha$  = 孔徑之長度( $l$ )對寬度( $w$ )之比值

$r$  = 源頭與觀察點間之距離

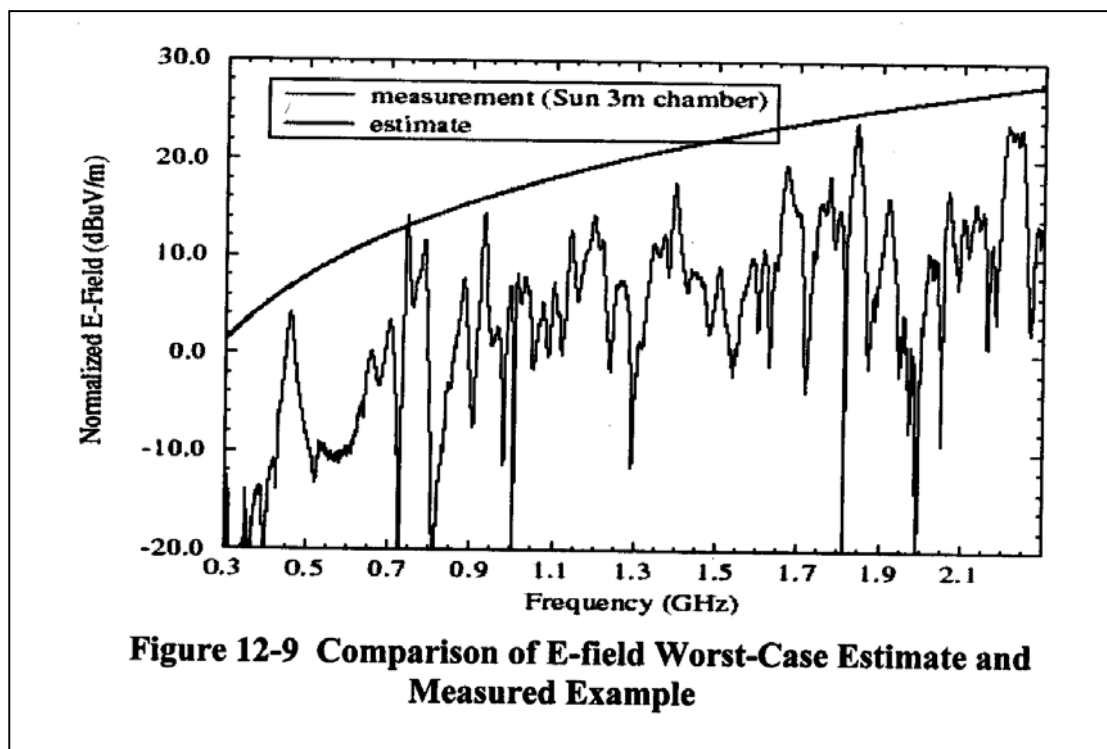
$R_s$  = 源阻抗 source impedance

$Q$  = 機殼之品質因素 Quality factor

在方程式(12.3)中並未指定源頭之位置、極化方向、以及尺寸大小，因為最差狀況包封線與這些因素無關。因此，所有來自於源頭之可能能量都會用來計算。在共振點，此為一合理之最差狀況近似值。源頭假設在機殼內激勵出模式，會依序的激勵縫隙以及開口。圖 12-9 顯示使用(12.3)計算一個機殼之例子，以及其與實際量測結果之相似度。

方程式(12.3)也可以用屏蔽效能之方式來表示。假設在機殼內有一個短的線性耦極子，上有電流  $I$ ，當作是雜訊源，則使用來自於此一短耦極子之輻射能量來計算，可得到方程式(12.4)。得到之屏蔽效能為

$$SE = 1.2 \times 10^{12} \frac{\sqrt{\frac{V}{Q} \ln(1 + 0.66\Delta)}}{NL^3 f^{3/2}} \quad (12.4)$$



### 第五節 PC 板邊緣的屏蔽

(Shielding the PC Board Edge)

前面一章已經討論過在 PC 板平面間之雜訊。介紹了許多種使用去耦合電容來降低雜訊之方式，但是對於高頻部分卻很難來降低其雜訊位準，主要是因為電容之本質電感以及電路板之物理共振。從 EMI 觀點來看，雜訊會傳遞到板子的邊緣然後由此邊緣輻射出去，變成是附近縫隙的一個輻射源頭。有一個降低此種板邊輻射的方法就是使用『接地圍籬 Ground fence』，使用貫穿孔圍繞著電路板。圖 12-10 顯示一個設計佈局之範例。一圈的接地導體在頂層與底層圍繞在板子外緣。許多的貫穿孔排列在板子邊緣，將頂層與底層連接在一起，在板邊建立一個局部屏蔽之效果。

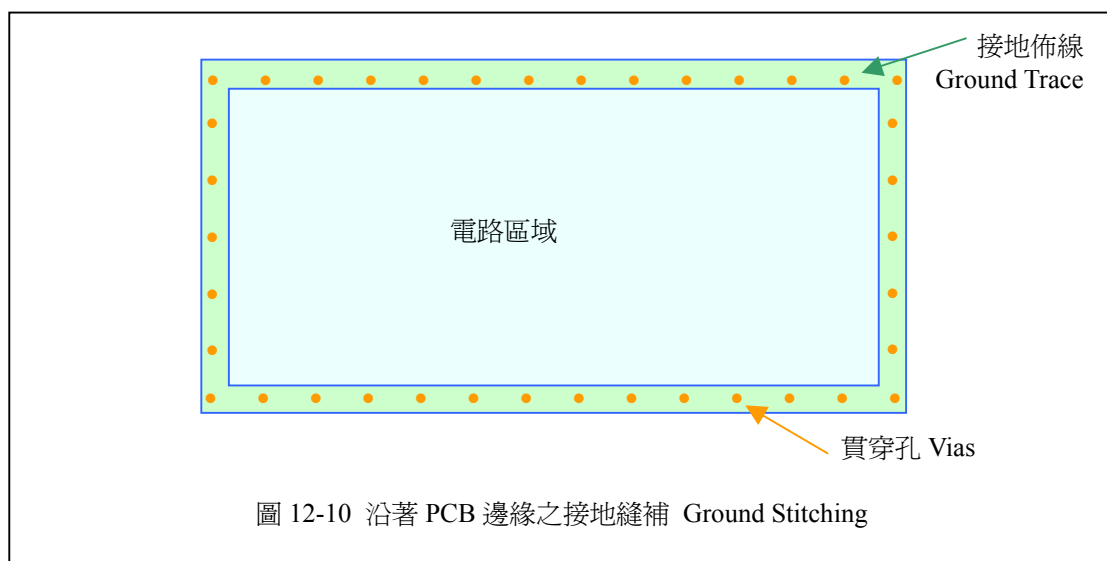
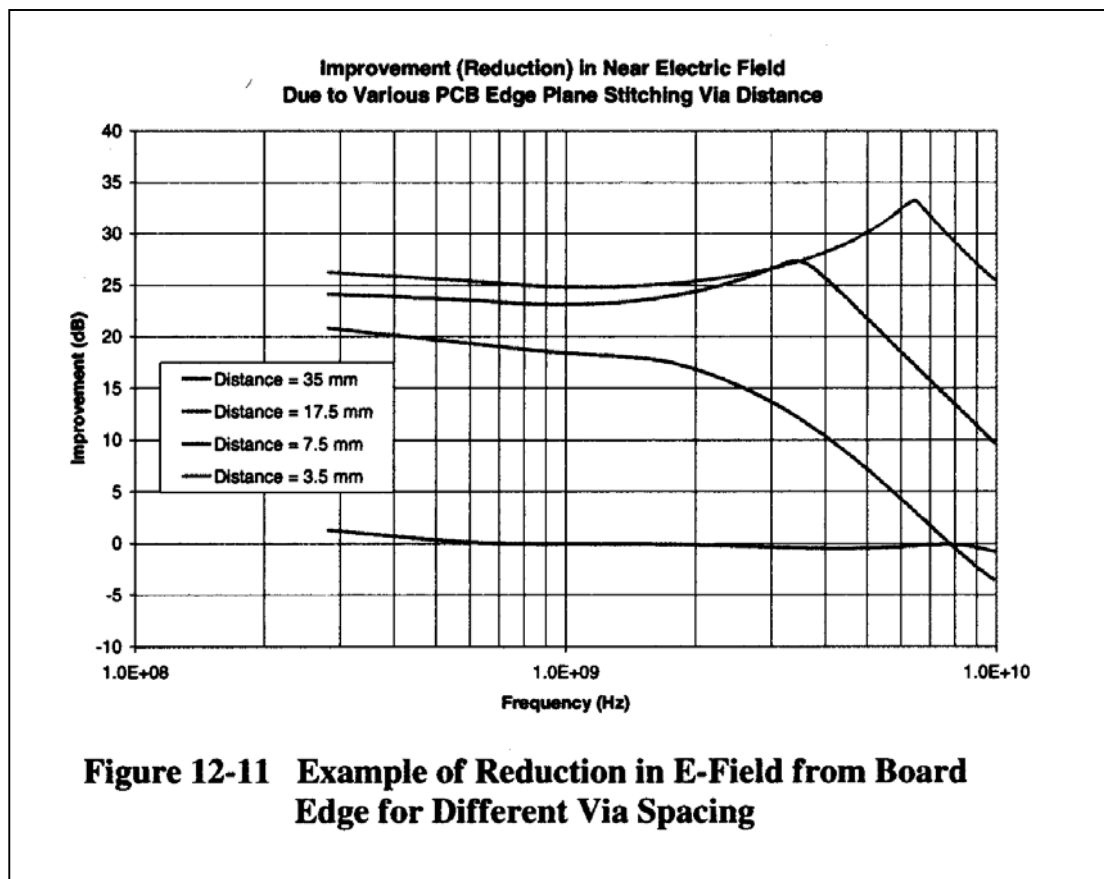


圖 12-11 顯示此方式之效果，對不同的貫穿孔間距之頻率特性。當貫穿孔靠的非常近時，此方式之效果非常的好。在極限處，就可以用電鍍層包裹在板子的四周邊緣以取代貫穿孔。不過此種完全電鍍之方式多只用在高速系統，對於較低效能之系統則多採用貫穿孔圍籬之方式。貫穿孔的間隔距離是很重要的因素，只有在貫穿孔間距很近時效果才好。



## 第六節 電纜之屏蔽

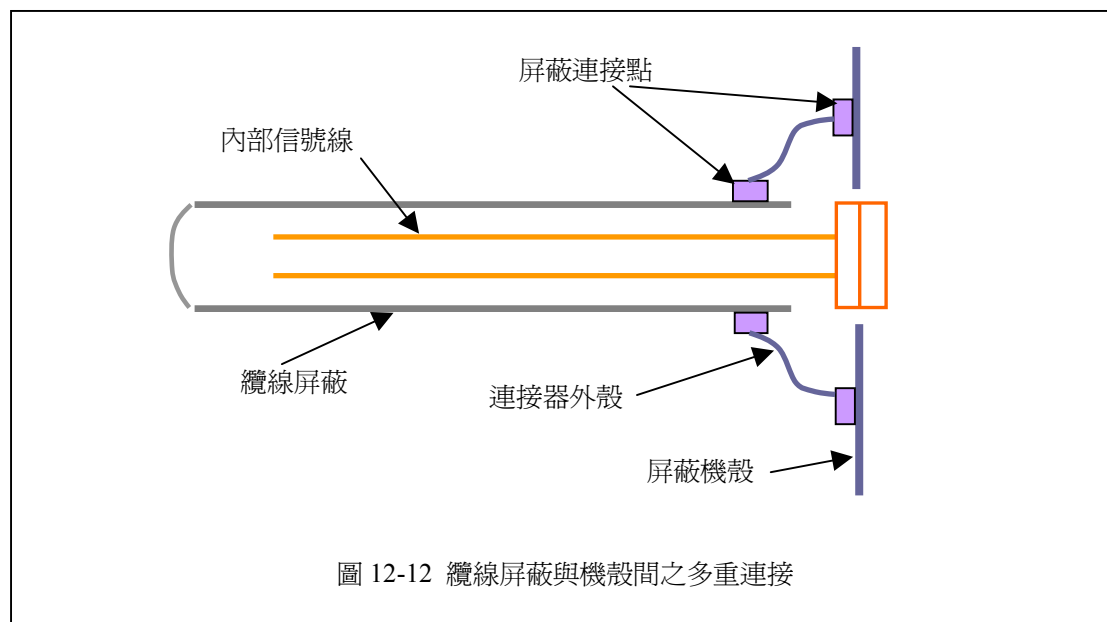
### (Cable Shields)

在一個良好屏蔽體中，另一個可能會造成隙漏的地方，就是連接到機體 I/O 連接器之屏蔽電纜。電纜沒有能把電流都限制住，其與機體之連接點會造成外部之輻射干擾。

從一個同軸電纜之簡單例子來看，信號電流在中心導體中流過去，然後由電纜屏蔽之內部流回來。如果電纜與機殼是使用 360 度的連接，則所有的迴返電流都會待在電纜屏蔽的內部，如此則具有屏蔽效果。就不會有輻射發生。但是如果，在電纜屏蔽與機殼間不是理想的連接，則其阻抗，經由流過之電流耦合，就會造成在機殼屏蔽與電纜屏蔽間之共模電壓。此電壓會造成電流流過整個機體，因而造成輻射干擾。

同軸電纜是一個簡單的例子。而大多數之 I/O 電纜並不是簡單的同軸線。典型上有很多條電線包裹在電纜屏蔽之內。這些電線可能帶有高速信號，在絞線中帶有差模信號，或是其他信號。在內部電線上之意圖或是非意圖共模電流都會造成迴

返電流在電纜內部屏蔽上流動。在此一狀況，在導線屏蔽與機體間之連接就較為複雜。有許多條的電線包括在內，也可以使用許多不同種類的連接器。導線屏蔽與連接器後殼之連接方式，以及連接器後殼與機殼之連接方式，對於屏蔽效能來講都是很重要的。圖 12-12 顯示在導線屏蔽與機殼間之多重連接。如果其中有一個連接點不是良好的 360 度低阻抗連接，電流就會在此一屏蔽連接的阻抗上流過，因而在此一不良連接點造成共模電壓，造成輻射干擾。保持連接器的每個部分之低阻抗連接，對於降低輻射是非常重要的。



### 第七節 結論

很重要的是要了解機殼之尺寸及源頭位置與共振之關係。另一個重點是要了解在金屬屏蔽上的電流以及外加阻抗所導致的路徑，才是造成縫隙及孔洞洩漏的主因。讓電流路徑最小就能夠降低孔洞洩漏的效應。

此章中另一主題是機殼中典型開孔洩漏程度之預測技術。當然機殼之全波分析會很精確，但是內部共振之效應還是很難預估，因為這會隨著內部導線、板子、以及子系統之位置移動、增加、移除而變。提供了一個簡單的、最差狀況的輻射包封線來審視不同孔洞及開口所造成之整體效應。

最後，對於纜線屏蔽與屏蔽機殼間終端之簡單討論顯示，需要特別關注纜線對外殼之連接，以及外殼對機殼之連接。在纜線屏蔽與機殼間，或是與連接器之接地腳間，使用豬尾巴連接方式是一個不良的設計，就無法對整個系統保持有效的屏蔽。

## 第十三章 當產品在 EMC 實驗室測試不通過時怎辦

(What to do if a product fails in the EMC lab)

### 第一節 介紹

產品在 EMC 實驗室一定會有 Fail 的情況，這是命中注定的。不管說設計者是不是已經使用了本書中之所有撇步，時常還是會有失控情況發生。舉例來說，由供應商手中買進子系統裝在我們的產品裡面。這個子系統在別的系统裡都很正常，但是裝到我們的產品中就出狀況了。或是說屏蔽機殼沒有如計劃般的『緊密』，等等。一連串無窮盡的事情都可能出錯，爲了要讓測試階段有效率，實驗室的工程師必須要很快的找到問題的根本原因，並且提出解決方案。

此章之目的是提供一些方法以協助工程師找到輻射之成因。要描述出一個『step-by-step』的測試步驟以解決所有的問題是絕不可能的。每個問題都是不同的，並且要在特定之環境下才能找到。不過還是可以有個一般性的起始程序。

一般性的測試程序需要讓 EMC 工程師成爲一個偵探。第一個問題永遠都應該是『這個信號是從哪來的？』。第二個問題應該是『它是如何跑出屏蔽機殼的？』。將此兩個問題當作是你的基本策略，可以讓你在測試實驗室少待一點時間。從另一方面來說，沒事隨機的加一些 ferrite beads、銅箔膠帶、濾波電容，是讓你長期待在實驗室的絕佳方法，並且會增加不必要的產品成本。

### 第二節 信號從哪來？

(Where does the signal come from?)

不幸的是，一些有經驗的工程師在處理不通過之產品時，往往會忽略這個問題。然而，如果說你知道信號是從哪裡來的，就較可以來追蹤其耦合至機殼外的路徑，然後決定最佳的解決方案。

時脈(clock)以及數據信號(data signal)是爲最可能的來源。所以，系統中的時脈頻率以及資料率(以及其諧波)是多少？這些頻率是不是吻合於問題之頻率點？要記得，100Mb/s 資料率的基頻是 50MHz，並且是每 50MHz 一根諧波。

頻譜分析儀的顯示有沒有提供任何之其他訊息？例如說，一個通常使用來降低時脈輻射的方法，是使用稱之爲『展頻 spread spectrum』之時脈信號。此方式將時脈信號之基頻以及其諧波『頻率調變』(典型上對基頻 1%的調變)。在頻譜分析儀上顯示的圖形就會明顯的降低<sup>註</sup>以及散開。因此其名稱才叫做『展頻』。此一簡單的頻率調變形式與通信上之展頻通信是無關的。

如果在頻譜分析儀上顯示的信號是展開的輻射樣式，則其來源就應該是啓動了展頻功能的時脈信號。注意力就應該集中到這些相關的信號以及其佈線，而不要管其他的信號。反之亦然。亦即，若是頻譜儀顯示的信號是窄頻(narrow)而不是散開的，則就可以不要管展頻的時脈信號。

註：此種稱之爲『展頻』之時脈信號其實並沒有真正的降低諧波的振幅。諧波的頻率會改變(因爲基頻之頻率調變)，而在頻譜分析儀上的檢波器(detector)的時間常數不夠快，以致於無法指示出信號的真正振幅。



另一種可能在頻譜分析儀上看到的信號，可能不像是窄頻信號之諧波也不像是展頻信號。來自於資料信號的輻射通常都是隨機的資料叢集。所以，了解這些輻射的來源可以讓工程師直接排除板子上不相關的信號。

### 第三節 信號是如何跑出屏蔽機殼的？

(How does the signal get out of the shielded)

一旦對於信號之來源有些概念，就可以開始來看說信號是如何跑到機殼外面去。第一個線索就是來查看當移動或移除各種纜線時，輻射強度是否有很大的影響。大多數產品之屏蔽機殼實質上來說都很小，所以其本身不會是個有效的輻射器。當把各式之纜線加到產品上時，這些纜線就會讓此一產品在電氣上大了很多，並且變成是較有效的輻射器。

信號要從屏蔽機殼出去只有三種方法：

1. 由孔洞、開口、縫隙洩漏出去。
2. 經由機殼屏蔽傳導到纜線以及未屏蔽的線
3. 由不理想的屏蔽纜線接觸洩漏至機殼

如果信號是由於上述原因溢出屏蔽機殼，移動纜線就會改變輻射之振幅。

#### 第一項 由孔洞、開口、縫隙洩漏出去

(Leaks through slots holes and apertures)

一個常用的測試方法是使用近場磁場探棒在機殼邊緣偵測。此方法通常可以協助指出造成輻射之開口，但是通常也可能找到並非真正造成問題的位置。事實上，此測試通常會指出某個封閉的金屬角落或是封閉平面的中心點是洩漏的源頭。這些錯誤的指示是因為近場探棒的工作原理所致，也就是說，它所量測的是電流在金屬表面造成之磁場。一旦說信號從開口洩漏出去(不論開口在哪裡)，如果此結構是適合的大小，就可能產生一個與實體大小有關聯的共振狀況，信號輻射就會增強。此共振會造成在結構上之 RF 電流，其電流之峰值位置是由輻射之波長所控制，而與實際之洩漏位置不太相關。此種行為與非中央饋入式耦極天線(non-center fed dipole)很像。當頻率在半波耦極之共振點時，最大之電流會是在天線之中央位置，與實際之信號饋入點無關。

使用接觸式之電壓探針是較好之方式。圖 13-1 顯示一個簡單的探針，使用半僵硬之同軸線(semi-rigid coax)，將中央導體凸出來，而外圍導體則延伸至與中央導體同一位置點。這樣可以簡單的量測橫過縫隙的電壓(電場)。簡單的這種探針可以在需要的時候以標準同軸線很快的作出來。

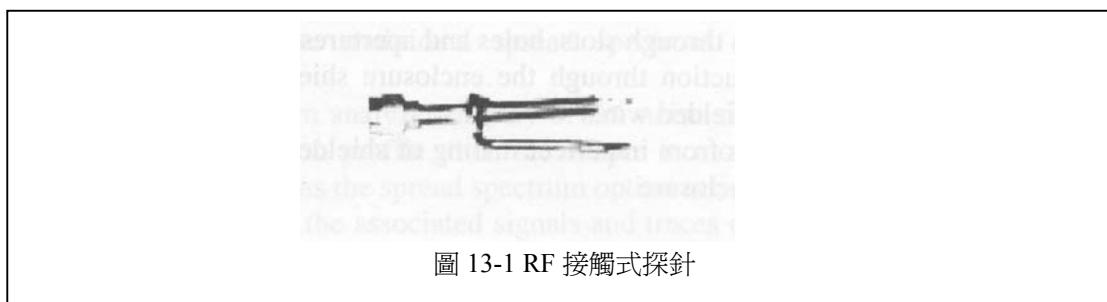


圖 13-1 RF 接觸式探針

要使用此一探針，將頻譜分析儀調整到所感興趣的頻率，然後將探針跨越所要量測的各個孔洞位置。可以很快的量測到在該孔洞信號洩漏的最大值，銅箔膠帶可以用來暫時的貼在孔隙上，以驗證是否可以得到改善。如果此一有問題的信號無法在任何的縫隙或孔洞上發現，或是如果使用銅箔膠帶無法大量的降低輻射值，則此一信號可能就是由別的方式溢出機殼。

如果發現某一縫隙有很高程度的洩漏，則可以使用導電泡棉，或是對輻射之源頭加以適當的濾波方式。

### 第二項 經由機殼屏蔽傳導到纜線以及未屏蔽的線

#### (Conducted through the shield on cables and wires)

非屏蔽線上之非意圖信號是一個常見的輻射成因。把導線拆掉或是移動位置，可以看出來哪些導線要負責任。如前節所述，將導線拆掉可能會造成輻射強度之重大變化，是因為改變了輻射天線之效能，而不是因為將輻射源頭移除了。

前節所述之電壓探針也可以用來協助分辨哪一個連接器是洩漏的源頭。可以將導線移除，或是可以將導線留下但是將導線之外絕緣皮剝掉，露出其中中心導體。用電壓探針來測量導線之導體(或連接器之接腳)與屏蔽機殼間之電壓。**注意：**要小心確認在 I/O 連接器上之意圖或非意圖信號的 DC 電壓，是否太高，以避免損傷到頻譜分析儀之輸入端。

隨著雜訊跑到連接器接腳之原因不同，會看到不同的結果。通常，此信號為共模信號，而所有的接腳的雜訊信號都是一樣的能量強度。然而，並非都是如此，其中之一條導體的雜訊能量(或是數條)可能比其他之導體都要強很多。要記得，輻射並不會去讀電路圖說哪一些接腳標記為『接地腳』。即使是『接地腳』都可能有雜訊能量，視其如何連接到機殼屏蔽。機殼屏蔽是外部導線對於共模信號之最終接地參考點。在 I/O 導線以及屏蔽機殼間之共模雜訊電壓，推動該導線如同一個『奇形耦極天線 odd-shaped dipole antenna』一般。

一旦找出了洩漏之接腳，可以對這些佈線加上濾波器，或是在雜訊之源頭加濾波器。

### 第三項 由不理想的屏蔽纜線接觸洩漏至機殼

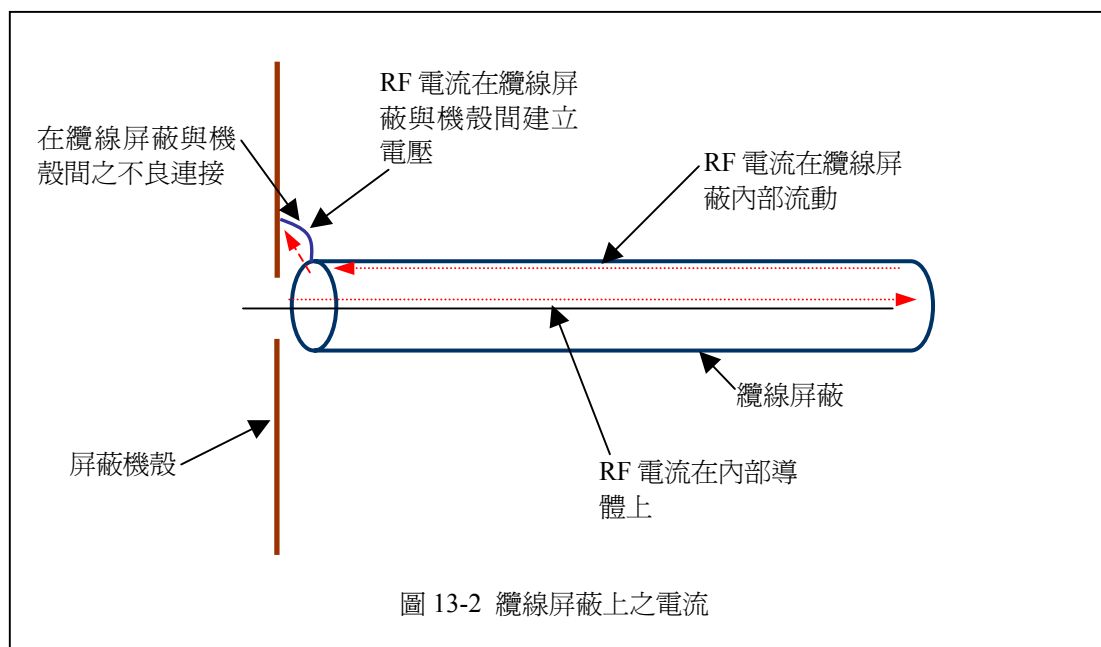
#### (Leaks from imperfect mating of shielded cable to the enclosure)

大家都知道纜線的屏蔽應該要是 360 度，並且此屏蔽也要用 360 度之方式連接到機殼，但除了在軍事用途以外很少這樣做。纜線屏蔽可能是纏繞的箔片或是編織的金屬線，或是組合來用。由纜線屏蔽連接到機殼屏蔽之品質也大有差異。最簡單(最便宜)的方式使用一條導線接觸到纜線屏蔽之箔片或編織網，然後連接到機殼連接器上之接地腳。較強壯的方式是使用金屬連接器之外殼擠壓到纜線之屏蔽，然後此外殼再接觸到機殼上之連接頭。不管使用哪些種類的方式，在纜線屏蔽與系統機殼間必須要低阻抗以避免輻射之發生。

圖 13-2 顯示在一典型之纜線屏蔽附接到系統機殼狀況下之電流流動。此電流可能是來自於意圖或是非意圖信號。電流傳導在內部導體上。我們希望迴返電流只在纜線屏蔽之內部流動。如果迴返電流被限制在纜線屏蔽之內部，則不會有洩漏

(從此纜線)發生，也不會有輻射問題。如果在纜線屏蔽與機殼間之連接不是低阻抗，則電流在此阻抗上流過就會產生電壓。

再一次的，前面講過的電壓探針可以用來找尋哪一個纜線屏蔽是洩漏的源頭。用此探針來量測纜線屏蔽與機殼間之電壓。一旦找到了洩漏的纜線屏蔽連接端，可以改進其連接方式，或是可以將信號在源頭處適當的濾波。



#### 第四節 耦合之機制

##### (Coupling Mechanism)

本章已經談過了解信號的出處以及其如何溢出系統是很重要的，但是還未提到在源頭與最後的洩漏點之間的耦合機制。通常，一旦說產品在 EMC 測試實驗室中測試不通過，再想要改善其耦合機制就太晚了，但是在某些情況之下，還是有一些方法可以改善以解決此問題。

##### 第一項 案例一，時脈信號由接縫洩漏

假設在 PC 板某處有一個時脈信號源，而由一個機殼之縫隙洩漏出去。如果輻射之頻率為時脈基頻之第七次諧波或更高的諧波，通常最好的解決方式是在意圖信號上加濾波器。如果系統之運作確實需要快速的上升時間<sup>註</sup>，或是說此一有問題的頻率的確是必要的較低階諧波，則在源頭加濾波器就不太適宜了。

時脈信號傳遞到洩漏縫隙的方式有很多種。最可能的方式是信號在機殼內輻射，然後再由開孔洩漏出去。經過縫隙附近的一條內部纜線或電線也可能會造成縫隙之洩漏。有時候移動內部纜線的位置就可以降低輻射的強度(如果這是部分原因的話)。時脈信號可能會耦合到其他的信號導體而進入到內部纜線然後輻射出

注：通常，時脈以及資料驅動器的上升時間並不需要到 IC 所能驅動的那麼快。但是，設計者通常會以較快的上升時間當成預設值，以使信號 timing 分析容易些。這樣通常會讓 EMC 設計上增加成本，因為要多來控制許多不必要的高頻。在整個設計裡，會有許多的妥協要做，一旦知道了所造成的額外成本，通常較低的上升時間就可以被接受。

去。一旦找到了耦合的機制，就可以加以控制。有許多可能的耦合路徑，無法在這裡一一的描述。

## 第二項 案例二，時脈信號由未屏蔽之纜線洩漏

如前所述之源頭端加濾波方式還是可以使用。然而，在此案例，時脈信號是藉由一個非屏蔽纜線傳遞到機殼之外。時脈信號適一個非意圖信號，因為我們根本就不希望它在那條導線上出現。能量可能由時脈佈線直接耦合到 I/O 之佈線，或經由另一個導體。能量可能在機殼內輻射然後耦合到 I/O 連接器以及/或是佈線。同時，如前面之例子，內部纜線可能作為將非意圖信號由其源頭傳遞到 I/O 連接器之一條路徑。

## 第五節 結論

在實驗室中並沒有按部就班的指導準則可讓我們用來解決 EMC 問題。不過，有一些一般性的原則可以協助來減少花費的時間。隨機的應用銅箔膠帶、ferrite beads、以及濾波器並不是最容易或最快的解決問題方法。

了解信號從哪裡來是很重要的。通常，信號可以在其源頭就控制住，那就不會造成系統信號洩漏的問題，因為雜訊信號的來源已經沒有了。如果無法在於源頭處控制，那就要來了解信號是如何由機殼中洩漏出去的。簡單的電壓探針在此方面是最有效的分析工具，因為它消除了近場探針可能的誤導。此種接觸式之電壓探針可以用來確認造成洩漏之機殼縫隙、纜線上的非意圖信號、以及屏蔽纜線之不當連接方式。最後，了解在信號源頭以及洩漏點間耦合之機制可以減少解決問題的時間。

## 第十四章 附錄 A

### EMI/EMC 電腦模型介紹(Introduction to EMI/EMC Computational Modeling)

#### A.1 介紹

EMI 模型(modeling)在技術文獻中越來越常出現。大部分的文章是針對產品開發之 EMI/EMC 工程師，告訴你哪些新功能或是特殊模型是可以使用或是不可以使用。只有很少的資料是關於一般使用者應用的 EMI/EMC 模型工具，而不需要使用者研讀教科書或是一堆包含艱深數學以及電磁理論的技術文件。

然而，最新的 EMI/EMC 模型技術，在執行精確之模擬並獲得有用的結論前，並不需要使用者在電磁學上有深入的訓練，或是要有數值模型技術。EMI/EMC 模型可以協助工程師，但是在能有效率的使用之前必須要有些基礎了解。

此附錄對於 EMI/EMC 模型做個簡單的介紹。深入的介紹可以看『EMI/EMC Computational Modeling Handbook』這本書。此附錄對一些最常用的技術做個介紹，並且討論了基本電腦模型原理。

#### A.2 EMI/EMC 模型為何很重要？

使用 EMI/EMC 模型作為 EMI/EMC 工程師應用工具之一種，是爲了要降低產品之成本<sup>註</sup>。如果不用『modeling』，工程師藉必須要依賴手冊、方程式、以及圖表，這些都會有應用上的限制，或是依賴他們自己定的準則，或是累積的經驗。構成這些準則之假設，常常並不存在於眼前之問題之中。有某些準則是還好，他們會修正一些不適當的假設，但即使這些可以很精確，還是必須限制在小心控制的環境中。恰當的使用模型工具可讓工程師使用全波電磁方案來預測特定產品之特性。

在真正產品設計問題中使用準則還是有些限制，工程師面臨的是要決定採用較保守的或是較不保守的設計。較保守的設計可以確保產品在第一次測試時就通過法規要求。但這必須要靠『過度設計 over-design』來確保其 EMI/EMC 特性。過度設計可以符合法規要求，但是產品會增加額外的成本。非保守性的設計會採取一些合理的冒險，以降低 EMI/EMC 之特性要求。依據工程師之經驗與訓練，產品可能通過也可能不通過測試。如果產品不通過測試，則需要急迫的重新設計，可能造成開發時程的延誤以及修補方式之額外成本。

另一個採用 EMI/EMC 模型的好處是『可靠性 credibility』。通常產品設計團隊裡會包括許多之工程準則：電氣的、機構的、熱傳的、以及 EMI/EMC。在其他的設計準則裡常常用到電腦輔助設計(CAD)模擬工具。這些工具可以讓工程師對其建議之設計方式提供一可靠的依據。有些設計方式，例如較大的通風口設計，可能會與 EMI/EMC 工程師的設計方向直接抵觸，但是，因為 EMI/EMC 工程師沒有模擬工具來依賴，他們的建議通常就被忽視掉。EMI/EMC 模型工具可以提供設計團隊一個可靠的數據結果，讓設計裡不需要猜測，使得 EMI/EMC 工程師的設計建議可以得到認真的對待。

註：產品的成本可以區分為『研發成本 development costs』以及『上市時間成本 Time-to Market costs』。

### A.3 EMI/EMC 模型：最新科技

目前的 EMI/EMC 模型工具不是萬能的。也就是說，它們不能說將所有的機構上、電子上的檔案輸入，經過一晚上的計算，然後告訴你可以或不可以通過法規測試。EMI/EMC 工程師必須要篩檢資料，變成可以實際模型化的幾個問題。工程師必須要決定設計上之風險在哪裡，並且加以分析。

此意味著 EMI/EMC 工程師在設計流程裡還要做整合之工作。『模型』沒有辦法取代 EMI/EMC 工程師。『模型』只是 EMI/EMC 工程師口袋中的一個工具。EMI/EMC 工程師的知識與經驗還是需要用來對設計做進一步的分析與定模型。

通常，要分析的問題可能需要多步驟的模型(multi-stage model)。第一次模型分析的結果可作為第二次模型的資料。這樣可以讓模型對問題的每一部份最佳化，再將結果綜合起來。因此，可以分析較大的整體問題，而不需要做一次的將整個問題粗糙的解決。再次強調的，EMI/EMC 工程師要好好的了解問題以及模型技術，才會知道如何將其分割成獨立的小模擬。

### A.4 工具箱

沒有哪一個模型技術對所有可能模型都是最有效且精確的。不幸的是，許多商用之工具只專長在某一技術，但卻常是要將所有問題都以一個特定的技術來解決。EMI/EMC 工程師有很廣泛的問題要解決，需要廣範圍的工具。『適當的工具用在適當的工作』，此句話於 EMI/EMC 工程師的身上，就像是在蓋個房子或是組台無線電機一樣的適用。你不會拿把布丁刀去切牛排，或是用烙鐵去鎖螺絲，所以為什麼要用不適宜的模型工具呢？

有許多種類的自動化 EMI/EMC 工具可以讓工程師來使用。自動化工具包括有『設計準則檢查器 design rule checkers』可以使用一系列預先定好的原則來檢查 PC 板之佈局；『準靜態模擬器 quasi-staticc simulators』使用在電感/電容/電阻參數之取得(當元件遠小於波長時)；『快速計算器 quick caculators』使用封閉形式之方程式來計算單純的應用；『全波數值模擬技術 full-wave numerical simulation techniques』如本書中的描述；以及『專家系統 expert-system』工具，依據事先決定的條件提供設計建議。很明顯的，不同的自動化工具應用在不同的 EMI/EMC 問題，以及使用在設計階段的不同時間。本書將著重在『全波數值模型以及模擬技術』，以及如何在真實世界的 EMI/EMC 問題中使用這些技術。

不同的模型技術適用於不同的問題。例如說，『片段法 Method of Moments(MoM) 技術』非常適用於長導線的模擬，因為它只計算導體上的電流，像是金屬表面以及電線，並且其無關於圍繞著導線之空間。但是，『有限元素法 Finite Element Method(FEM)』以及『有限差異時域法 Finite-Difference Time-Domain Method (FDTD)』就不適用於長電線模型模擬，像是有著外部纜線的電腦，因為其需要將圍繞著纜線的空間區域定出模型，並且此區域必須要夠大以使其計算區域邊界在遠場範圍。因之，在這些應用上使用 FEM 或是 FDTD 技術會導致無效的電腦化模型。另一方面來說，也有 MoM 不適用的問題，因此，一群包含有不同模型技術之工具是 EMI/EMC 工程師的重要資產。

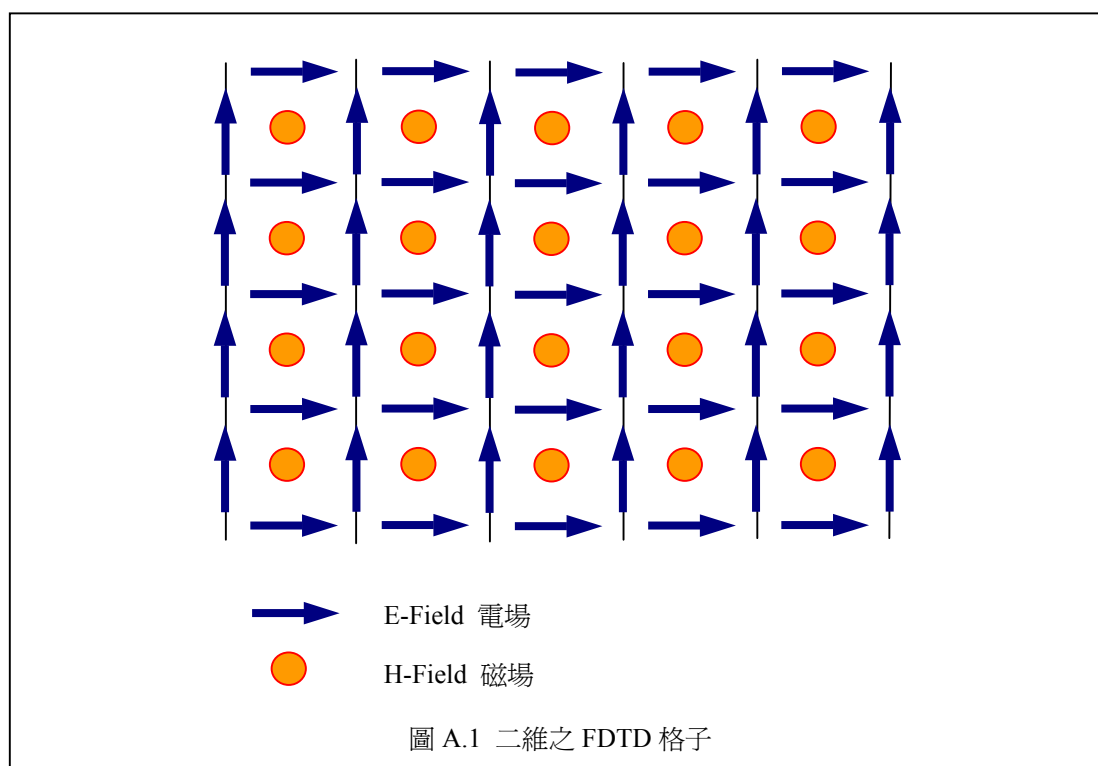
### A.5 EMI 模型技術之簡單描述

有許多的電磁模型技術。有許多的爭論關於哪個是『最佳』的，其通常關係於研發者的學校，以及他的教授較專精於哪一個技術。許多的技術僅只專注在某一特定組態，以及使用於每個問題時有些特別限制。有些技術並不一般化，需要特別深入的電磁學知識以及模型技術。有些只針對遠場之問題，例如說決定軍事器材之雷達截面積。在此不討論這些特殊化的遠場技術，因為其很少使用在典型的 EMI/EMC 工程師之問題。

有三種常用在 EMI/EMC 模型問題之技術：『FDTD 技術』、『MoM』、以及『FEM 技術』。以下會簡單的描述。

#### A.5.1 有限差異時域法 Finite-Difference Time-Domain (FDTD)

FDTD 技術是馬克思威爾差模方程式之空間依靠(volume-based)之解析。將馬克思威爾方程式轉換成中心差模方程式，然後直接以時域之方式來求解。在定模型時，圍繞在目標物旁邊之整個空間體必須要分割成正方形或是長方形的格子狀(Grid)。每個格子的大小與所感興趣頻率之波長相比必須要非常小，並且要指出該格子區域是為金屬、空氣、或是其他任何物質。圖 A.1 顯示一個二維之格狀分割。一旦建立了此一格狀參數，則可接著決定每個格子在某一時間之電場及磁場大小。接著將時間前進一步，再次計算電場及磁場。如此重複計算，則每一個時間欄位之電磁場強度都可以依據前一個時間欄位之電磁場強度計算出來。



一旦場強計算沿著此一網狀領域傳播，此 FDTD 模擬就完成了，然後可以再使用時域之傅立葉轉換(Fourier transform)，將此時域之結果轉換成由某一觀察點看到之寬頻頻率響應數據。因為 FDTD 方式可以提供時域之解析，由一次的模擬就可得到寬頻域之結果。

因為 FDTD 是一個『空間依靠』之解析方式<sup>註1</sup>，格子之邊緣必須要特別的控制以提供適當的輻射響應。邊緣是以一種『吸收邊界條件 Absorbing Boundary Condition (ABC)』來定出模型。有許多不同的 ABCs，大部分都是以其發現者來命名。在幾乎所有的案例中，必須要在電氣上將 ABC 從源頭以及所有模型中之輻射源中移除，使得 ABC 在遠場的假設為真，讓 ABC 能夠合理的精確。典型上說，在 FDTD 技術中之好的 ABC 可以提供小於-60dB 之有效反射。

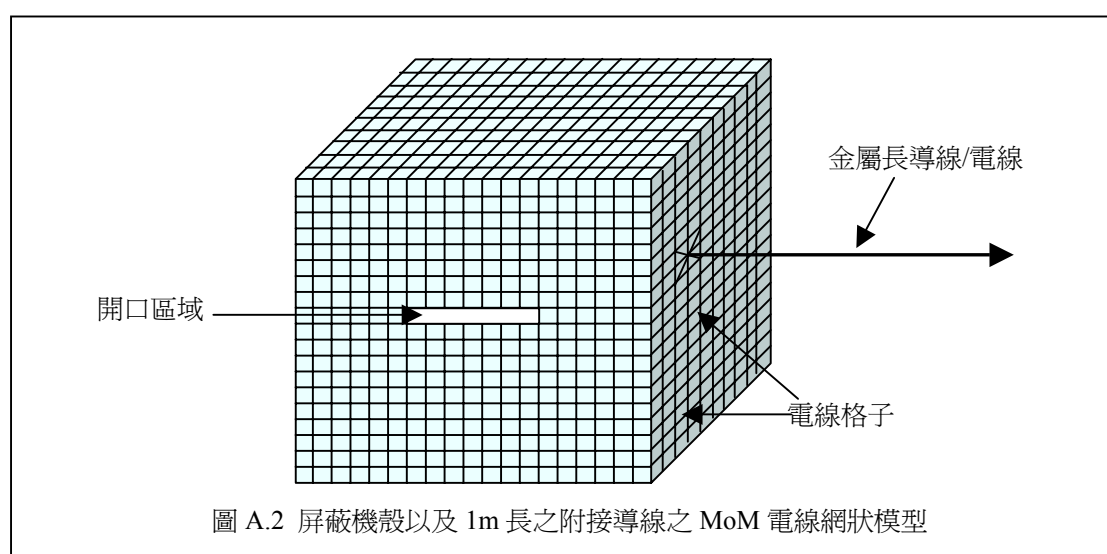
自然地，因為格子狀的計算區域是由模型的大小來決定的，我們最好盡量讓模型較小。當計算區域(格子之數目)增加時，解析之時間也會增加。FDTD 技術很適合包括有金屬、介電值、以及空氣區域之模型。而 FDTD 技術不適合電線或是長的、細的結構，因為此種結構之計算區域負擔會快速增加。

### A.5.2 片段法 Method of Moments

MoM 是一種表面電流之技術<sup>註2</sup>。將要模型化之結構轉換成一串的金屬平板及線段<sup>註3</sup>。圖 A.2 顯示一個屏蔽盒子轉換成一個電線格子以及一根長的附接電線。一旦將結構定義好了，電線就分割成短的線段(與波長相比極小)，而平板也分割成小塊(與波長相比極小)。由這樣的結構，就可定義出一堆的線性方程式。由這些線性方程式的答案就可得到每一個線段以及小塊的 RF 電流。一旦得知了每一線段以及小塊的 RF 電流，在空間中每一點之電場也就可以由每一個線段/小塊之向量和得知。

當使用 MoM 時，要知道所有導體中之電流，其他的空間假設是空氣。這樣有助於增加對長細導線(像是外部之電纜或是導線)問題解析之效率。因為 MoM 是尋求導體中之電流，其模型對於金屬及空氣很有效。然而，介電值以及其他物質就很困難在一般電腦上使用 MoM 模型化。

MoM 是一種頻域之解析技術。因此，當需要多個頻率之解析時，必須要對每一個頻率分別來計算。通常這是必須的，因為典型電腦的源頭信號都會有快速之上升時間，因此會有很多之諧波成分需要計算。



注 1：整個計算空間之區域都要格子化。

注 2：只決定表面電流，整個體積並未格子化。

注 3：通常，實心之結構轉換成電線模型，而將金屬平板完全消除掉。



### A. 5. 3 有限元素法 Finite Element Method(FEM)

FEM 是另一種空間依靠之解析技術。要解析之空間分割成小元素，通常是三角形或是四面體形狀，稱之為有限元素網(finite element mesh)。在每一個元素之場強可以用未知係數之低階多項式來估計。將此一估算之方程式帶入馬克思威爾方程式中之變數表示式，解出所得之系統方程式即可知道此係數。一旦係數計算出來，就知道了每一元素之近似場強。

以上之技術，元素越小其最終結果就越精確。當元素變的非常小時，未知數就變的非常多，會大大增加所需要之解析計算時間。

FEM 是一個空間依靠之解析技術，因此，在所計算空間之邊界必須要有邊界條件。一般來說，FEM 之邊界必須要與所分析的結構在電性上距離很遠，並且必須為球形或圓柱形。這樣的限制造成 FEM 使用者的一大負擔，因為與其他之技術相比，其未知數會戲劇性的大增。

### A. 6 電磁模型之其他用途

雖然本書著重在 EMI/EMC 模型，並將這些問題轉換成實際之模型，模型還有許多其他之用途。天線設計、雷達截面、以及微波電路分析為其中之一些。這些形式之問題都會有軟體專門用來解析這個問題；然而，使用在 EMI/EMC 模型之技術也很容易應用到其他的特殊問題上。一般說來，最有效的 EMI/EMC 模型工程師會以電磁觀點來看整體問題，並將其分成源頭端以及接收端來分析。

### A. 7 結論

EMI/EMC 問題已經存在這裡，並且隨個人通訊裝置之激增以及電腦速度持續增快而越來越複雜。在市場上的每一個電子產品以及未來要上市之產品都需要 EMI/EMC 考量。那些堅持使用傳統方式設計之工程師，將會很快發現其設計之產品太貴了，因為過度設計或是一而再的重複測試週期。雖然說並非每一個設計專案，或是每一個 EMI/EMC 設計都要使用模型，模型/模擬技術對工程師是個很有用的工具。經驗顯示，一旦克服了使用新東西的猶豫，工程師都會發現模型工具具有其從未想像到的好處。