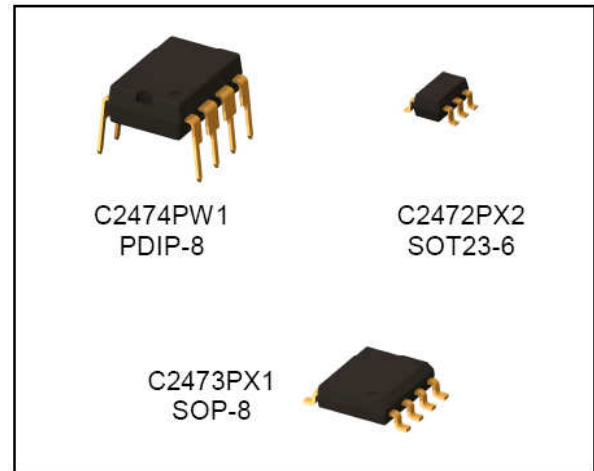


### 產品優勢

- 低系統零件數
- 高平均效率
- 低待機損耗
- 不需額外的元件即可符合 EMI 的測試規範
- 極佳的絕緣能力以及雷擊電壓的承受力
- 整合高功率密度於及小的空間之中

### 產品特性

- 高密度整合之 CMOS 控制 IC
- 低價的封裝型式可供選擇
- 驅動低價的功率雙載子電晶體
- 經由共振切換達到極高的效率，並降低 EMI 雜訊
- 操作頻率經由線路中的雜散特性最佳化之結果
- 提供過載保護、過溫保護以及低電壓保護



### 應用範圍

外接式 AC/DC 充電器/適配器(單一輸入電壓範圍)，如：無線電話、手提式電子工具。

內建式電源(單一輸入電壓範圍)，如機頂盒、DVD 撥放機、音響以及居家電器產品。

### 概論

C2472, C2473 以及 C2474 控制器是以 CamSemi 非連續共振前向式轉換器(RDFC)的架構以達到高效率，並以低價格取代傳統線性變壓器的新選擇。由於採用共振切換的模式，可因此降低 EMI 的干擾，使得在一些對於干擾特別重視的應用，如音響產品以及無線電話充電器等應用上，取代線性變壓器成為可行的方案。另外 C2472, C2473 以及 C2474 亦提供了只有在高頻切換的電源上才有的過載保護功能。

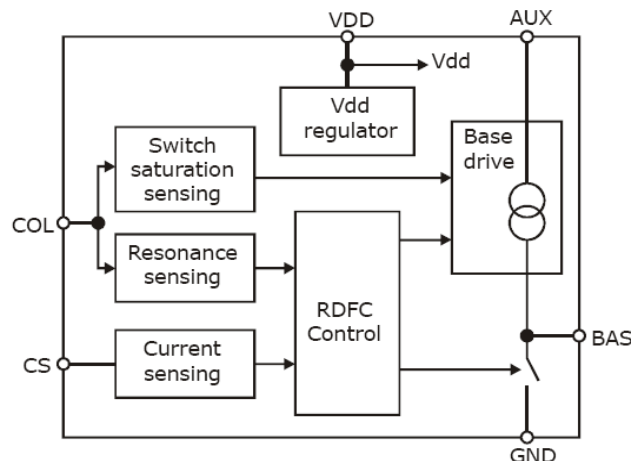


Figure 1: Block Diagram of the C2472, C2473 and C2474 Controller ICs

### 腳位定義

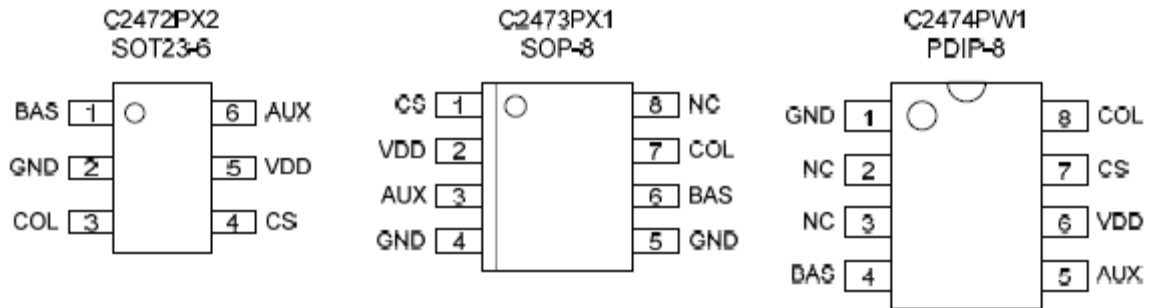


Figure 2: C2472, C2473 and C2474 Pin Assignment (drawings are not to scale)

### VDD 腳

VDD 腳提供了控制 IC 電源，並由內部的一個分流穩壓器將電壓控制在約 3.3V 的穩定電壓內。

### COL 腳

COL 腳經由一個耦合電容用來偵測一次側切換電晶體上集極的電壓，來控制開關時序，以及 BAS 腳的驅動電流準位。

### CS 腳

CS 腳經由電流偵測電阻來偵測一次側的切換電流。經由此電壓來控制系統待機以及過載保護的操作模式。操作特性可經由外部的兩個電阻進行調整。

### AUX 腳

AUX 腳提供 IC 內部基極驅動的電流。在大部分的應用上，AUX 腳經由外部的 NPN 電晶體以及限流電阻連接到外接電源，以設定最大的基極電流。在一些低功率的設計上，可經由一個限流電阻直接連接至 VDD 腳，然此舉將增加待機的損耗。

### BAS 腳

BAS 腳驅動一次側功率電晶體的導通與截止，藉由控制供給功率電晶體的電流，來降低切換損耗，以提高系統的整體效率。

### GND 腳

GND 腳提供了地準位。當 IC 有多個 GND 腳時，所有 GND 腳必須由一個共同的低阻抗路徑加以連接。

### 一般應用線路

C2472, C2473 以及 C2474 控制器主要是設計在單一輸入電壓源的 AC/DC 應用，如取代傳統線性變壓器電源供應器的應用。經由此功能強大的控制器可製造出非常低的價格的成品並應用在極為廣泛的產品上。其基本的線路設計如圖三所示。

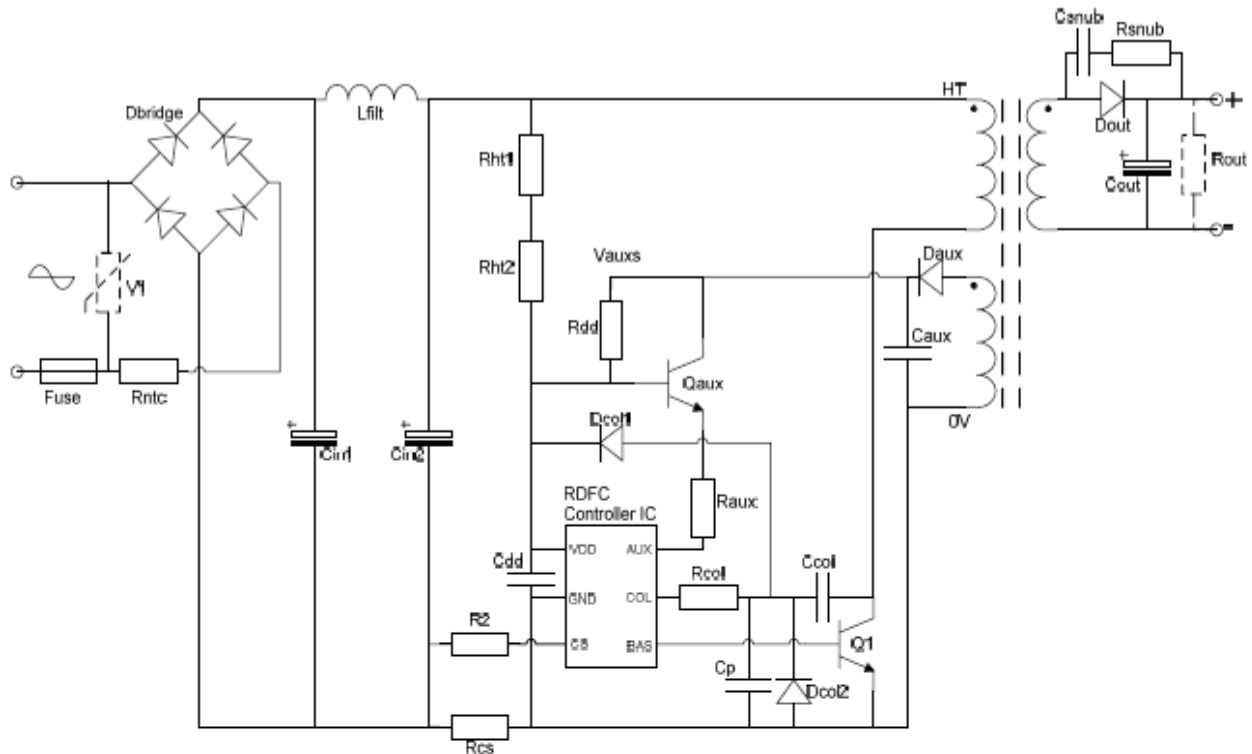


Figure 3: Typical RDFC Application Schematic

### Typical 12 W Charger Performance

Input	115 V ac
Output	12 V, 1 A dc
Efficiency	> 80%
No-load power input	< 150 mW

### Typical Maximum Application Rated Power

Power Switch (Q1) Gain	115 Vac	230 Vac
Standard	20 W	40 W
High	40 W	60 W

### 主要操作原理

#### 開機/關機時序

C2472, C2473 以及 C2474 控制器是經由 VDD 腳提供電源。當 AC 電源提供給系統時，整流後的輸入電源經由高阻值的啟動電阻(圖三中的 RHT1 與 RHT2)所提供的小量電流( $I_{DDSL\text{E}E\text{P}}$ )將流入 VDD 腳位。當 VDD 腳的電壓達到  $V_{OV\text{D}\text{T}\text{H}\text{R}}$  準位時，此時控制器開始動作。此時 IC 進入開機狀態(Start up state)而需要更多的供應電流( $I_{DDW\text{A}\text{K}\text{E}}$ )，如圖四所示。控制器短暫的停留在開機狀態以啟動內部的所有的區塊，而後進入操作模式(Active Mode)。在啟動狀態以及操作狀態下，VDD 的電壓經由內部的分流穩壓器控制在穩定的 VDD 電壓下，當在休眠狀態(Sleep)下，內部的分流穩壓器將被關閉。VDD 在啟動狀態下( $V_{DD\text{R}\text{E}\text{G}\text{(S)}}$ )，會穩定在比操作模式( $V_{DD\text{R}\text{E}\text{G}\text{(M)}}$ )高的電壓，以便於變壓器在提供足夠的輔助電源前，提供足夠的能量給 VDD。

當 VDD 腳的電壓低於  $V_{UV\text{D}\text{T}\text{H}\text{R}}$  時，控制器將回到休眠狀態，此時將會降低供應電流的需求。當輸入電源重新接上時，系統將會重新啟動。為了讓系統啟動的時序較為順暢，VDD 旁的儲能電容必須足夠大，以提供足夠的 VDD 電壓在啟動狀態時不至於低於  $V_{UV\text{D}\text{T}\text{H}\text{R}}$  而重新啟動。

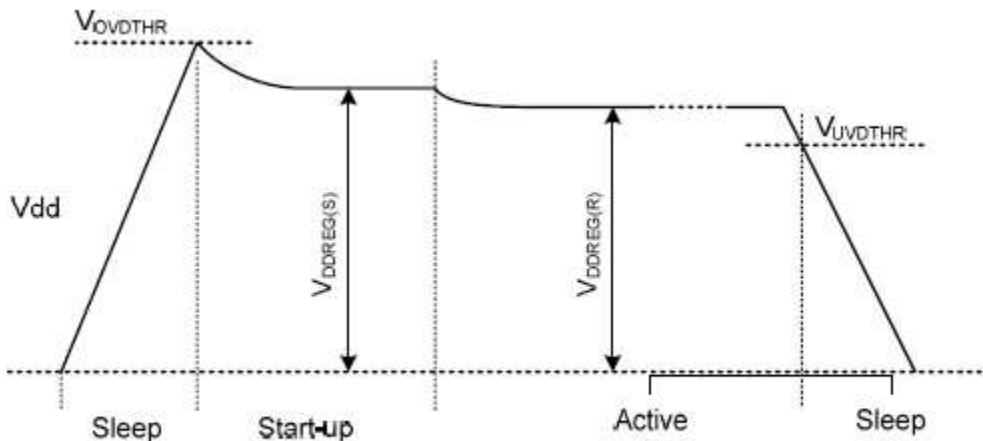


Figure 4: VDD Pin Waveform ( $V_{DD}$ ) During Initial Power-up and Power-down

狀態	說明
休眠	當提供初使電源給系統，或是在操作狀態下 VDD 電源低於 $V_{UV\text{D}\text{T}\text{H}\text{R}}$ ，系統將轉換至休眠狀態中。此時 IC 內部的核心電路將會關閉，外接之功率電晶體 Q1 將會保持在 off 的狀況。當 VDD 電壓達到 $V_{OV\text{D}\text{T}\text{H}\text{R}}$ 時，控制器將會進入啟動狀態。
啟動	當系統進入啟動狀態後，IC 內部的控制線路將被啟動而開始進行能量的轉換(表二的待機模式)，在此狀態下，IC 內部的分流穩壓器將 VDD 穩定在一個中間的電壓 $V_{DD\text{R}\text{E}\text{G}\text{(S)}}$ ，經過預先設定的一段時間後，IC 將從啟動狀態進入操作狀態中。
操作	轉換器持續操作，IC 內部的分流穩壓器將 VDD 電壓控制在一個較低的準位 $V_{DD\text{R}\text{E}\text{G}\text{(R)}}$ 。當 VDD 低於 $V_{UV\text{D}\text{T}\text{H}\text{R}}$ 時，控制器將停止轉換器的操作而回到休眠狀態下。

表一：Summary of RDFC Controller States

### 開機以及啟動狀態之轉換器操作模式

在開機以及啟動狀態下，C2472，C2473 以及 C2474 控制 IC 有幾種不同的模式，以控制電源設計達到高效率，並在極大的負載變化狀況下限制輸出電流。表二描述在不同模式下的操作狀況。

模式	負載範圍	說明
待機	0~20%負載 額定電流	待機模式會在輕載時，隨著負載降低而漸次的降低導通時間，並延長截止時間以降低電源損耗。當負載增加時，轉換器的佔空比將會持續增加直到進入正常模式之中。
正常	20%~100% 負載額定電流	正常模式下提供了穩定的輸出電源。在正常模式下，系統在完全的共振狀態下切換，若定義晶體截止時在變壓器共振的時間為 ( $T_{RES}$ )，則晶體的導通時間為截止時間的 75%。此時透過 CS 腳的電壓偵測出一次側切換電流。若此電流較低時，將進入待機模式；電流較高時，將進入過載模式。
過載	負載超出 100% 的額 定電流	當輸出在較大的負載情況下將進入過載模式。在此模式下，當一次側的電流超出預設的規格時，晶體的導通時間將被提早截止(較 $T_{RES}$ 的 75%為低)以保護功率晶體，並限制輸出電流，此時輸出的電壓將會降低。當負載繼續增加時（一次側的導通時間低於預設的時間），系統將進入 foldback 模式。
Foldback	輸出電壓低 於額定電壓 的 70%	Foldback 模式是從過載模式轉換而來。在此模式下，控制器藉由降低開關晶體的導通時間並增加截止時間來降低其佔空比，以保護此電源轉換器以及任何連接的負載元件，並持續提供輔助電源給控制 IC。控制 IC 在固定的切換周期後，轉換至 Power Burst 模式。
Power Burst	輸出電壓低 於額定電壓 的 70%	Power Burst 模式周期性的由 Foldback 模式轉換而來以重新啟動系統。在 Power Burst 模式下，控制 IC 將在一定時間內輸出最大電流。此時負載電流如果沒有超出保護極限，系統將回到正常模式下，否則將回到 Foldback 模式之中。

表二：Summary of Active Operating Modes

當控制 IC 由休眠進入啟動狀態時，系統將操作在待機模式。通常此時的轉換器操作在較低的輸出電壓，所以在初期的幾個切換時的電流將會非常的高，此時將會很快的使操作模式轉換到正常模式或是過載模式。

### RDFC 電源設計的電壓與電流特性

圖五說明 RDFC 電源設計中在不同操作模式下的定義。 $I_{NOM}$  與  $V_{NOM}$  是指正常的輸出電壓與電流，在應用線路中改變不同的負載所繪出。

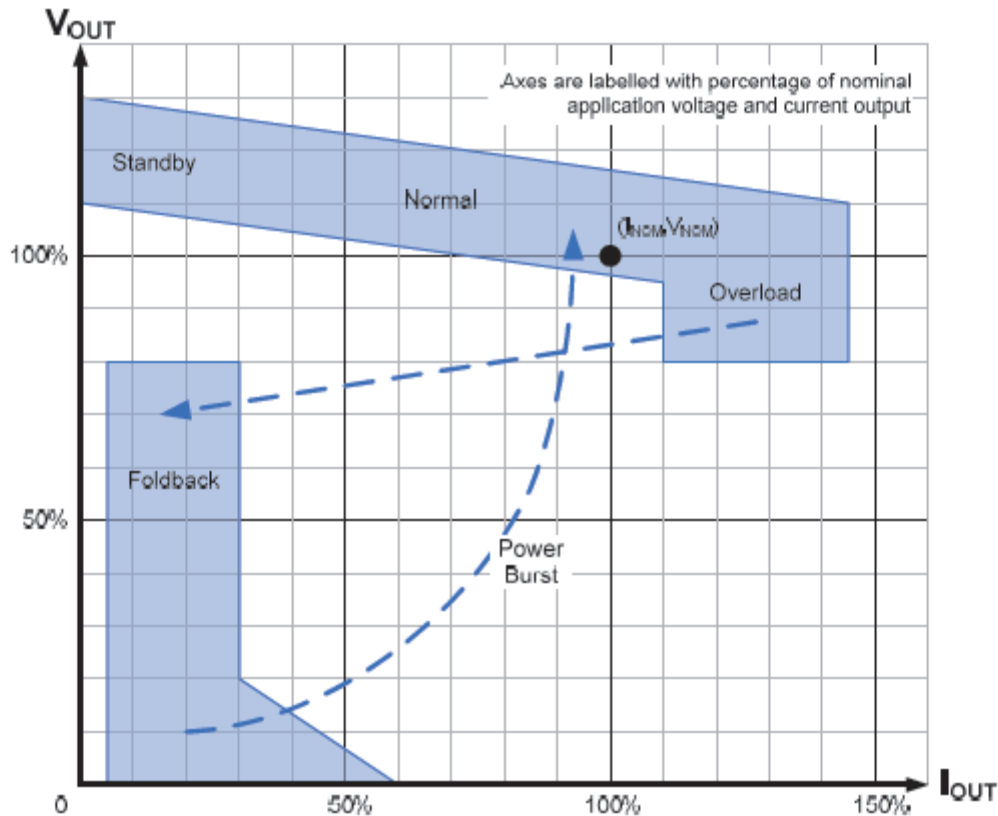


Figure 5: Typical RDFC Power Supply Characteristic Indicating Different Active Modes of Operation

正確的模式切換之轉換點將根據應用的規格，控制 IC 內部震盪頻率( $F_{CLK}$ )以及 CS 腳的準位 ( $V_{OCPH}$  與  $V_{OCPL}$ )而有所不同。這些參數以及其影響將於稍後解釋。

### 切換波形

一次側功率切換電晶體的集極電壓與電流波形如圖六所示。 $T_{RES}$  是指晶體在截止時變壓器內部產生共振的時間。在過載模式時，一次側開關 Q1 因超出 OCPH 的保護準位而關閉(由 CS 腳偵測)。

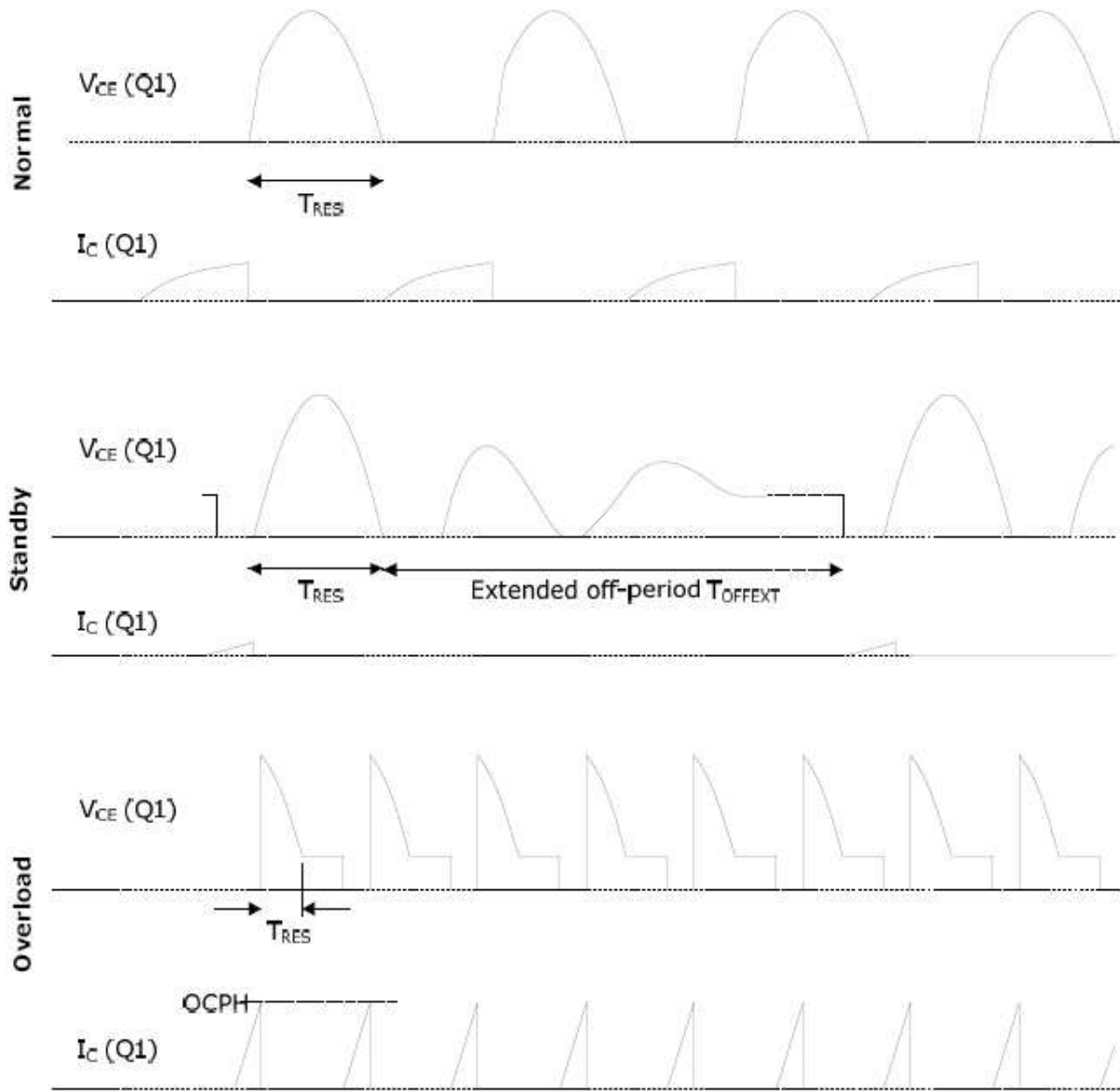


Figure 6: Typical Switch (Q1) Collector Voltage ( $V_{CE}$ ) and Current ( $I_C$ ) Waveforms

### 共振波形之控制

變壓器以及其週邊寄生元件的自然共振週期，是經由耦合電容偵測流進以及流出 COL 腳的電流所決定。

COL 腳在一次側開關元件導通時，是用來控制一次側的切換晶體(圖三的 Q1)在導通時候的飽和狀況(詳見” Optimized Base Drive” )，而在開關元件截止時，將偵測 COL 腳(內部此時產生一個低阻抗的路徑)流進以及流出的電流以決定共振時間；由上所述，變壓器上的電壓變化速率造成流進以及流出 COL 腳的電流，決定了  $T_{RES}$  週期以及接下來的最佳導通時間，此共振週期也用來決定一次側切換晶體的最大導通時間為：

$$T_{ON} = 0.75 \times T_{RES}$$

因此最大的佔空比( $D_{NORMAL}$ )約為 43%。切換元件的導通時間控制了輸出的功率，所以在輕載以及過載的狀況下將降低導通時間。在過載狀況下的最低的導通時間是由內部的 CS 空窗期( $T_{CSBLANK}$ )所定義。

在一次側開關導通時，集極電壓有可能瞬間很快的降低而經由耦合電容產生極大的耦合電流流入或流出 COL 腳。在 IC 內部由內部的 ACTICLAMP 控制線路控制一個對地的低阻抗箝位電晶體，此箝位電晶體在一次側切換電晶體導通之前以及一次側切換開關截止後的  $T_{ACT}$  時間進行短暫的導通。此箝位電晶體將在其他的時間保持在 OFF 的狀態。在一些應用線路中，經過耦合電容所產生的電流所產生的足夠導通內部的 ESD 保護二極體的電壓跨在箝位電晶體上，此限制了  $I_{COL}$  的電流而此一規格在規格書的絕對最大電壓限制中有標示出。當實際的電容耦合電流超出此一規範時，必須在線路中增加保護的二極體以及限流電阻(圖三中的  $D_{col1}$ ， $D_{col2}$  以及  $R_{col}$ )。



### 最佳化的基極驅動設計

為了減少一次側功率切換電晶體的損耗，其基極電流需要被小心的控制。為了減少導通的損耗。在功率電晶體初始導通時，基極電流將以最大電流  $I_{BASMAX}$  在驅動晶體  $T_{FON}$  的時間 (force-on 或“FON”突波)，在剩下的導通時間，基極電流將降低至較低的電流以操作集極電壓以保持集極電壓在預設的電壓之下，如此將可減少導通時間以及其損耗。操作在這段時間  $T_{PBD}$  稱之為比例集極驅動電流為  $I_{BASPBD}$ 。

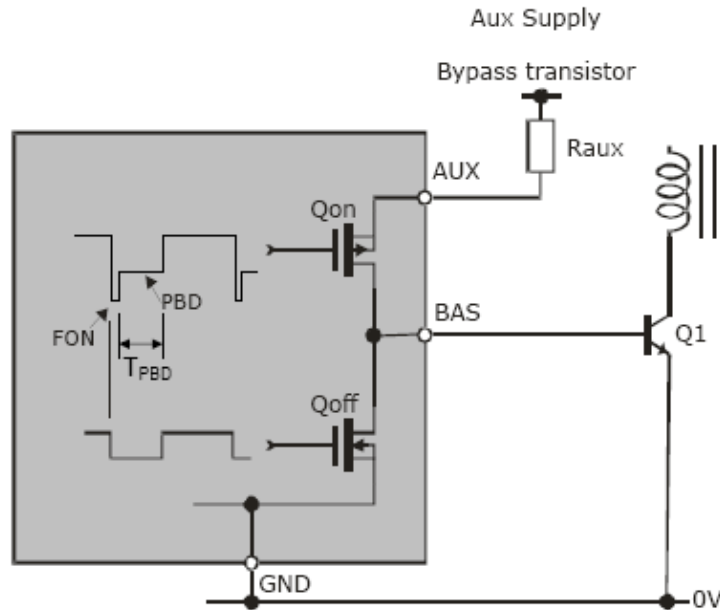


Figure 7: Primary Switch (Q1) Base Drive

BAS 腳內部是由  $Q_{ON}$  與  $Q_{OFF}$  兩顆晶體驅動(如圖七所示)。 $Q_{ON}$  在  $T_{FON}$  導通時時提供了  $I_{BASMAX}$  以及  $I_{BASPBD}$  電流。 $Q_{OFF}$  在功率晶體截止時提供了一個到地準位的低阻抗( $R_{BASCLAMP}$ )路徑以加速截止一次側的功率晶體  $Q1$ 。其中  $I_{BASPBD}$  是由 IC 內部的 PBD 系統所控制，但是  $I_{BASMAX}$  則是由外部電阻  $R_{AUX}$  以及輔助電源所提供。

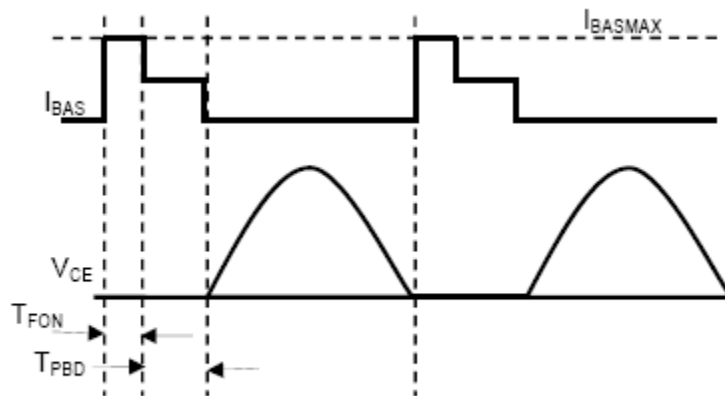


Figure 8: Base Driver Current Waveforms

$I_{BASPBD}$  是由監控 COL 腳在  $T_{PBD}$  時的電壓所控制；當  $V_{COL}$  電壓高於  $V_{CREF}$  時，基極電流將等比例的增加，而所設計之功率晶體的  $V_{CE}$  導通電壓是由  $C_P$ 、 $C_{COL}$  以及 COL 腳內部的  $C_{INCOL}$  容抗以及  $V_{CREF}$  所設定。

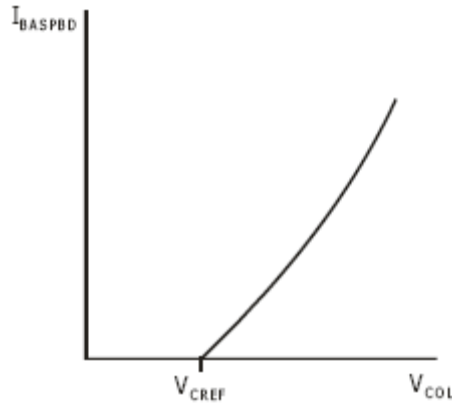


Figure 9:  $I_{BASPBD}$  characteristic

### 功率控制

負載的狀況是由 CS 腳上電壓所偵測。當輸出負載低於時，控制 IC 降低切換的佔空比以減少功率損耗並增進輸出電壓的精確度。當輸出電流增加時將增加佔空比至最大，或是進入過載的狀況。

CS 腳上的電壓有兩個比較的準位，一個大約在 GND 準位 ( $V_{OCPL}$ ) 以產生內部的 OCPL 訊號，另一個是負電壓準位 ( $V_{OCPH}$ ) 以產生內部的 OCPH 訊號。控制器在一次側開關元件導通後偵測 OCPL 一小段時間 ( $T_{OCPL}$ )。CS 腳上的負電壓表示功率需求，所以控制 IC 將增加其佔空比達到最大，相反的當 CS 腳的電壓沒有如此的“負”時將會降低系統的佔空比。

當有過多的一次側電流時，一次側晶體的導通將因為 CS 腳的電壓達到 OCPH 的準位而截止以限制輸出的功率(過載模式)。當更高的過載產生(此時輸出電壓將因負載的增加而降至更低)，此時的 OCPH 訊號將在一次側的晶體導通後的短暫時間被觸發，當此時間為一次側晶體導通後的  $T_{FBTHR}$  時，控制 IC 將改變其操作模式進入 Foldback 模式。為了被免誤動作的產生，當一次側晶體導通時，將有一小段的空白時間  $T_{CSBLANK}$  不會偵測 OCPH 訊號。

如圖十所示，等效流經一次側的切換電流，其中包括降低功率(OCPL)與過載(OCPH)的準位是由電流偵測(Current-sense)電阻與連接到 CS 腳的電阻所設定的。

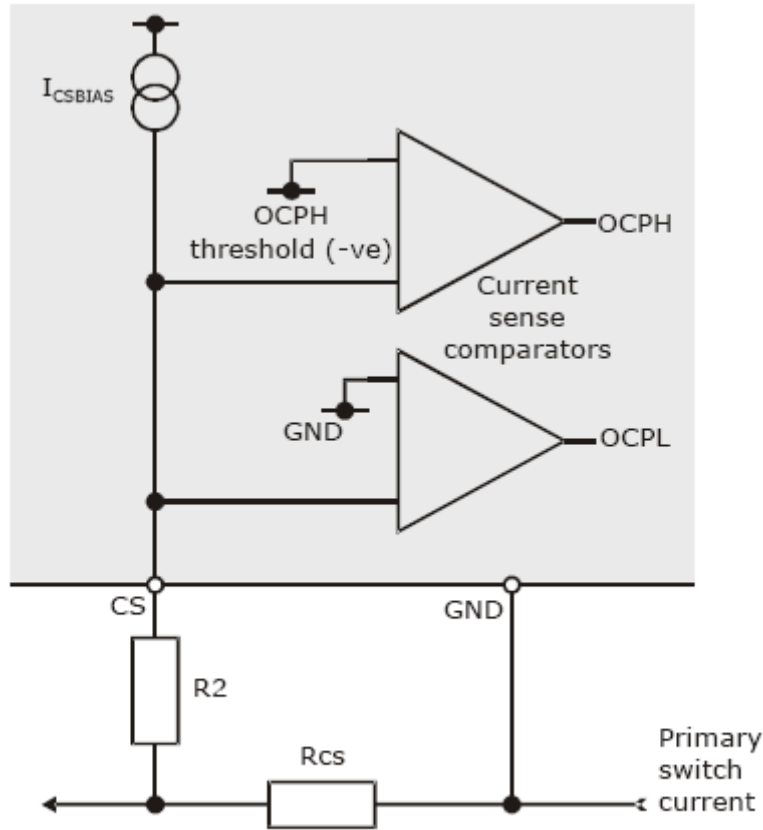


Figure 10: Current Sense Diagram

IC 內部的電流源( $I_{CSBIAS}$ )流經跨過的電阻(圖十的  $R2$ )將產生補償而設定 OCPL 的準位。而超過過載(OCPH)的切換電流是經由流經  $R_{CS}$  的電壓準位加上經由  $R2$  的補償電壓所設定的。

$$I_{OCPL} \text{ threshold current} = (V_{OCPL} + I_{CSBIAS} \cdot R2) / R_{CS}$$

$$I_{OCPH} \text{ threshold current} = (V_{OCPH} + I_{CSBIAS} \cdot R2) / R_{CS}$$

$$R2 = \frac{V_{OCPH} \cdot I_{OCPL} - V_{OCPL} \cdot I_{OCPH}}{I_{OCPH} \cdot I_{CSBIAS} - I_{OCPL} \cdot I_{CSBIAS}}$$

$$R_{CS} = \frac{V_{OCPH} - V_{OCPL}}{I_{OCPH} - I_{OCPL}}$$

附註： $I_{OCPL}$ ,  $I_{OCPH}$ ,  $V_{OCPH}$ ,  $I_{CSBIAS}$  在公式中都是正的數值

### 保護之功能

#### Collector De-saturation (Over Voltage) Protection (COVP)

為了避免一次側的切換開關元件產生過多的損耗，其導通時的電壓將被控制 IC 限制住。當 COL 腳的電壓在一次側開關元件截止前連續四次超過  $V_{COVP}$  時，控制 IC 將進入 Foldback 模式。

#### 過溫度保護 (OTP)

溫度偵測的線路被放置在控制 IC 內部。當 IC 晶片的溫度超過關機溫度  $T_{SH}$ ，此時 BAS 腳的輸出電流將停止。當晶片的溫度低於  $T_{SH}$  減掉  $T_{SH(HYST)}$  時，系統將會被重新設定(Reset)。實際上的應用線路將會發生 HICCUP 的狀況。這是由於當 BAS 腳停止輸出電流，但控制 IC 還在持續動作而必須由系統提供  $I_{DDWAKE}$  的電流，此時因為變壓器不再切換而沒有輔助電源提供給 IC， $V_{DD}$  電壓將會往下掉。一旦  $V_{DD}$  的電壓低於  $V_{UVDTHR}$  的電壓，IC 將進入休眠狀態而  $I_{DD}$  將落到  $I_{DDSLEEP}$  以便讓  $V_{DD}$  腳的電壓重新充電回到正常操作的電壓(經由  $V_{HT1}$  與  $V_{HT2}$  電阻)。當  $V_{DD}$  電壓達到  $V_{OCVDTHR}$  時，IC 將被重新設定而重新啟動。如果此時的晶片溫度低於  $T_{SH}$  時，BAS 將會繼續推動輸出電流，然而如果晶片溫度仍然超過  $T_{SH}$  時，BAS 將操作一段極短的時間後停止而重複回到 HICCUP 的模式中。

#### 一次側開關元件之過電流保護 (OCP)

當一次側的切換電流過高 (CS 腳的電壓低於內部預設的負電壓準位  $V_{OCPH}$ ) 時，基極電流將被截止以保護一次側的切換開關。詳細保護模式請參閱第十頁。

#### 輸出過載/短路保護

當應用線路的過載情況超過一個極限時，系統將進入 Foldback 模式：降低佔空比來降低整體的輸出損耗以保護一次側的開關元件。在 FON 的突波產生時，當 CS 腳的負電壓在  $T_{FBTHR}$  的時間內低於  $V_{OCPH}$  的準位時，系統將進入 Foldback 模式。此時輸出電壓將會保持在更低的輸出電壓狀況下。詳細保護模式請參閱第十頁。

#### 低電壓保護

當  $V_{DD}$  電壓不足時( $V_{DD} < V_{UVDTHR}$ )時，控制 IC 將停止工作。一旦控制 IC 停止工作，系統將被重新設定直到  $V_{DD}$  電壓超過  $V_{OVDTHR}$  的準位為止。

### ABSOLUTE MAXIMUM RATINGS

CAUTION: Permanent damage may result if a device is subjected to operating conditions at or in excess of absolute maximum ratings.

Parameter	Symbol	Condition	Min	Max	Units	
Supply voltage	$V_{DD}$			4.6	V	
Input voltage AUX	$V_{AUX}$		-0.5	$V_{DD} + 0.5$	V	
Input voltage BAS	$V_{BAS}$		-0.5	$V_{DD} + 0.5$	V	
Input voltage CS	$V_{CS}$		-0.5	$V_{DD} + 0.5$	V	
Input voltage COL	$V_{COL}$		-0.5	$V_{DD} + 0.5$	V	
Pin current VDD	$I_{DD}$		-100	30	mA	
Pin current AUX	$I_{AUX}$		-100	100	mA	
Pin current BAS	$I_{BAS}$	All other conditions	-100	100 <sup>1</sup>	mA	
		While Qoff is on (Figure 7), base duty < 30%	$T_J < 125\text{ °C}$	-100	220	mA
			$T_J < 100\text{ °C}$	-100	400	mA
Pin current CS	$I_{CS}$		-100	100	mA	
Pin current COL	$I_{COL}$	During PBD: ESD diode limit, input is high impedance	-100	100	mA	
		During turn-on transient (ACTICLAMP active)	-250	250	mA	
		During resonance off period	-125	250	mA	
Junction temperature	$T_J$		-25	125	°C	
Storage temperature	$T_{STOR}$		-40	150	°C	
Lead temperature (soldering, 10 s)	$T_L$			260	°C	
ESD withstand		Human body model, JESD22-A114		2	kV	
		Charged device model, ANSI-ESD-STM5.3.1		500	V	

<sup>1</sup>  $I_{BAS}$  can be higher if controller is active and not in PBD or FON, up to  $V_{BAS} = V_{DD}$

### NORMAL OPERATING CONDITIONS

Parameter	Symbol	Condition	Min	Typ	Max	Units
Supply voltage	$V_{DD}$	VDD pin, limited by internal regulator	3.1	3.3	3.5	V
Junction temperature	$T_J$	Over temperature protection operates at higher temperatures	-25	25	100	°C
Internal digital clock frequency	$F_{CLK}$	$T_J = 25\text{ °C}, V_{DD} = V_{DDREG(R)}$	9.7	12.1	14.5	MHz
	$F_{CLKTC}$	Temperature coefficient	-35		5	$\text{kHz}^\circ\text{C}^{-1}$
Switching frequency, Normal mode	$F_{MAX}$	Determined by $T_{RES}$ ( $F_{CLK}$ in MHz)		$F_{CLK} / 61$		MHz
	$F_{MIN}$			$F_{CLK} / 490$		MHz
Transformer resonance time	$T_{RESMIN}$	Natural resonance of transformer and associated capacitances. $F_{CLK}$ in MHz.		$35 / F_{CLK}$		$\mu\text{s}$
	$T_{RESMAX}$			$280 / F_{CLK}$		$\mu\text{s}$
Supply current	$I_{DD}$	Limit externally			30	mA

### ELECTRICAL CHARACTERISTICS

Unless otherwise stated:

1. Min and Max electrical characteristics apply over normal operating conditions.
2. Typical electrical characteristics apply at  $T_J = T_{JTYP}$  and  $V_{DD} = V_{DDTYP}$
3. Functionality and performance is not defined when a device is subjected to conditions outside the range of normal operating conditions and device reliability may be compromised.
4. For parameters dependent on  $F_{CLK}$ , the value of  $F_{CLK}$  in MHz should be used in calculations.

#### VDD Pin

Parameter	Symbol	Condition	Min	Typ	Max	Units
Regulation voltage	$V_{DDREG(R)}$	Active state, $2.5\text{ mA} < I_{DD} < 30\text{ mA}$	3.1	3.3	3.5	V
	$V_{DDREG(S)}$	Start-up state, $2.5\text{ mA} < I_{DD} < 30\text{ mA}$		4		V
Quiescent current	$I_{DDSLP}$	Sleep state, $V_{DD} < V_{UVDTHR}$			8	$\mu\text{A}$
Residual supply current	$I_{DDWAKE}$	Start-up & Active states, Normal mode ( $V_{DDREG(R)} - 300\text{ mV} < V_{DD}$ and $V_{DD} < (V_{DDREG(R)} - 100\text{ mV})$ )	0.5		2.5	mA
OVD threshold, Sleep	$V_{OVDTHR}$	Sleep state	3.5		4.6	V
UVD threshold	$V_{UVDTHR}$	Start-up and Active states	2.7		3.2	V
$V_{DDREG(R)} - V_{UVDTHR}$		$I_{DD} < 30\text{ mA}$	150			mV

#### AUX Pin

Parameter	Symbol	Condition	Min	Typ	Max	Units
Input current	$I_{AUXMAX}$				100	mA
AUX pin voltage	$V_{AUXFON}$	BAS = 800 mV $0\text{ °C} < T_J < 100\text{ °C}$	$I_{AUX} = 10\text{ mA}$	0.84	1.22	V
			$I_{AUX} = 80\text{ mA}$	1.2	1.64	V

### CS Pin

Parameter	Symbol	Condition	Min	Typ	Max	Units
OCPH comparator threshold	$V_{OCPH}$	$0\text{ }^{\circ}\text{C} < T_J < 100\text{ }^{\circ}\text{C}$	-260		-235	mV
OCPL comparator threshold	$V_{OCPL}$		-5		5	mV
OCPH comparator response time	$T_{OCP}$	Step CS input from $V_{CS} > -200\text{ mV}$ to $V_{CS} < -300\text{ mV}$			0.1	$\mu\text{s}$
Bias current	$I_{CSBIAS}$	$0\text{ }^{\circ}\text{C} < T_J < 100\text{ }^{\circ}\text{C}$	40		67.5	$\mu\text{A}$
		$T_J = 25\text{ }^{\circ}\text{C}$	41.5		59.5	$\mu\text{A}$
OCPL sampling time	$T_{OCPL}$	$F_{CLK}$ in MHz		$19 / F_{CLK} - 0.06$		$\mu\text{s}$
Blanking period	$T_{CSBLANK}$	$F_{CLK}$ in MHz		$4 / F_{CLK} - 0.06$		$\mu\text{s}$
Foldback threshold time	$T_{FBTHR}$	$F_{CLK}$ in MHz		$26 / F_{CLK} - 0.06$		$\mu\text{s}$

### BAS Pin

Parameter	Symbol	Condition	Min	Typ	Max	Units
Base drive current	$I_{BASMAX}$	Limit by external resistor			100	mA
Base clamp turn-off resistance	$R_{BASCLAMP}$	$V_{BAS} = 400\text{ mV}$			8.5	$\Omega$
Duty cycle	$D_{NORMAL}$	Normal mode		43		%
Force-on period (depends on $F_{CLK}$ )	$T_{FON}$	Standby mode $0\text{ }^{\circ}\text{C} < T_J < 100\text{ }^{\circ}\text{C}$	100		230	ns
		Normal, Foldback & Power Burst modes. $0\text{ }^{\circ}\text{C} < T_J < 100\text{ }^{\circ}\text{C}$	400		705	ns
Minimum on-period	$T_{ONMIN}$	Standby ( $F_{CLK}$ in MHz)		$20 / F_{CLK}$		$\mu\text{s}$
Maximum off-period	$T_{OFFMAX}$	Standby ( $F_{CLK}$ in MHz)		$1920 / F_{CLK} + T_{RES}$		$\mu\text{s}$
Power Burst mode	$N_{BURST}$	Burst length, number of converter cycles		22144		cycles
	$T_{BURSTCYCMIN}$	Minimum converter cycle period in Power Burst mode <sup>2</sup> ( $F_{CLK}$ in MHz)		$39 / F_{CLK}$		$\mu\text{s}$
Foldback mode	$N_{FOLD}$	Foldback duration between bursts, number of converter cycles		18326		cycles
	$T_{FOLDCYCMIN}$	Converter period in Foldback mode <sup>3</sup> ( $F_{CLK}$ in MHz)		$900 / F_{CLK} + T_{RES}$		$\mu\text{s}$
	$T_{OFFEXTMIN}$	Extended off time ( $F_{CLK}$ in MHz)		$896 / F_{CLK}$		$\mu\text{s}$

<sup>2</sup> Minimum converter period =  $T_{RES} + T_{ONMIN}$

<sup>3</sup> Minimum converter period =  $T_{RES} + T_{OFFEXT} + T_{ONMIN}$

### COL Pin

Parameter	Symbol	Condition	Min	Typ	Max	Units
Rising edge comparator threshold	$I_{CRISE}$			0.4		mA
Falling edge comparator threshold	$I_{CFALL}$			-0.4		mA
Collector over-voltage comparator threshold	$V_{COVP}$		$0.7V_{DD}$		$0.9V_{DD}$	V
PBD threshold voltage	$V_{CREF}$	Intercept of characteristic $10\text{ mA} < I_{BAS} < 80\text{mA}$ (see Figure 11)	0.76		1.1	V
PBD transconductance				200		$\text{mAV}^{-1}$
Input leakage current		$T_J < 100\text{ }^\circ\text{C}$	-650		650	nA
Input capacitance	$C_{INCOL}$	$V_{COL} = 1\text{ V}$	25	28	31	pF
ACTICLAMP duration after FON	$T_{ACT}$	Standby mode ( $F_{CLK}$ in MHz)		$3 / F_{CLK} - 0.06$		$\mu\text{s}$
		Normal, Foldback and Power Burst modes ( $F_{CLK}$ in MHz)		$4 / F_{CLK} - 0.06$		$\mu\text{s}$

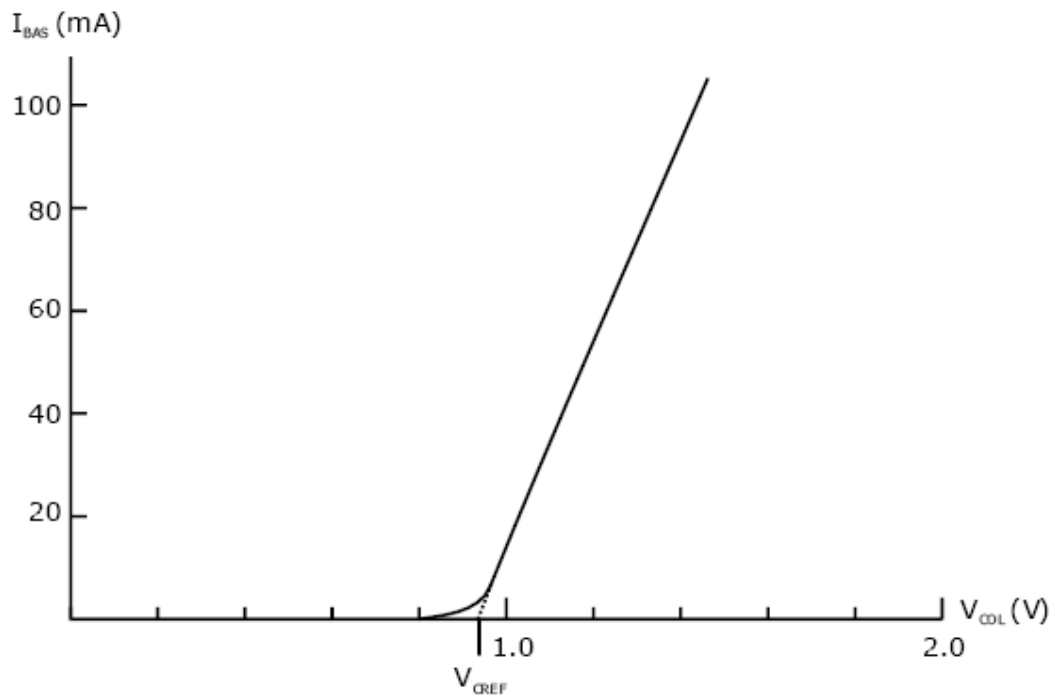


Figure 11: COL/BAS Transconductance (typical, at 25 °C)



### THERMAL CIRCUIT PROTECTION

Parameter	Symbol	Condition	Min	Typ	Max	Units
Thermal shutdown temperature	$T_{SH}$	At junction	105	115	125	°C
Thermal shutdown hysteresis	$T_{SH(HYST)}$	At junction		35		°C

### PACKAGE THERMAL RESISTANCE CHARACTERISTICS

Conditions:

1. Controller IC mounted on typical PCB (1.6 mm thick, 35  $\mu$ m copper, CEM1);
2.  $\theta_{JP}$  measured to pin terminal of device at the surface of the PCB.

Package	Junction-to-pin $\theta_{JP}$ (Typical)	Junction-to-ambient $\theta_{JA}$ (Typical)	Units
SOT23-6	60	170	°C / W
SOP-8	70	140	°C / W
PDIP-8	35	105	°C / W

### PACKAGE AND ORDERING INFORMATION

#### Package Marking

The PDIP-8 (C2474PW1) and SOP-8 (C2473PX1) packages are marked with the full product type number. The SOT23-6 package (C2472PX2) is marked with a short code FA as illustrated in Figure 12.

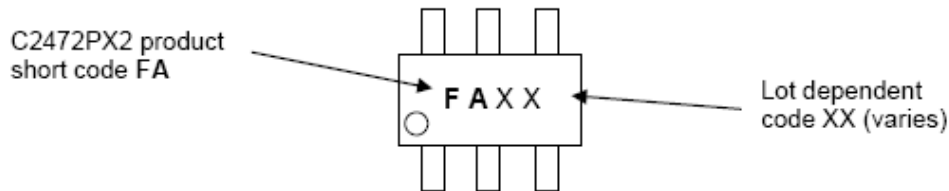


Figure 12: C2472PX2 SOT23-6 Package Marking

#### Ordering

Type	Package	Packing Form	Order
C2472PX2	SOT23-6	7" Tape & Reel	C2472PX2-TR7
		13" Tape & Reel	C2472PX2-TR13
C2473PX1	SOP-8	7" Tape & Reel	C2473PX1-TR7
		13" Tape & Reel	C2473PX1-TR13
C2474PW1	PDIP-8	Tube	C2474PW1-T1

For further package and ordering information please contact CamSemi.

## DATASHEET STATUS

The status of this Datasheet is shown in the footer. Always refer to the most current version.

Datasheet Status	Product Status	Definition
Product preview	In development	The Datasheet contains target specifications relating to design and development of the described IC product. Application circuits are illustrative only. Specifications are subject to change without notice.
Preliminary	In qualification	The Datasheet contains preliminary specifications relating to functionality and performance of the described IC product. Application circuits are illustrative only. Specifications are subject to change without notice.
Product data	In production	The Datasheet contains specifications relating to functionality and performance of the described IC product. Application circuits are illustrative only. Specifications are subject to change without notice.

## CONTACT DETAILS

Cambridge Semiconductor Ltd  
St Andrew's House  
St Andrew's Road  
Cambridge  
CB4 1DL  
United Kingdom

Phone: +44 (0)1223 446450  
Fax: +44 (0)1223 446451  
Email: [sales.enquiries@camsemi.com](mailto:sales.enquiries@camsemi.com)  
Web: [www.camsemi.com](http://www.camsemi.com)

## DISCLAIMER

The product information provided herein is believed to be accurate and is provided on an "as is" basis. Cambridge Semiconductor Ltd (CamSemi) assumes no responsibility or liability for the direct or indirect consequences of use of the information in respect of any infringement of patents or other rights of third parties. Cambridge Semiconductor Ltd does not grant any licence under its patent or intellectual property rights or the rights of other parties.

Any application circuits described herein are for illustrative purposes only. In respect of any application of the product described herein Cambridge Semiconductor Ltd expressly disclaims all warranties of any kind, whether express or implied, including, but not limited to, the implied warranties of merchantability, fitness for a particular purpose and non-infringement. No advice or information, whether oral or written, obtained from Cambridge Semiconductor Ltd shall create any warranty of any kind. Cambridge Semiconductor Ltd shall not be liable for any direct, indirect, incidental, special, consequential or exemplary damages, howsoever caused including but not limited to, damages for loss of profits, goodwill, use, data or other intangible losses.

The products and circuits described herein are subject to the usage conditions and end application exclusions as outlined in Cambridge Semiconductor Ltd Terms and Conditions of Sale which can be found at [www.camsemi.com/legal](http://www.camsemi.com/legal).

Cambridge Semiconductor Ltd reserves the right to change specifications without notice. To obtain the most current product information available visit [www.camsemi.com](http://www.camsemi.com) or contact us at the address shown above.