

電解コンデンサレス超薄形フライバックコンバータの開発

高木信太郎* 野口季彦 (長岡技術科学大学)
清野一喜 宇野松夫 (株式会社エーダブリュ・ジャパン)

Development of Electrolytic-Capacitor-Less Ultra-Thin Flyback Converter

Shintaro Takagi*, Toshihiko Noguchi (Nagaoka University of Technology),
Kazuyoshi Kiyono, and Matsuo Uno (AW JAPAN Co., Ltd.)

Abstract — This paper describes two novel approaches to develop an ultra-thin switching power supply for display devices and illumination equipment. One of the approaches is minimization of capacitance in the front-end rectifier of a DC/DC converter, where discharge timing of the capacitor is controlled to reduce the rectified DC-bus voltage ripple. The other approach is based on an integrated multi-core technique of the switching transformer, which allows reducing implementation height and area of the transformer. Several experimental tests as well as computer simulations have been conducted to examine operations of a prototype 24-W ultra-thin flyback converter, of which thickness is less than 5.5 mm. As a result, the maximum efficiency and total input power factor were confirmed to be approximately 70 % along with the lower DC-bus voltage ripple than conventional switching power supplies.

キーワード：スイッチング電源，フライバックコンバータ，電解コンデンサ，超薄形トランス
(switching power supply, flyback converter, electrolytic capacitor, ultra-thin transformer)

1. はじめに

近年、液晶や有機 EL などの表示素子をはじめ、冷陰極管 (CCFL) や LED などによるバックライト技術の発展に伴い、薄形液晶ディスプレイや薄形照明装置の開発が広く行われている。しかし、これらに必要なスイッチング電源は大容量の電解コンデンサや絶縁トランスなどの高背部品を有するため、装置全体の薄形化を困難にしている。電解コンデンサは入力の変圧を整流後、平滑するとともに後段の DC/DC コンバータで発生する高調波を吸収する役割がある。この平滑コンデンサは、入力の周波数が低い場合大容量のものを使用せざるを得ない。また、絶縁トランスはコア、ボビン、巻線、絶縁テープなどから構成されており、構造が複雑である上、薄形化という制約を課したままコアを大容量化することは困難である。

そこで、本論文では制御方式と実装の 2 つのアプローチでスイッチング電源の超薄形化に関する検討を行った。一般的なコンデンサ入力ダイオード整流回路では、整流した電圧を大容量の電解コンデンサで平滑している。この平滑コンデンサは入力の変圧によって自動的に充放電を行い、放電が必要ない期間でも放電を開始するため、コンデンサに蓄えられた電荷を無駄に消費している。そこで、コンデンサの充放電タイミングを制御することにより、コン

デンサに蓄えられた電荷の利用率を向上させる手法を提案する。この手法により電解コンデンサと比べて極めて小容量の積層セラミックコンデンサでも、電圧の平滑が可能となる。

一方、絶縁トランスについては、マルチコア技術を応用した最適形状のフェライトコアにより一体形マルチコアトランスを構成し、トランスの大容量化、超薄形化を実現した。また、ボビンや巻線、絶縁テープはプリント基板の配線パターンにより置き換えることで、トランスの超薄形化をさらに推し進めるとともに構造の大幅な簡素化を図った。

2. 一次側平滑回路の容量低減法

〈2・1〉回路構成と動作原理

平滑コンデンサを小容量化するための手法として、コンデンサの充放電タイミングを制御する。一般的なコンデンサ入力ダイオード整流回路の充放電は、整流された交流電圧が平滑コンデンサの電圧より高ければ充電、低ければ放電と自動的に行われる。このコンデンサ入力ダイオード整流回路に図 1 のような補助回路を加えることによってコンデンサの放電タイミングを制御することができる。この回路の動作を図 2 と図 3 を用いて説明する。図 2 で I の期間は平滑コンデンサ C_1 の電圧 V_c より交流電源の電圧 V_{ac} が高

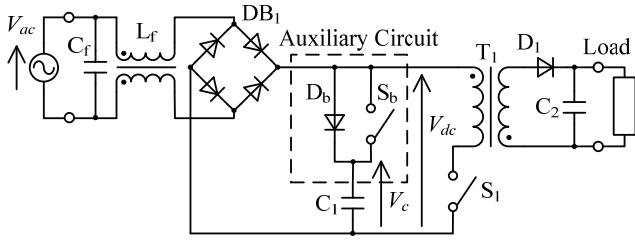


図1 提案回路
Fig. 1. Proposed circuit.

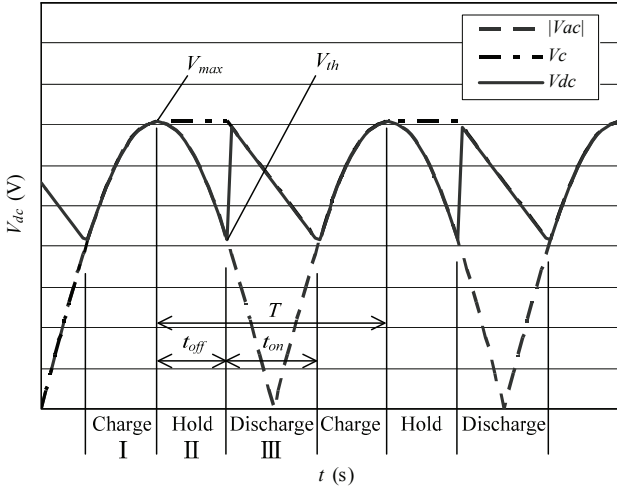


図2 直流バス電圧波形
Fig. 2. DC-bus voltage waveform.

くなっているため、図3(a)のように整流された \$V_{ac}\$ から、ダイオード \$D_b\$ を通して \$C_1\$ に充電電流が流れるとともに、後段の DC/DC コンバータにも電流供給が行われる。II は \$V_{ac}\$ が下がり始め、\$V_{ac}\$ よりも \$V_c\$ の電圧が高くなる期間である。この期間は図3(b)のように \$V_{ac}\$ からのみ、DC/DC コンバータへ電流が供給される。本来ならばコンデンサの \$C_1\$ は放電が始まる期間であるが、スイッチ \$S_b\$ が OFF であるため放電されずに電荷を維持し続ける。III は \$V_{ac}\$ がある閾値 \$V_{th}\$ 以下になった時点から始まる。この期間は図3(c)のように、まず \$S_b\$ が ON となって \$C_1\$ の放電が始まり、DC/DC コンバータへ電流が供給される。再び \$V_{ac}\$ が \$V_c\$ よりも大きくなると I の期間となり、I ~ III の動作が繰り返される。

これら動作の結果として、1 周期あたりのコンデンサの電力負担期間が短くなるため、コンデンサの小容量化が可能になる。このとき整流波形の平滑に必要なコンデンサ \$C_1\$ の容量は以下のように求めることができる。

ダイオード整流後のピーク電圧を \$V_{max}\$、コンデンサが放電を開始する閾値電圧を \$V_{th}\$ とすると、スイッチが ON するまでの電荷保持期間 \$t_{off}\$ は次式のように表される。

$$V_{th} = V_{max} \cos 2\pi f t_{off} \quad (1)$$

$$t_{off} = \frac{1}{2\pi f} \cos^{-1} \frac{V_{th}}{V_{max}} \quad (2)$$

\$C_1\$ が放電を開始し、\$V_{ac}\$ が \$V_{th}\$ まで上昇したとき放電から充電に切り換わるとすれば、コンデンサの放電時間 \$t_{on}\$ は次式

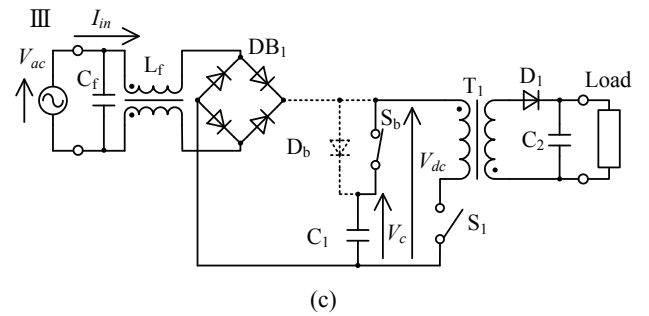
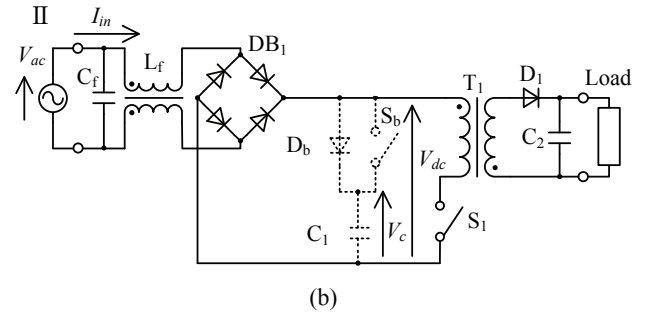
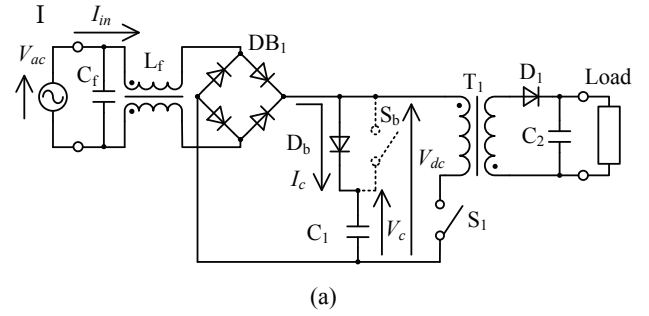


図3 回路動作
Fig. 3. Circuit operation.

のように求められる。

$$t_{on} = T - 2t_{off} \quad (3)$$

このとき、\$C_1\$ から放出されるパワー \$P_c\$ はスイッチング電源が要求するパワー \$P_{out}\$ より大きくなる必要があるため、\$C_1\$ の最低容量を(6)のように求めることができる。

$$P_c = \frac{1}{2} C_1 (V_{max}^2 - V_{th}^2) \frac{1}{t_{on}} \quad (4)$$

$$P_{out} \leq P_c \quad (5)$$

$$C_1 \geq \frac{2P_{out} t_{on}}{V_{max}^2 - V_{th}^2} \quad (6)$$

(2.2) シミュレーションによる動作確認

提案法の動作確認のためデジタルシミュレーションを行った。シミュレーション条件として、入力電圧 \$V_{ac}\$ を 100 V、50 Hz とし、平滑コンデンサ \$C_1\$ を 30 \$\mu\$F、スイッチ \$S_b\$ が ON する閾値 \$V_{th}\$ を 75 V、コンバータの出力 \$P_{out}\$ を 30 W と設定した。図4にシミュレーションで得られた動作波形を示す。上から入力電圧 \$V_{ac}\$、入力電流 \$I_{in}\$、コンデンサ電圧 \$V_c\$、直流バス電圧 \$V_{dc}\$ である。

次に、各種パラメータは変えずにコンバータの出力 \$P_{out}\$

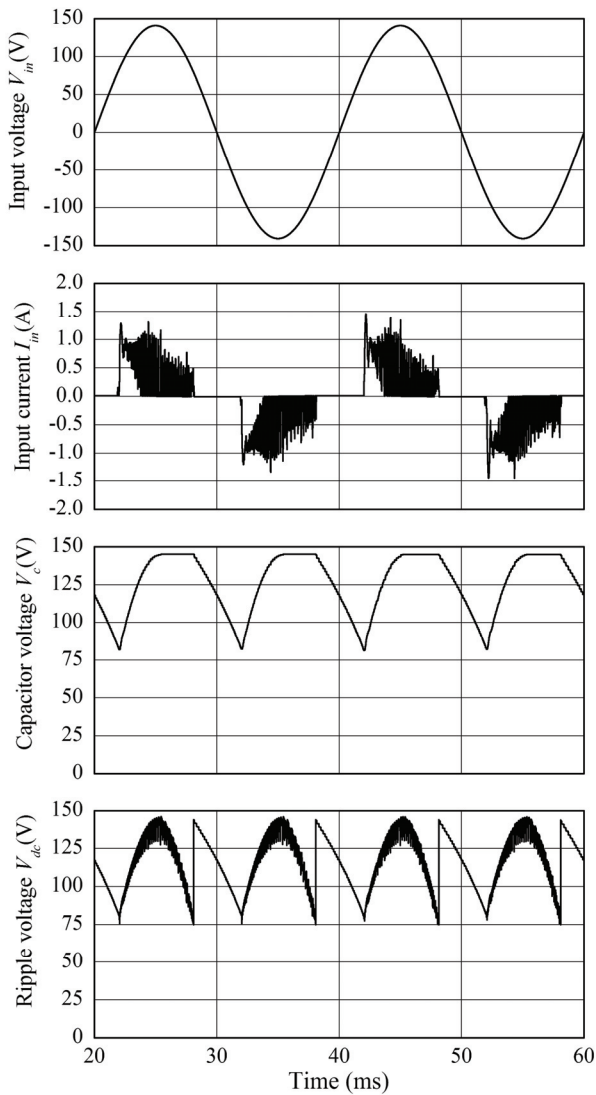


図4 動作波形 (シミュレーション)
Fig. 4. Operation waveforms (simulation).

を 30 W まで変化させたとき、補助回路がある場合と無い場合での直流バスリップ電圧の比較を図 5 に示す。このときリップ電圧は $\Delta V = (V_{max} - V_{min}) / (V_{max} + V_{min}) \%$ で規格化している。補助回路が無い場合は、負荷に応じて直流バスリップ電圧が変化するが、補助回路がある場合は、負荷が変化してもリップ電圧は一定に制御される。負荷が軽いときは、補助回路が無い場合のリップ電圧が少なく、良い特性を示しているように見えるが、 P_{out} が 19 W 付近で特性が逆転し、定格出力では補助回路によるリップ電圧の抑制効果が顕著となる。もし、DC/DC コンバータの入力 (一次側) リップ電圧許容値が 30 % しか無かったとすれば、補助回路を用いなければ重負荷時に許容値を超える。

図 6 に入力電流 I_{in} の周波数スペクトルを示す。縦軸は I_{in} の基本波振幅で規格化している。補助回路によって平滑コンデンサを小容量化したため、入力電流の高調波成分が大きくなるのがわかる。特に 3 次と 7 次の高調波が基本波に対して 40 % を超える値となるため、入力フィルター等に

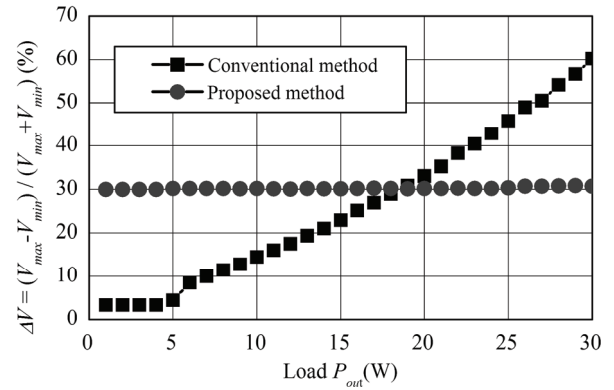


図5 負荷に対するリップ電圧特性 (シミュレーション)
Fig. 5. Ripple voltage characteristic (simulation).

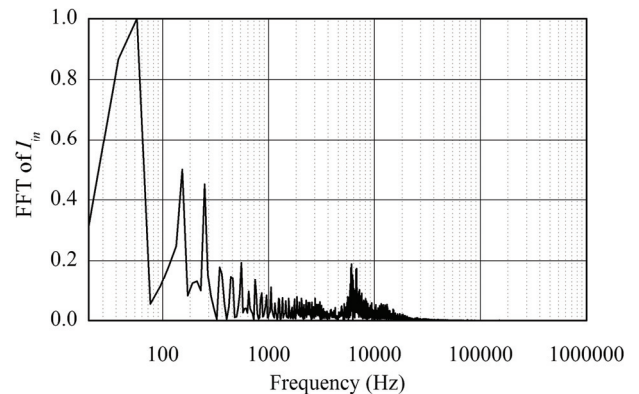


図6 入力電流 I_{in} の FFT 解析結果 (シミュレーション)
Fig. 6. FFT analysis result of input current (simulation).

よる改善を図らなければならない。

3. 超薄形スイッチングトランス

絶縁トランスを薄形化する手法としてプリント基板の配線パターンを巻線に用いたものがある。このトランスの問題点として、巻線の方角とその構造上、巻線の窓面積が大きくできないことや、高さが制限されているためコアの実効断面積を大きくできないことが挙げられる。これらの問題を解決するために、図 7 のような構造の一体形マルチコアトランスを検討した。このトランスは 4 個の CI コアが横につながられた構造となっており、4 個のコアと等価に使用することができる。これにより、不足していたコアの実効断面積は複数のコアを直列に使うことで補うことができる。また、二次側を並列に接続すれば細かい変圧比の調整も可能となり、複数のコアを一体化した形状により製造コストの削減も可能である。

一般にトランスの設計を行う場合、コアの磁束密度が下式で示される飽和磁束密度 B_m 以下になるよう留意する。

$$B_m = \frac{V_{in}}{AfNS} \quad (7)$$

ただし、 V_{in} は印加電圧実効値、 A は波形率、 f は周波数、 N は巻数、 S は実効断面積である。この設計指針はトランスをマルチコア化したときにも適用でき、 n 個のコアでマルチコ

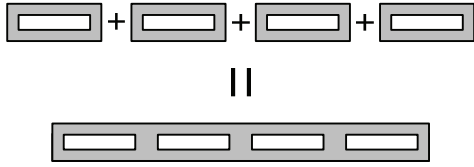
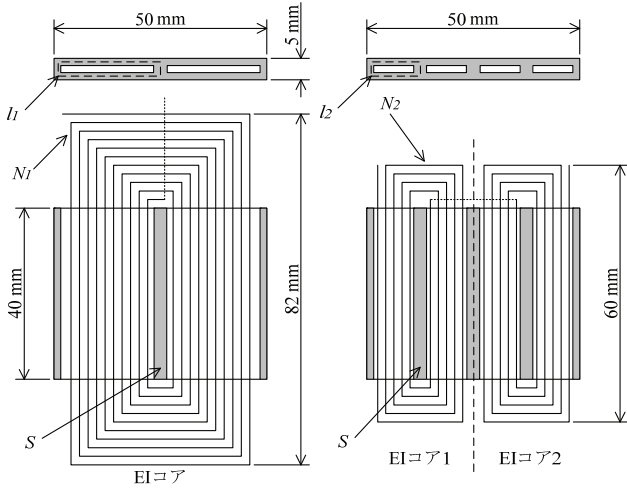


図7 一体形マルチコアの構造
Fig. 7. Structure of integrated multi-core.



(a) 従来形 EI コア (b) 一体形マルチコア
図8 コアと巻線構成の比較
(a) Conventional-core. (b) Integrated multi-core.
Fig. 8. Comparison of core and winding configuration.

ア化した場合、下式のようにコアの個数分だけ磁気飽和が生じにくくなる。

$$B_m = \frac{V_{in}}{AfNS} \cdot \frac{1}{n} \quad (8)$$

一体形マルチコアの特性を同じ実効断面積の EI コアと比較するため、実装形状を図8のように想定して検討した結果を表1に示す。設計条件として、両者の実効断面積と巻線の占積率、インダクタンス値を等しくした。このように、一体形マルチコアは従来の EI コアよりもコア1個あたりの巻数が少ないにもかかわらず、実装面積を25%程度低減することができる。したがって、より小さな面積で実装できると同時に、巻数が少ないため漏れインダクタンスや銅損の低減にも効果がある。

4. 試作機と実験結果

(4.1) 試作機の構成

試作機の設計仕様を表2に示す。この試作機の回路構成は図9のようになっており、平滑コンデンサと直列にサイリスタで構成された補助回路が入っている以外は一般的なフライバックコンバータと同様である。

今回の試作の目的はスイッチング電源の超薄形化であるため、構成部品はできる限り薄いものを選定した。主要部品とそれらの実装上の高さを表3に示す。ラインフィルタ L_f と絶縁トランス T_1 はフェライトのバルク材を切削して製作し、図10に示したような外形寸法とした。 L_f には TDK

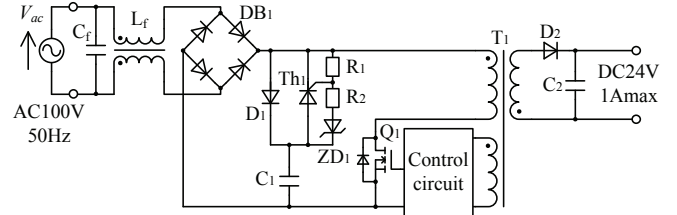


図9 フライバックコンバータ試作機の構成
Fig. 9. Circuit configuration of prototype flyback converter.

表1 従来コアと一体形マルチコアの比較
Table 1. Comparison between conventional and integrated multi-cores.

	Conventional-core	Integrated multi-core
Effective Cross Section Area	S	S
Mean Length of Magnetic Path	l_1	$l_2 (=l_1/2)$
Number of Turns	N_1	$N_2 (=N/2)$
Core Count	1	2
Inductance	$\frac{\mu S}{l_1} N_1^2$	$2 \frac{\mu S}{l_2} N_2^2 = \frac{\mu S}{l_1} N_1^2$
Size	50 mm × 82 mm	50 mm × 60 mm

表2 フライバックコンバータ試作機の仕様
Table 2. Specifications of prototype flyback converter.

Input	AC 100 V
Output	DC 24 V, 1 A, 24 W
Switching frequency	75 kHz
Size	195 × 105 × 5.5 mm

表3 試作機の構成部品
Table 3. Components used in prototype.

Symbol	Component	Thickness (mm)	Quantity
C_f	GA355 330000 pF	3.0	8
L_f	HS10 2 μ H	5.5	1
DB_1	S1NB60	2.6	1
D_1, D_2	CMF01	0.98	2
Th_1	USF5G49	2.6	1
C_1	THC 200 V, 2.2 μ F	3.0	20
Q_1	2SK3438	3.0	1
T_1	PC95	5.5	1
C_2	THC 50V, 22 μ F	3.0	20

製 HS10 材を、 T_1 には TDK 製 PC95 材を用いている。巻線は基板の配線パターンを利用し、ターン数を多く取れるよう多層基板を用いた。(ただし、今回は試作のため、片面基板とフレキシブル基板を併用し、模倣的に多層基板としている。) 絶縁トランスの巻数比はフライバックコンバータの電圧変換式から求め、(8)の飽和磁束密度を超えないよう設計した。

$$V_{in_min} \geq \frac{n_1}{n_2} \cdot \frac{T_{off}}{T_{on}} \cdot V_{out} \quad (9)$$

その結果、トランスの巻数は以下のように決定した。

一次側巻数：10 ターン

二次側巻数：4 ターン(24 V, 1 A 出力)

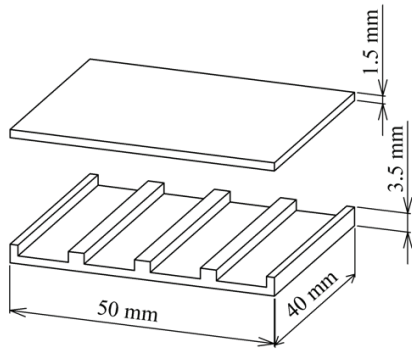


図 10 一体形マルチコアの寸法
Fig. 10. Dimensions of integrated multi-core.

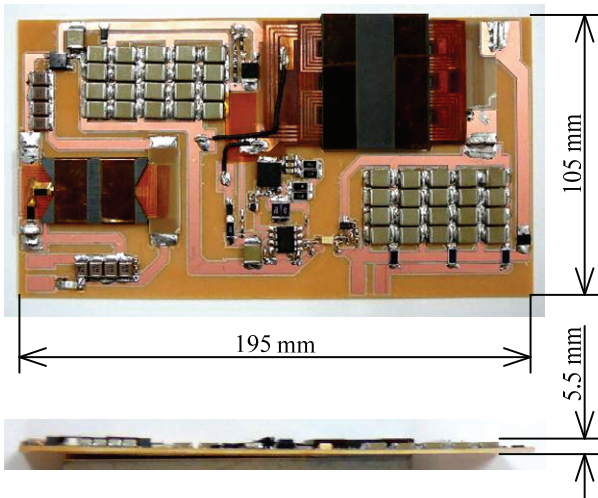


図 11 試作機の写真
Fig. 11. Photograph of prototype.

補助巻線巻数：3 ターン(20 V 出力)

これらは入力のリプル電圧が大きくても支障の無いよう、リプルの最低値に合わせて設計を行っている。コア単体の厚さは 5 mm であるが、ギャップや固定用テープの厚さを含めると合計の厚さは 5.5 mm である。

平滑コンデンサ C_1 には日本ケミコン製 THC シリーズ積層セラミックコンデンサを使用している。容量を大きくするために、複数のコンデンサを並列に接続している。今回、一次側の平滑用に使用した積層セラミックコンデンサは 200 V 耐圧、 $2.2 \mu\text{F}$ を 20 個並列に使用しているため、全体の容量は $44 \mu\text{F}$ である。しかし、積層セラミックコンデンサは印加される直流量に応じて、容量が減少する特性を持っているので、実際には容量が半減すると考えなければならない。平滑コンデンサの容量と提案法のコンデンサを ON するための閾値 V_{th} は、出力 24 W にコンバータの効率を考慮して 35 W 程度に耐えられるよう設計した。なお、閾値 V_{th} は 75 V で設計した。試作機の外観を図 11 に示す。基板部品で最も高い部品は絶縁トランスとラインフィルタであり、面積に関しては、トランスや平滑コンデンサが最も大きな面積を占めている。

〈4・2〉実験結果

試作機の定格負荷 (24 V, 1 A) 時動作波形を図 12 に示す。

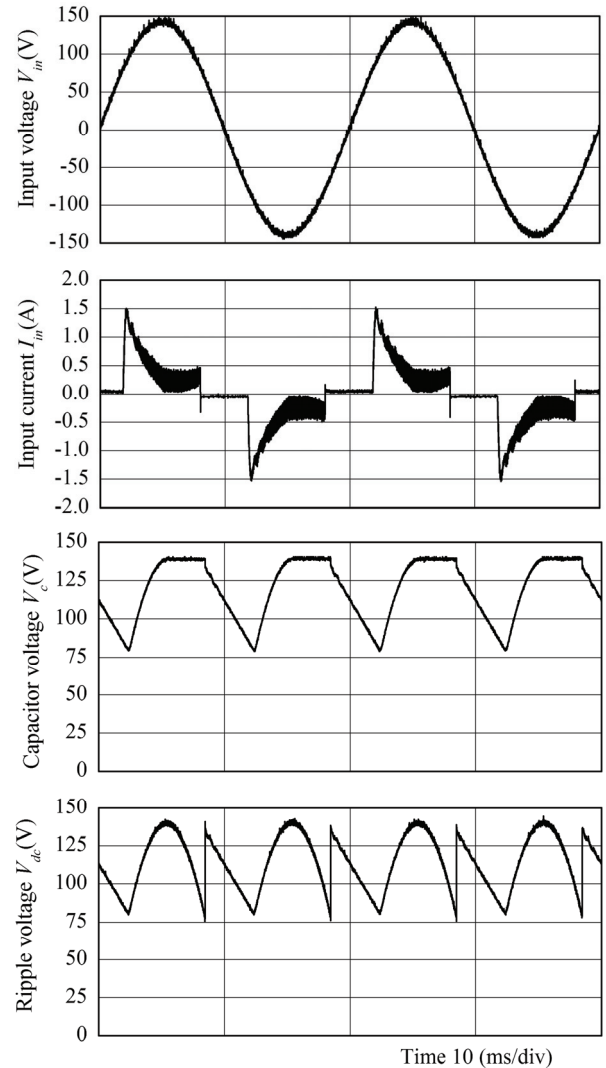


図 12 動作波形 (実験)
Fig. 12. Operation waveforms (experiment).

上から入力電圧 V_{ac} 、入力電流 I_{in} 、コンデンサ電圧 V_c 、直流バス電圧 V_{dc} である。この実験結果より、図 4 のシミュレーションと良く一致した波形が得られていることがわかる。定格負荷時における入力電流の FFT 解析結果を図 13 に示す。これも図 6 のシミュレーションと同様である。

試作した回路において、従来のコンデンサ入力ダイオード整流回路と提案する補助回路を加えた場合の各種特性を測定した。使用した平滑コンデンサの容量はどちらも同じである。図 14 は負荷に対する効率特性であるが、両者ともにほぼ 70% の最大効率を達成している。図 15 は負荷に対する総合入力力率特性であり、提案法は従来法に対して 10% 以上改善されていることがわかる。これは、平滑コンデンサの電荷維持期間により交流電源の導通期間が大きくなるためである。負荷に対するリプル率特性を図 16 に示す。シミュレーションと同様に $\Delta V = (V_{max} - V_{min}) / (V_{max} + V_{min})$ % で規格化している。従来法はリプル率がほぼ線形的に上昇しているが、提案法は値こそ大きいもののほぼ一定の値を示しており、重負荷においては従来法を下回っていることが

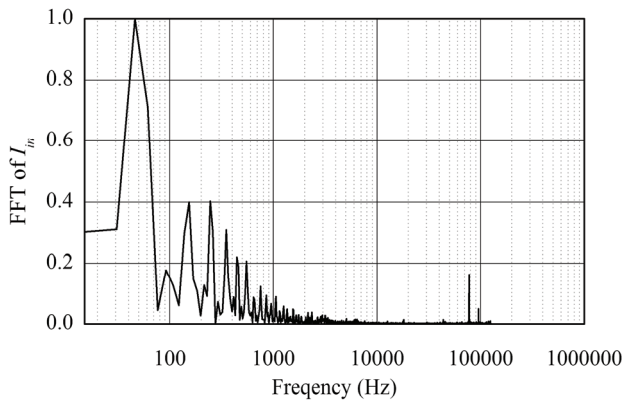


図 13 入力電流 I_{in} の FFT 解析結果 (実験)
Fig. 13. FFT analysis result of input current (experiment).

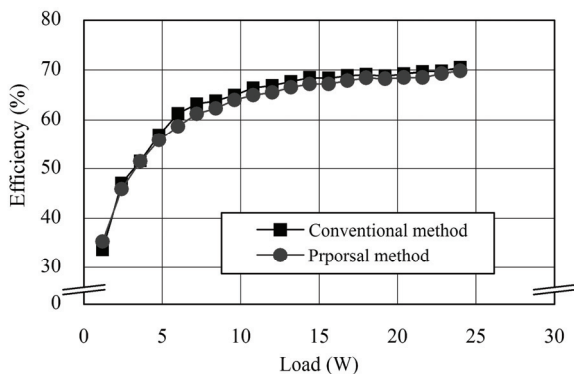


図 14 負荷に対する効率特性 (実験)
Fig. 14. Efficiency characteristic (experiment).

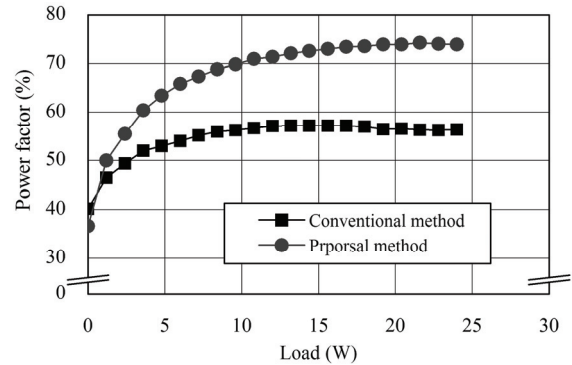


図 15 負荷に対する総合入力力率特性 (実験)
Fig. 15. Total input power factor characteristic (experiment).

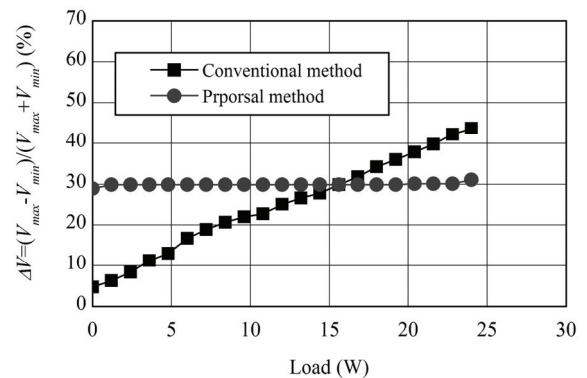


図 16 負荷に対するリップル電圧特性 (実験)
Fig. 16. Ripple voltage characteristic (experiment).

電圧形単相系統連系インバータ」平成 19 年電学産大, 1-21, p.p. 241-245 (平成 19 年)

わかる。

5. まとめ

本稿では、小容量直流電源の超薄形化という課題に対して 2 つのアプローチで検討を行った。1 つは平滑用電解コンデンサについて蓄積電荷の放電タイミングを制御することにより小容量化を実現する手法である。もう 1 つは、絶縁トランスを超薄形化するもので、一体形マルチコアトランスによって大容量、超薄形化を実現した。これらの技術を用いて厚さ 5.5mm の超薄形フライバックコンバータの試作を行い、実験的に良好な動作を確認した。

文 献

- (1) 高木信太郎・野口季彦・清野一喜・宇野松夫:「照明用 RCC 電源に用いる超薄形トランスの検討」平成 19 年電学新潟支大, P-23, pp.89 (平成 19 年)
- (2) Naotaka Tsuji, and Seiji Kondo: “Development of High Efficiency Low Voltage / High Current DC Power Supply”, Semiconductor Power Conversion Technical Meeting, SPC-03-141, p.p. 45-50 (2003) (in Japanese).
辻 修立・近藤正示:「薄型トランスを用いた低電圧大電流 DC 電源の高効率化」電気学会半導体電力変換研究会, SPC-03-141, p.p. 45-50 (平成 15 年)
- (3) Fumihiro Shinjo, Keiji Wada, and Toshihisa Shimizu: “Single-Phase Grid Connected Inverter utilizing a Power Decoupling Function”, Proc. of the 2007 Japan Ind. Appl. Soc. Conf., 1-21 (2007) (in Japanese).
新庄史浩・和田圭二・清水敏久:「パワーデカップリング機能を持つ