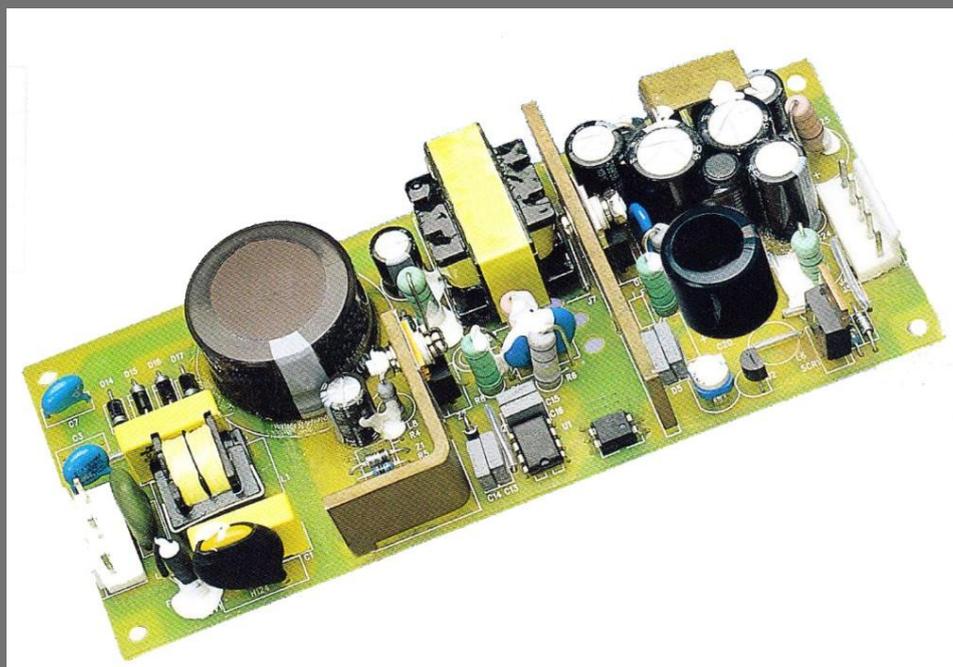


# 开关电源设计

## ——反激变压器设计

Flock fai liu

2012-02-23



学习除了努力，还需要方法！



## 一、电流纹波率

在设计之前，先引入 SMPS 最基本也是影响最广的一个设计参数——电流纹波率 ( $K_{RP}$ )。它的设定非常重要，一旦设定好了它，几乎所有参数都已确定。它会影响功率器件（开关管、输出整流二极管），输出滤波电容的电流应力和损耗，变压器几何尺寸。所以不了解它，就无法开展变压器的设计。

电流纹波率定义初级纹波电流 ( $\Delta I$ ) 与电流有效值 ( $I_p$ ) 的比值。即：

$$K_{RP} = \frac{\Delta I}{I_p}; \quad \Delta I = \frac{V_{DCmin} * T_{ON}}{L_p}; \quad I_p = \frac{I_o * \frac{1}{n}}{1 - D_{Max}}$$

$K_{RP}$  的有效范围为 0—2，CCM < 1，DCM = 1，BCM = 2（电感电流的三种工作模式，自参阅书籍），若将它设为 0， $\Delta I$  必为 0，根据电感方程  $V = L * \frac{\Delta I}{\Delta t}$  表明此时电感量为无穷大，所以实际中不可能。

从铜损跟铁损的折中考虑、变压器的几何尺寸以及 EMI 等综合折中；根据输出功率或特性的不同，将  $K_{RP}$  设定在 0.4—1 之间进行调整，低压大电流和大功率输出选择偏低；高压小电流和小功率输出选择偏大。当  $V_{INmin}$  增加时， $K_{RP}$  相对应偏大。

当然任何情况下如果将  $K_{RP}$  设定偏小，允许选择更大的磁芯，效果是非常好的。但从商业角度来说，控制成本，体积等原因，大多情况下只是空谈吧了。不过认识这一点是很有帮助的。当然有时也会有，这时可相对应偏小。

我们必须深刻了解  $K_{RP}$  的设定给设计结果带来的影响。设置过小，会增大变压器尺寸以及高频铜损问题，当然会减小峰值电流、功率器件、电容的损耗。CCM 模式会使输出整流二极管发热增加。然而设置过大自然与上述相反了，它还会影响 EMI。然而我们从低压时设计的 CCM 并不意味着它会一直工作在 CCM 模式。它会随着电压的升高或负载的减小，使  $K_{RP} = 1$  后进入 DCM 模式，此时在输出整

## 反激变压器设计——Flock fai liu

流二极管反向恢复之前电感电流刚好为 0，给 DIODE 提供一个很好的工作条件，但此时再次提醒， $K_{RP}$  越大的缺点。

需说明一点， $K_{RP}$  的选择只会影响峰值电流，而不会影响平均电流和有效值。

### 二、反激式变压器设计

在反激式 SMPS 中，当最低电压输入，最大负载输出时，为最恶劣的条件。所以应从此条件下来设计变压器。

已知：输入电压( $V_{IN}$ )，输出电压( $V_O$ )，输出功率( $P_O$ )，开关频率 ( $f$ )

设定：效率( $\eta$ )，占空比 ( $D_{max}$ )，电流纹波率 ( $K_{RP}$ )

$$1、V_{DCmin} = V_{IN} * 1.414 - 30 \quad (V_{DCmin} \text{ 输入直流, } 30 \text{ 纹波电压})$$

$$2、I_{DC} = \frac{P_O}{\eta * V_{DCmin}} \quad (I_{DC} \text{ 初级平均电流})$$

$$3、I_{PK} = \frac{I_{DC}}{(1-0.5K_{RP}) * D_{Max}} \quad (I_{PK} \text{ 初级峰值电流, 当使用 PFS 时, 此值需大于 IC 过流点})$$

$$4、L_P = \frac{V_{DCmin} * D_{max}}{I_{PK} * f * K_{RP}} \quad (L_P \text{ 最大初级电感量,})$$

$$5、V_e = Z * \frac{(2+K_{RP})^2}{K_{RP}} * \frac{P_{IN}}{f} \quad \text{自定公式}$$

(铜损和变压器窗口面积的折中选择，以及寄生因数等原因，设定系数 Z 为 0.4-0.6，如果用三明治绕加屏蔽或多路输出，Z 可选稍大一点)

$$6、N_P = \frac{L_P * I_{PK}}{\Delta B * A_e} \quad [N_P \text{ 最少初级匝数, } \Delta B \text{ 饱和磁通密度(注 2)}]$$

$$7、V_{OR} = \frac{V_{DCmin} * D_{max}}{1-D_{max}} \quad [V_{OR} \text{ 反射电压, } D_{Max} < 0.5 \text{ (注 1)}]$$

## 反激变压器设计——Flock fai liu

$$8、n = \frac{V_{OR}}{V_O + V_D} \quad (V_D \text{ 输出 DIODE 压降, } n \text{ 匝数})$$

$$9、N_S = \frac{N_P}{n} \quad (N_S \text{ 次级匝数})$$

$$10、N_F = \frac{(V_{CC} + V_{D'}) * N_S}{V_O + V_D} \quad (N_F \text{ 辅助绕组匝数, } V_{D'} \text{ 辅组二极管压降})$$

$$11、V_{OR} = \frac{N_P * (V_O + V_D)}{N_S} ; D_{max} = \frac{V_{OR}}{V_{OR} + V_{DCmin}} \quad (\text{验证 } D_{max})$$

$$12、I_S = \frac{I_O}{1-D} \quad (I_S \text{ 次级电流有效值})$$

$$13、I_P = \frac{I_S}{n} \quad (I_P \text{ 初级电流有效值})$$

$$14、d_S = I_S \sqrt{\frac{4}{3.14 * J}} \quad [d_S \text{ 次级线径, } J \text{ 电流密度 (注 3)}]$$

$$15、d_P = I_P \sqrt{\frac{4}{3.14 * J}} \quad [d_P \text{ 初级线径 (注 4)}]$$

16、 $d_F$ :  $V_{CC}$  电流不大, 没有特殊要求。

$$17、A_{wr} = \frac{A_C}{K_F} \quad [A_{wr} \text{ 所需面积 (注 5), } A_C \text{ 导线面积, } K_F \text{ 填充因子 (注 6)}]$$

$$18、g = 40 * 3.14 * A_e * \frac{N_P^2}{L_P * 10^3} - \frac{1}{A_L}$$

( $g$  气隙长度,  $A_L$  无气隙时, 每匝对应的感量, 可查磁芯参数表得)

$$19、\Delta B = \frac{L_P * I_{PK}}{N_P * A_e} \quad (\text{磁芯饱和验证})$$

如果想 $V_{INMax}$ ,  $P_{OMax}$  仍在 CCM 模式, 下计算结果需为负。

$$V_{CCM} = \left( \frac{1}{\sqrt{2 * L_P * f * P_{IN}}} - \frac{1}{V_{OR}} \right)^{-1}$$

注 1: 设置 $D_{Max} < 0.5$ , 当大于 0.5 时有可能引起次谐波振荡。当然也有例外, PI 的 TOP 系列允许占空比超过 50%

注 2:  $\Delta B$  对于铁氧本而言, 在 100°C 时通常为 0.4T (如图 1), 需留足够裕量, 通常设为 0.3T 或更小, 具体按产品的使用环境而定。

注 3: 当导线超过 1m 时,  $J$  通常选 4-6A/mm<sup>2</sup>, 当然如果较短时也可选择 6-10A/mm<sup>2</sup>。

注 4:  $d$  的选择除需考虑电流应力和温升外, 还需考虑集肤效应——不同频率下, 电流穿透导线的深度 (如图 2), 线径不够时, 可采用多股并绕

注 5:  $A_{wR}$  应大于  $A_w$ ,  $A_w$  可在磁芯参数表中查得。

注 6:  $K_F$  单路 OUT 通常取 0.2-0.25, 多路取 0.15-0.2

### 变压器的二种绕法：顺绕和三明治绕法。

1、顺绕排序：初级、次级、VCC。漏感大约为感量的 5%

2、三明治绕法排序：初级若干（通常为 1/2 左右）、次级、初级另一半、VCC；VCC 也可绕在次级后；（当输出重载时，由于漏感和铜损问题，会使 VCC 电压升高，然而将 VCC 绕在最外层，与初级接触较远，从而增大了漏感，所以相比绕在次级后电压上升度要好很多，这就是绕在外层的优点。另一个 VCC 居中密绕是为了减小接触面，从而增加漏感；然而绕在次级后理论上 EMI 会略好些）。三明治绕法的特点漏感小，大约为感量的 1%-3%；但由于初次级间有两个接触面，从而增加了分布电容，为共模电流提供通路，影响 EMI，因此需加屏蔽。

如果为节约成本，小功率的可用顺绕，当功率稍大就得用三明治了，因为功率大了，漏感相当可观。

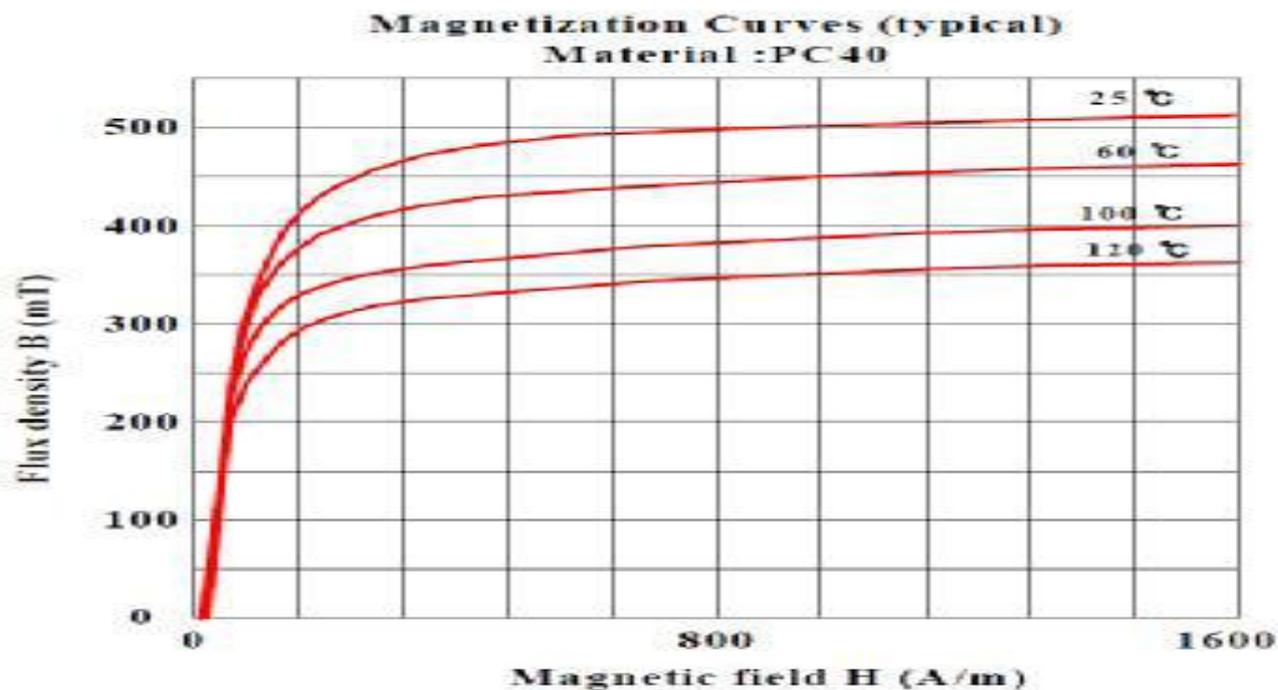
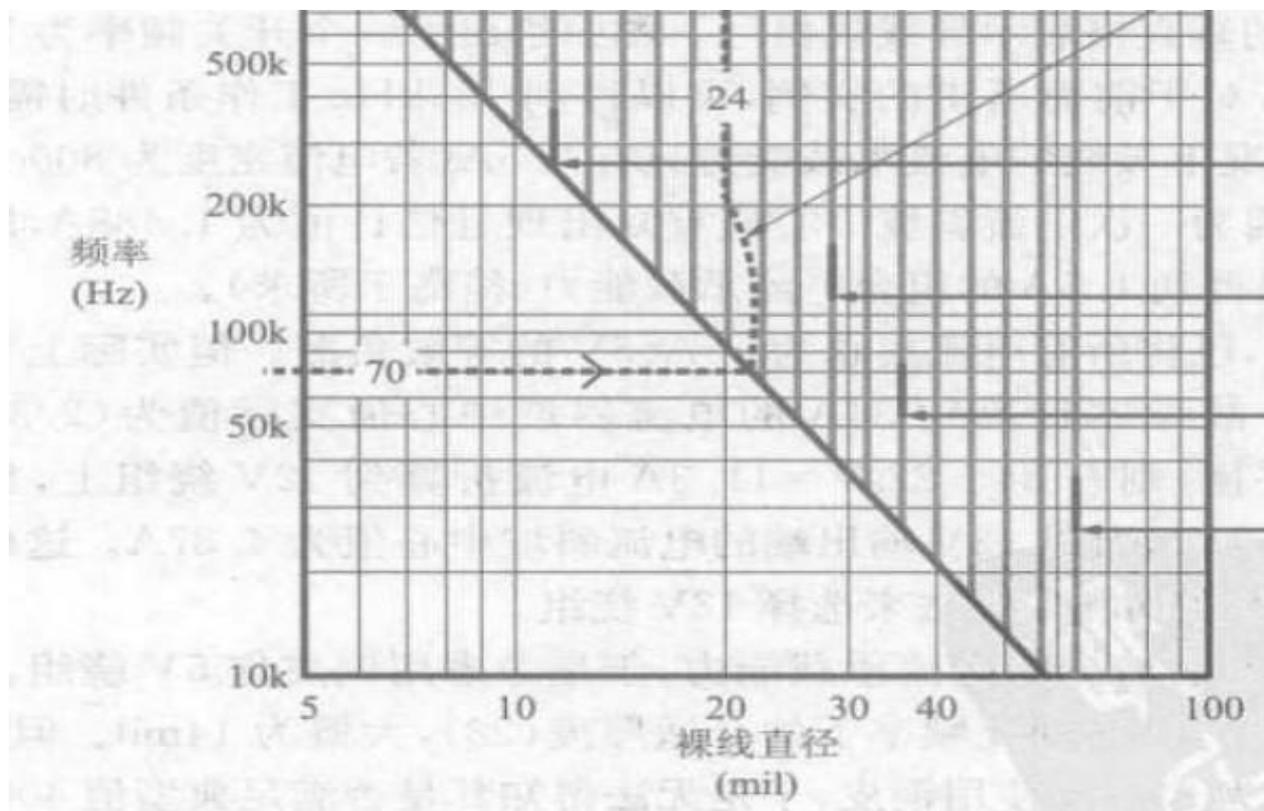


Figure 8. Typical B-H characteristics of ferrite core (TDK/PC40)

(图 1)



(图 2)

## 设计实例 1

已知:  $V_{IN} = 85 - 265V$ ,  $V_O = 5V$ ,  $P_O = 10W$ ,  $f = 65KHZ$

设定:  $\eta = 72\%$ ,  $D_{max} = 0.45$ ,  $K_{RP} = 0.75$

1、 $V_{DCmin} = 85 * 1.414 - 30 = 90V$

2、 $I_{DC} = \frac{10}{0.72*90} = 0.155A$

3、 $I_{PK} = \frac{0.155}{(1-0.5*0.75)*0.45} = 0.551A$

4、 $L_P = \frac{90*0.45}{0.551*65*0.75} = 1.508mH$       因此选择  $1.4mH \pm 5\%$

5、 $V_e = 0.4 * \frac{(2+0.75)^2}{0.75} * \frac{13.89}{65} = 0.862cm^3$       (查表得 EE19:  $V_e = 0.9cm^3$ )

6、 $N_P = \frac{1508*0.551}{0.3*23} = 120.4T$       (查表得 EE19:  $V_e=23$ )

7、 $V_{OR} = \frac{90*0.45}{1-0.45} = 73.64V$

8、 $n = \frac{73.64}{5+0.8} = 12.7$       (先选择 DIODE, 再查该 DIODE 压降为多少, 代入式中)

9、 $N_S = \frac{120.4}{12.92} = 9.48T$       取:  $10T$ ; 因此  $N_P = 127T$

10、 $N_F = \frac{(12+1)*10}{5+0.8} = 22.4T$       取:  $23T$       (假设此芯片 VCC 是  $12V$ )

11、 $V_{OR} = \frac{127*(5+0.8)}{10} = 73.66$  ;  $D_{max} = \frac{73.66}{73.66+90} = 0.45$

$$12、I_S = \frac{2}{1-0.45} = 3.637A ; d_S = 3.637 \sqrt{\frac{4}{3.14*6}} = 1.676mm$$

$$13、I_P = \frac{3.637}{12.7} = 0.287A ; d_P = 0.287 \sqrt{\frac{4}{3.14*4}} = 0.162mm$$

从图 2 中可以看出，f 为 65KHZ 时的电流穿透深度为 23mil，1mm=39.37mil，因此穿透深度为 0.584mm，因此d<sub>S</sub>可选择 3 股 0.51 的导线三线并绕，略低于计算值是可以接受的；也可以选择 4 股 0.41 线四线并绕。另外经验用 EE19 做 10W，初级绕 120T 为最佳值，铜损跟铁损做到很好的折中，所以如果有这种经验的话可以先确定 120T，再来算感量，全部倒过来算。那么没有经验的话算出来的变压器需要调，直到调到满意为止，不过别忘了验证磁蕊饱和。

变压器设计完成，后面几个公式可以不用了，但掌握还是需要的。上述K<sub>RP</sub>的取值较大，再举例需取小的情况。

### 四、设计实例 2

已知：V<sub>IN</sub> = 85 - 265V，V<sub>O</sub> = 12V，P<sub>O</sub> = 60W，f = 65KHZ

设定：η = 80%，D<sub>max</sub> = 0.45，K<sub>RP</sub> = 0.5

$$1、V_{DCmin} = 85 * 1.414 - 30 = 90V$$

$$2、I_{DC} = \frac{60}{0.8*90} = 0.834A$$

$$3、I_{PK} = \frac{0.834}{(1-0.5*0.5)*0.45} = 2.472A$$

## 反激变压器设计——Flock fai liu

$$4、L_P = \frac{90 \cdot 0.45}{2.472 \cdot 65 \cdot 0.5} = 0.54 \text{mH} \quad \text{因此选择 } 490\mu\text{H} \pm 10\%$$

$$5、V_e = 0.4 * \frac{(2+0.5)^2}{0.5} * \frac{75}{65} = 5.77 \text{cm}^3 \quad (\text{查表得 EE30: } V_e = 6.31 \text{cm}^3)$$

$$6、N_P = \frac{540 \cdot 2.472}{0.3 \cdot 109} = 40.83 \text{T} \quad (\text{查表得 EE30: } V_e = 109)$$

$$7、V_{OR} = \frac{90 \cdot 0.45}{1 - 0.45} = 73.64 \text{V}$$

$$8、n = \frac{73.64}{12 + 1} = 5.665$$

$$9、N_S = \frac{40.83}{5.665} = 7.2 \text{T} \quad \text{取: } 7 \text{T}; \quad N_P = 41 \text{T}; \quad (N_P \text{不可减少})$$

$$10、N_F = \frac{(12+1) \cdot 7}{12+1} = 7 \text{T} \quad (\text{假设此芯片 VCC 是 } 12 \text{V})$$

$$11、V_{OR} = \frac{41 \cdot (12+1)}{7} = 76.143; \quad D_{\max} = \frac{76.143}{76.143 + 90} = 0.46$$

$$12、I_S = \frac{5}{1 - 0.46} = 9.26 \text{A}; \quad d_S = 9.26 \sqrt{\frac{4}{3.14 \cdot 10}} = 3.3 \text{mm}$$

$$13、I_P = \frac{9.26}{5.857} = 1.581 \text{A}; \quad d_P = 1.581 \sqrt{\frac{4}{3.14 \cdot 7}} = 0.674 \text{mm}$$

$$d_S: 0.55 \cdot 6; \quad d_P = 0.35 \cdot 2$$

设计准备资料：磁芯参数表，导线规格表

**Bye!**