

应用手册

高压浮动 MOS 栅极驱动集成电路 (第二部份)

下面的措施给出了一些很实用的方法，不必考虑安全裕量。

使寄生参数最小

- 1a 开关之间的连线应粗而直，不应有环路或背离。
- 1b 避免互相连接，这会增加感应。
- 1c 降低器件在 PCB 上安装高度，减小引脚电感。
- 1d 考虑两功率开关的相互位置以减小导线长度。

减小控制 IC 与功率电路距离

- 2a 如图 6 所示连接 VS 和 COM
- 2b 在栅极驱动电路中使用短而直的导线使寄生参数最小
- 2c 使控制 IC 尽可能的靠近功率开关

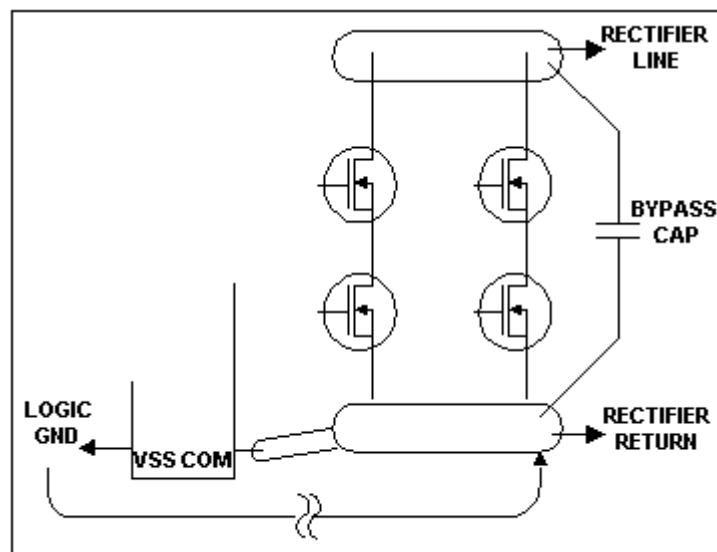


Figure 6. Ground connections and layout

改善局部退耦

- 3a 增加自举电容 (C_b) 的值使大于 $0.47\mu\text{F}$ ，且使用至少一个低 ESR 的电容。这样可以减小 V_S 严重负过冲时电容的过充电。
- 3b 在 V_{CC} 到 COM 使用第二个低 ESR 的电容，此电容维持低压侧缓冲器和自举的再充电，建议其值至少比 C_b 大 10 倍。
- 3c 如图 7 所示在适当的引脚上直接接上退耦电容。
- 3d 如果给自举二极管串联一个电阻，可以确保 VB 不会降落到 COM 电平下，尤其是在启动过程中和频率、占空比处在极端值的时候。

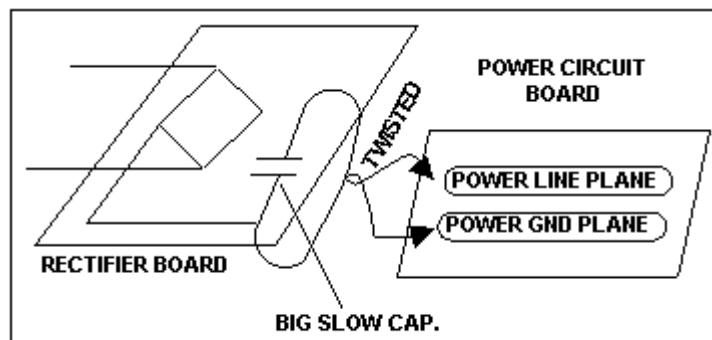


Figure7. Power Bypass Capacitor

若上面的措施应用恰当， V_S 在源极的负过冲的影响可减到最小。如果认为负过冲仍旧太高，就需要减小 dv/dt 。

外接吸收或稍稍增加栅极驱动电阻以牺牲效率来降低开关速率。如果系统不允许这样做，那么就适合使用反并联嵌位二极管，HEXFRED 二极管也是一个理想的选择。

有关暂态管理的更多的资料请参考 DT97-3 “控制 IC 驱动功率级的暂态管理”。

6.印制板设计和其它提示

如图 5a 所示是一个带有杂散电感的典型半桥电路。临界杂散电感位于会影响电路工作的高端电流通路上。 L_{D1} 和 L_{S2} 位于直流通路上，是由 MOSFET 和退耦电容之间的导线电感引起的； L_{S1} 和 L_{D2} 位于交流通路上，是由 MOSFET 之间的导线电感引起的。直流通路上的杂散电感可用一个电容抵消，而交流通路上的杂散电感不能够被补偿。

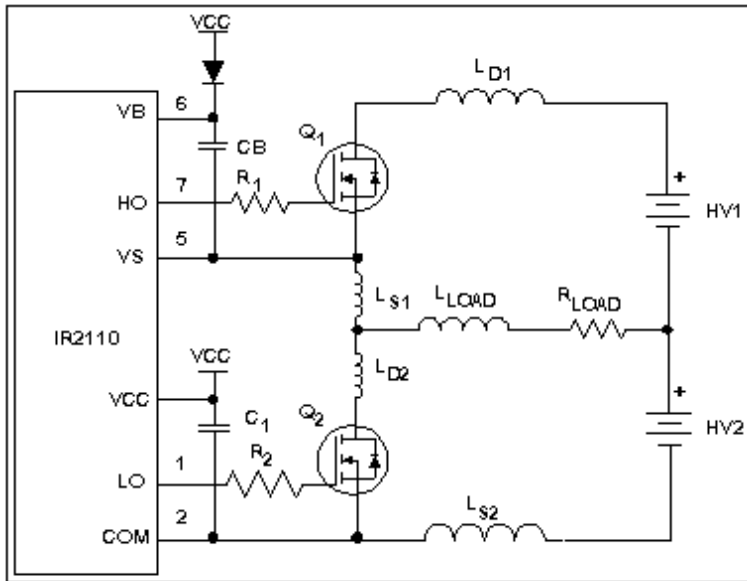


Figure 5a. A typical half-bridge circuit with stray inductances.

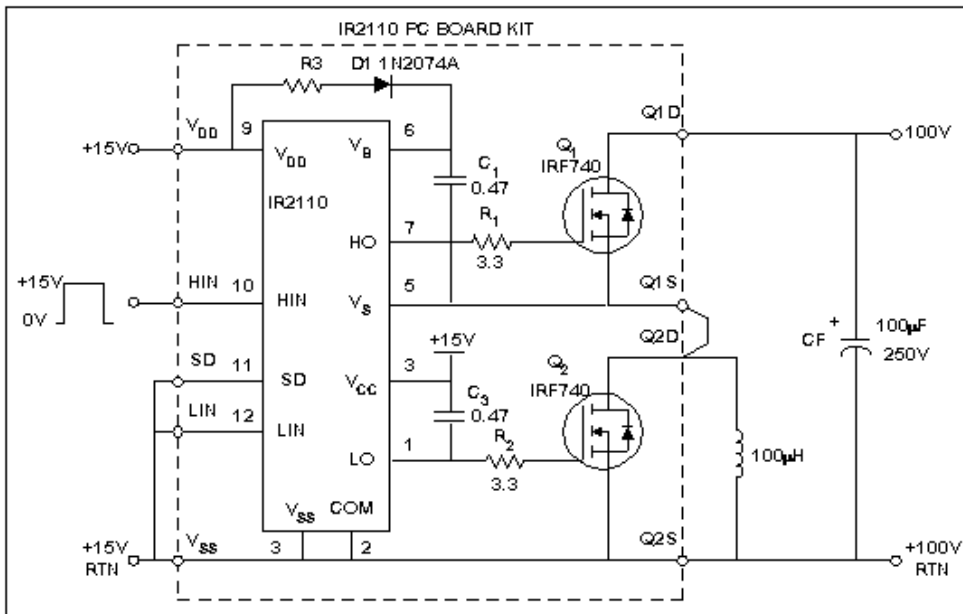


Figure 5b. Test Circuit

如图 5b 所示，在 IR2110 半桥驱动器设计师工具包（编号 IR2119）中给出了有 PCB 板的此电路的实现方法。为了消除功率电源和测试电路之间的引线电感的影响，在 Q1D 和 Q2S 之间接一个 100 μ F/250V 的电解电容，如图 6, 7 所示。事实上它消除了直流通路上的任何杂散电感。

图 8 给出了相关的波形，当 Q1 关断时，Q2 的体二极管继续流过电流，此二极管上的电压毛刺大约为 10V，如图中上面的曲线所示，其原因是二极管的正向恢复和内部封装电感所致。

然而，相应的在 IR2110 的 5 脚的负的冲击是 50V，如图中下面的曲线所示。这是由在交流通路上的杂散电感 L_{D2} 和 L_{S2} 的 di/dt 所引起的，因为这些电

感使 5 脚与体二极管隔离。以 10A, 20ns 开关, 并有 50nH 的杂散电感时就要考虑一个严重的问题, 那就是会产生 25V 的冲击。一个小回形针那样的就会有 50nH 的电感。

处理这种冲击的大多数有效的办法就是减小交流通路的杂散电感。也就是说, 使高压侧器件的源极或发射极非常靠近低压侧器件的漏极或集电极, 如图 10 所示。

在这些电感被减小到最低限度以后, 也可通过栅极电阻的方式降低开关速度以减小 di/dt 。直接用 IR2110 或相似的 MGD 来驱动 MOS 栅极功率晶体管可能引起不必要的高速度。如图 5b 所示电路可产生 4ns 的关断时间, 串联栅极电阻为 0Ω , 并在 IR2110 的 5 脚产生 90V 的负冲击电压。图 9 是负冲击和关断时间相对于串联栅极电阻的曲线。

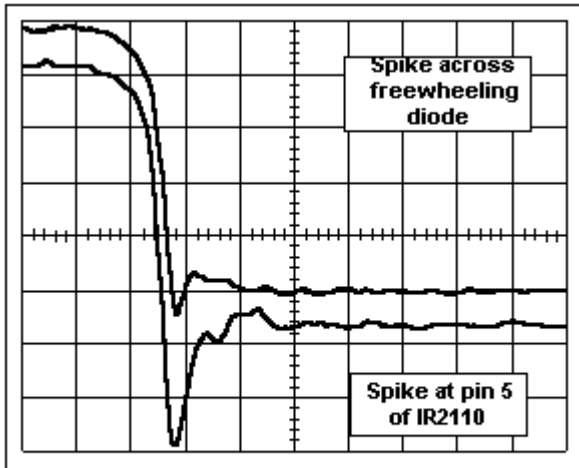


Figure 8. Waveform while Q1 turning off 20A inductive load (20ns/div and 20V/div)

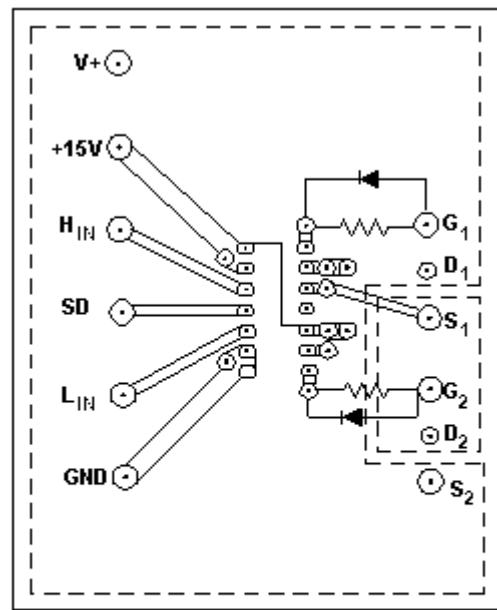


Figure 10. IR2110 test circuit Note: Dotted lines represent pads on bottom side of board. V+, GND, D1, S1, D2, S2, terminals have plated through holes

随着串联栅极电阻值的增加, 负冲击的幅值迅速减小, 而关断时间是串联栅极电阻的线性函数。选择图 9 两曲线交点处的串联栅极电阻值能够折衷冲击幅度和关断速度。在测试电路中选择 27Ω 速度的串联栅极电阻时, 冲击幅度为 18V, 关断时间为 48ns。建议在串联栅极电阻上并联一个阳极朝向栅极的二极管。此二极管在整个关断期间导通并使栅极很快关闭。降低导通速度可减小冲击的

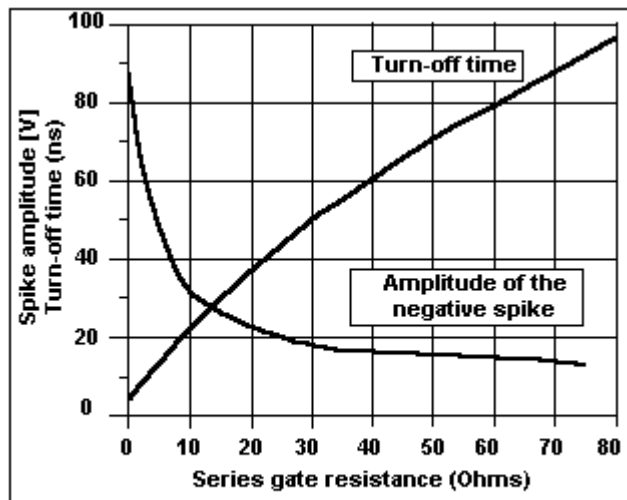


Figure 9. Series gate resistance vs. the amplitude of the negative voltage spike and the turn-off time.

反向恢复，有关解释可参考第 12 节（也可看参考资料 2）。栅极电阻值在设计允许时应尽可能的小，以限制在器件上的过电压和在 V_S 脚上的负冲击。

在设计中应使栅极充、放电回路的杂散电感最小，这样可减小振荡，改善开关速度，提高抗噪音能力，可参看“dv/dt 引起导通”。最后要说明的是每个 MOSFET 都应单独的直接和 MGD 栅极驱动信号的返回端引脚相连。使用一对双绞线连接可获得最佳效果，它的一端去栅极和源极，另一端去栅极驱动和栅极驱动返回端。

在 PCB 板上使用平行线。图 10 的设计中减小了交流通路中的杂散电感，在直流通路中的杂散电感也可同栅极驱动回路中一样的方法来减小。此电路中在很快的瞬态时间内，功率 MOSFET 的栅极引脚和 IR2110 的驱动引脚之间的电压超过了 2V。

7. 如何提高 MGD 的输出电流去驱动模块

模块和其它类似的 MOS 栅极功率晶体管需要更大的电流和更低的栅极驱动阻抗，这比一个典型的 MGD 所提供的要大的多。图 11 是一个能够输出 8A 峰值电流的高输入阻抗的功率缓冲器。缓冲级紧靠功率模块，这样可以减小栅极驱动回路的电感并改善开通时所产生的 dv/dt 的抗干扰性。缓冲级所需的静态电流可以忽略不计，它可由自举电容供给。

缓冲器的驱动信号来自 IR2110 或者更确切的说来自有较低栅极驱动能力的 MGD，该缓冲器可以驱动一个栅极总电荷为 600nC 的 IGBT 模块。Q1 和 Q2 对 Q3 和 Q4 来说是一个低电流的驱动器，Q3 和 Q4 大小依据输出峰值电流的需要适当选择。

当输入信号改变状态时，R1 限制在几纳秒时间内两晶体管同时导通时通过 Q1 和 Q2 的电流。当输入转变到一个新的状态时，驱动器晶体管迅速放掉栅极的电荷，强制输出晶体管转到关断状态。在此期间另一个输出晶体管的栅极通过 R1 被充电；由 R1 和输出晶体管的输入电容所构成的 RC 时间常数将会使导通延迟。

图 12 是一个驱动 60A 感性负载的典型开关参数。有 50ns 的导通和关断延迟，上升和下降时间小于 40ns，用一个 0.1 μ F 的电容负载测试缓冲器，如图 13 所示。振荡是因为输出谐振电路，谐振电路由负载电容和杂散电感构成。图 14 是电流消耗与频率的关系图。在后级尽可能使用低导通阻抗、低压的 HEXFETs，但是会发现 $R_{DS(on)}$ 大幅度减小时，峰值电流上升很大，这会在电路中引起很大的噪音和振荡。

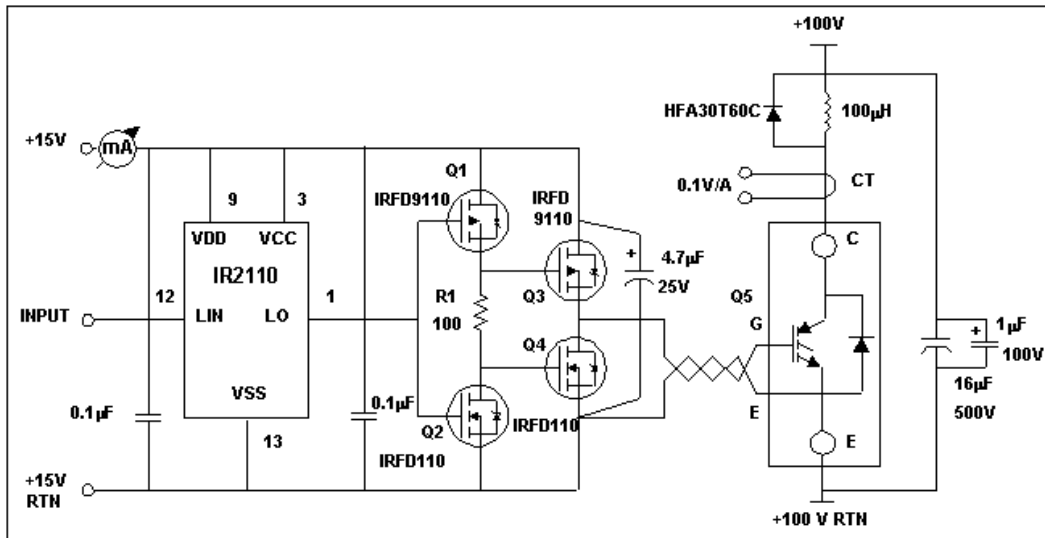


Figure 11. Test Circuit

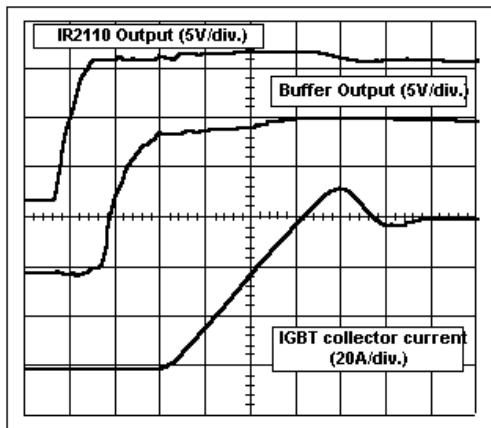


Figure 12a. Waveform, turn-on, IGBT module switching inductive load of 60A. (50ns/div.)

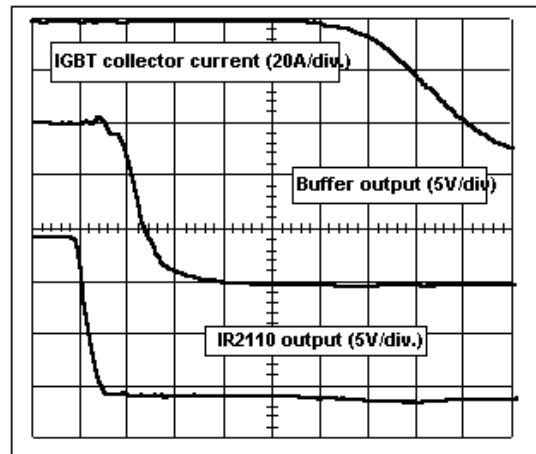


Figure 12b. Waveform, turn-off. Propagation delay is 50ns, fall time is less than 40ns when driving 600nC gate charge of the module 50ns/div.

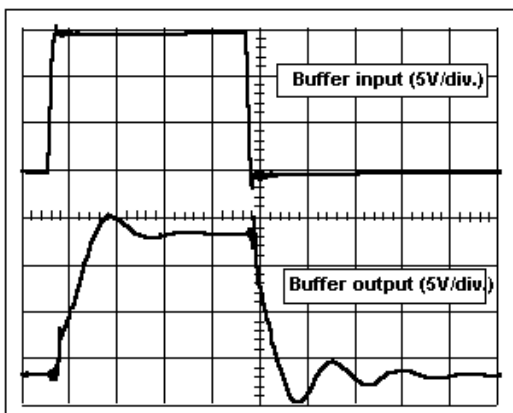


Figure 13. Waveform driving 0.1mF capacitor (250ns/div.)

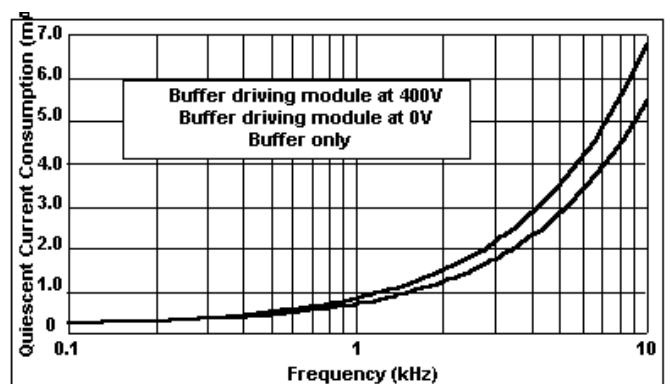


Figure 14. Current consumption vs. frequency

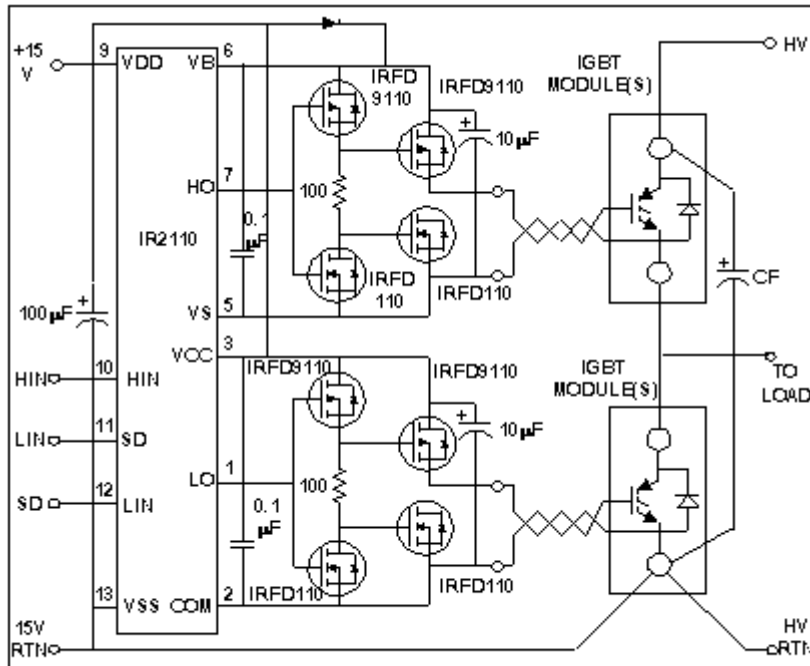


Figure 15. Application circuit schematic

图 15 给出了这个缓冲器的一个典型用法。在缓冲器的输出侧使用高品质的 $10\mu\text{F}$ 的钽电容或 $10\mu\text{F}$ 的电解电容和 $0.1\mu\text{F}$ 的陶瓷电容。这些退耦电容在物理位置上应靠近 HEXFET 放置，以便降低杂散电感的影响，此措施也会使在栅极导通期间减小振荡。在缓冲器输出和模块之间使用短的，紧密的绞合线。在底端 IGBT 模块的发射极处单点接地。在桥式结构中连接 IGBT 模块的发射极和公共地点之间的导线应短而粗，以此点作为公共地点。

8. 如何提供一个连续的栅极驱动

在象无刷直流电机一样的应用中，需要高压侧器件不定期开通。在此种情形下，电荷在自举电容中，为达到此目的，通常使用隔离电源。

这些措施会增加成本，经常导致功率器件假开通，这是因为通过它们变压器的匝间电容耦合过来的开关量 dv/dt 引起。图 16 是一个便宜的可选的隔离电源方案：充电泵电路。选择 IR2125 来示范说明充电泵和自举电路的协调工作，IR2125 也有线性电流限制和时间溢出关断功能，以此来保护 MOS 栅极器件。充电泵使用 CMOS 555 定时器给 IR2125 提供低的工作电流需要。

当 IGBT 关断时，自举电容通过自举二极管和负载电阻充电。当 IGBT 导通时，通过和地连接的 100K 电阻给接在 555 定时器 1、8 脚间的 100nF 的电容充电，产生以 IR2125 的 5 脚为参考点的 -15V 电压。充电泵电路由两个 1N4148 二极管和 10nF 的电容构成，它把 555 的 3 脚输出的 7.5KHz 的方波转变为以 V_S 点为参考的 $+15\text{V}$ 电压，并给自举电容充电。

图 17 给出了电路启动时的波形。当 IGBT 导通时，自举二极管阻断 IR2125 的 8 脚和 $+12\text{V}$ 电源相连接，自举电容上的电压开始降落。同时位于 555 定时器的

的 1 脚和地之间的 100K 电阻开始给与它相连接的 100nF 的电容充电，为 CMOS 定时器产生电源电压。

充电泵输出电压随电源电压的增加而增加。充电泵维持自举电容上的电压，并使其保持在 IR2125 欠压门限电压之上。

选择元件时应考虑以下因素：

- 选择稳压管时应考虑 555 的绝对最大电源电压是 18V
- 100K/1W 电阻（500V 正高压电源其值应有效）的大小依照 IR2125 的高端最大电源电流，最小工作电源电压和定时要求而定
- IR2125 V_B 脚的电流 (I_{QBS}) 随温度的升高而增加

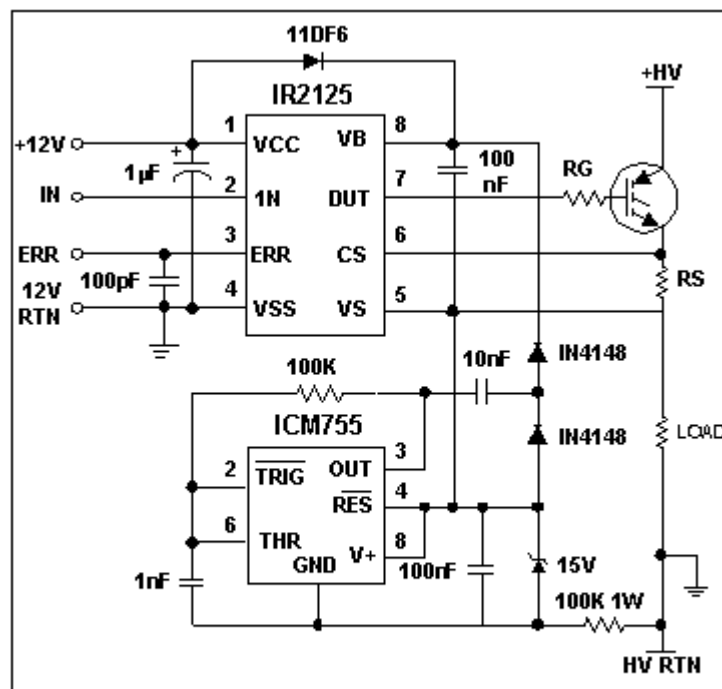


Figure 16. High-side drive provides fast switching, continuous on-time and protection for the switching device.

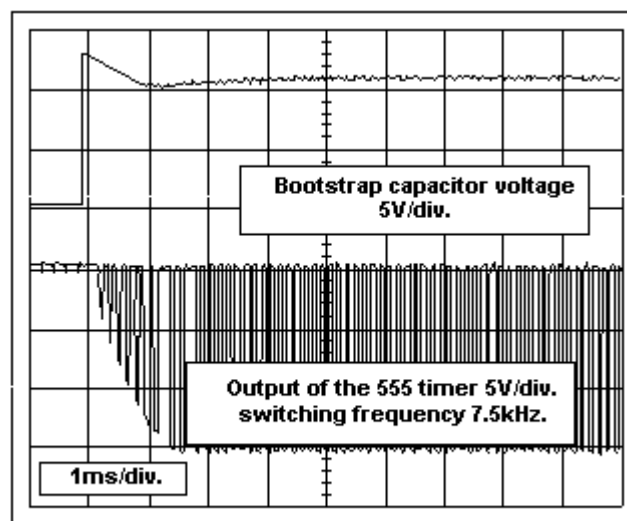


Figure 17. Waveform at start-up.