

AN-44应用指南

LinkSwitch-II®产品系列



设计指南

简介

LinkSwitch-II是高度集成的单片开关IC系列，用于设计最高输出功率为6.1 W的离线式电源。LinkSwitch-II能够提供恒压和恒流(CV/CC)输出调节，而无需使用光耦器或次级反馈电路，非常适合充电器、适配器、辅助电源和LED驱动器应用。由于集成有输出电缆压降补偿（仅LNK61x）、变压器漏感补偿以及外围元件温度漂移补偿功能，因此即使在输出电缆末端也可实现较高的精度。开/关控制可以优化各种负载和线电压条件下的效率，从而使设计轻松满足空载功耗及电源效率要求。

该系列中的每个产品都在一个硅片上集成了一个高压功率MOSFET及控制器。内部连接到漏极的高压电流源在启动阶段提供偏置电流，从而省去了外部启动电路元件。内部振荡器具有频率调制（抖动）特性，可以降低在全频模式下工作时的EMI。此外，IC还集成了一些功能用于系统级的保护。自动重新启动功能可以在过载、输出短路和开环条件下限制MOSFET、变压器及输出二极管中的功率耗散。自动恢复迟滞热关断功能可以在发生热故障时禁止MOSFET开关。Power Integrations公司的EcoSmart®技术令使用LinkSwitch-II产品系列设计的电源，在230 VAC输入情况下的空载功耗小于200 mW（不带外部偏置电路），使用低成本偏置

电路时功耗将低于30 mW。这种解决方案能够轻松满足如加州能源委员会(CEC)、欧盟行为准则及能源之星等能效标准。

基本电路结构

图1中的电路显示了使用LinkSwitch-II设计的反激式电源的基本结构。由于使用了高度集成的LinkSwitch-II器件，因此仅有很少的问题需要在外部进行考量，这样对所有的应用而言，使用一个通用的电路结构即可。例如，不同的输出功率只是要求电路中的某些元件具有不同的数值，但电路结构不会改变。

范围

本应用指南旨在帮助工程师使用LinkSwitch-II系列器件设计一个隔离的AC-DC反激式开关电源。工程师可以利用本文所述的指导方法快速选择所需的关键元件并完成合适的变压器设计。为方便起见，本文直接参考了PIXIs变压器设计表格。该设计表格为PI Expert™设计软件的一部分。

除了此应用指南之外，您还会发现LinkSwitch-II参考设计套件（RDK，其中包括工程原型板、工程报告及器件样品）非常有用，可作为新设计的起点。关于PI Expert软件下载、如何得到RDK及本文最新方面的详细信息，请访问www.powerint.com。

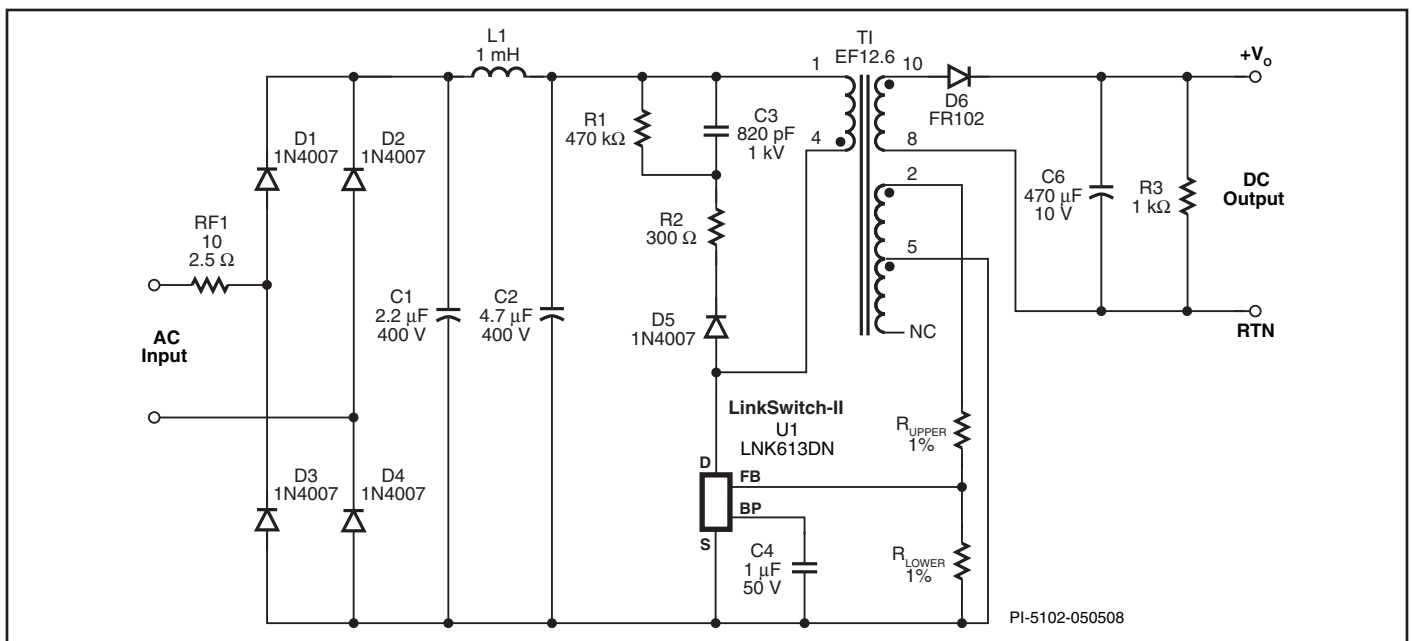


图 1. 使用LinkSwitch-II设计的电源，带初级检测反馈

快速入门

如果想立即开始设计，则可以使用如下信息，为第一个工程原型快速设计出一个变压器并选择相应的元器件。只要将如下所述的信息输入PIXIs表格，其它参数就会根据典型的设计自动选取出来。方括号当中的数值表示PIXIs表格中单元的位置。

- 输入交流输入电压范围，包括最小值 V_{AC_MIN} 、最大值 V_{AC_MAX} 及最低交流输入频率 f_L [B3, B4, B5]。
- 输入额定输出电压（如果适用，输入电缆末端电压） V_O [B6]。
- 输入额定输出电流值[B7]。
- 输入估计的效率[B9]。
 - 对于通用输入电压范围(85-265 VAC)或单电压100/115 VAC (85-132 VAC)取值0.7；对于单电压230 VAC (185-265 VAC)取值0.75。（完成首件工程样板后在最低交流输入电压、最大负载条件下测量其效率，再相应地调整表格中估计的效率取值。）
- 输入损耗分配因子Z [B10]。
 - 对于典型的应用取值0.5（完成首件工程样板后相应地调整该取值）
- 选择是否需要外部偏置电路。输入YES或NO [B12]。
 - 选择YES可以提高效率并降低空载输入功耗。
- 输入 C_{in} 输入滤波电容容量[B13]。
 - 对于通用电压(85-265 VAC)或单电压(100/115 VAC)输入取值 $\geq 2 \mu F/W$ 。
 - 对于单电压230 VAC（或195-265 VAC）输入取值 $1 \mu F/W$ 。
 - 注释：选择LinkSwitch-II器件后，如果计算得出的占空比[D59]大于55%，则需加大输入滤波电容容量。
- 直接输入或从下拉菜单中选择LinkSwitch-II型号[B16]。
 - 从表1中根据输出功率选择合适的器件。

输出功率表

产品	85 - 265 VAC	
	适配器	开放式
LNK6X3PG/DG	2.5 W	3.1 W
LNK6X4PG/DG	3.5 W	4.1 W
LNK6X5PG/DG	4.5 W	5.1 W
LNK6X6PG/DG	5.5 W	6.1 W

表 1. 输出功率表

注释：LNK60x器件不提供输出电缆压降补偿。LNK61x器件提供可选的输出电缆压降补偿。

- 在[B17]中输入器件封装：对于7引脚DIP输入PG，对于7引脚SO8表面贴装（非LNK6x6）输入DG，或者对于7引脚DIP表面贴装（仅限LNK6x6）输入GG。

- 输入最大工作频率 F_S [B21]。（ F_S 是具有额定元件值的最大工作频率。）
 - 注释：推荐的频率在60 kHz到90 kHz之间。
- 输入 V_{DS} [B23]，即导通状态下的漏-源极压降。如果没有合适的数值，取值10 V。
- 输入输出整流器的正向导通压降 V_D [B24]。对肖特基二极管取值0.5 V，对于标准PN结二极管取值0.7。
- 检验 K_p [D25]大于1.3，确保非连续工作模式。为取得最佳调节性能，选取大于1.5的 K_p 值。
- 如果在[B12]中选择了外部偏置，则输入所需的偏置电压[B33]。建议电压取值10 V，以降低空载输入功耗。
- 对 D_{CON} [B37]输入4.5 μs ，即输出整流器的导通时间
- 从下拉菜单中选择磁芯类型[B44]。如果菜单中没有列出所需的磁芯，则需要输入磁芯的特性 A_E 、 L_E 和 A_L （[B46] [B47] [B48]）。
- 输入骨架宽度BW [B49]。
- 如果需要挡墙胶带的话，在[B50]中输入挡墙胶带宽度。
 - 注释：这样可以将绕组宽度减小到输入值的一半。
- 输入初级绕组层数L [B51]。最多使用3层，以限制初级漏感值。
- 输入初级电感公差 $L_{P(TOLERANCE)}$ [B68]。
- 输入变压器的最大磁通密度 $B_{M(TARGET)}$ [B71]。注释：磁通密度要低于最大磁通密度2500 Gauss，以使音频噪音维持在可接受的水平。可参照F栏给出的指导方法来消除任何警告。
- 确认磁芯气隙 L_G [D76]、线规格AWG [D81]以及初级绕组电流密度CMA [D83]均处于可接受的极限内。
- 确认LinkSwitch-II漏极电压[D94]小于680 V。
- 为反馈电阻输入电阻值 R_{UPPER} [D39]和 R_{LOWER} [D40]（图1）。
- 输入 PIV_S [D95]和 I_{SRMS} [D88]可确定适当的输出整流器。
- 选择输入电容电压额定值，使其大于 V_{MAX} [D56]；选择纹波电流额定值，使其大于 I_{RIPPLE} [D62]。
- 输入 V_O [B6]、 I_{SP} [D87]和 I_{RIPPLE} [D89]可确定适当的输出滤波电容。
- 输入 I_{AVG} [D60]以及介于600 V和1000 V之间的峰值反向电压估计值，可确定输入整流二极管（通常为1 N4006或1 N4007型）。
- 输入 I_{AVG} [D60]可确定适当的输入滤波电感的电流额定值。通常情况下，使用1 mH到2 mH的电感值足可满足传导EMI要求。
- 制作好电源原型后，测量峰值功率点的输出电压和电流。分别在单元格[B98]和[B99]中输入 R_{UPPER} 和 R_{LOWER} 值。
- 在单元格[B100]中输入测量出的电压值。在单元格[B101]中输入从恒压工作切换到恒流工作时测量出的电流值。PIXIs计算出电源经过精确调整的反馈电阻值。在 R_{UPPER} [D102]和 R_{LOWER} [D103]单元格中输入最近1%值的电阻。

详细的设计流程

第1步 - 输入应用变量 V_{AC_MIN} 、 V_{AC_MAX} 、 f_L 、 V_O 、 I_O 、 η 、 Z 、 V_B 、 t_C 、偏置支持、 C_{IN}

ENTER APPLICATION VARIABLES				
VACMIN	85		V	Minimum AC Input Voltage
VACMAX	265		V	Maximum AC Input Voltage
fL	50		Hz	AC Mains Frequency
VO	5		V	Output Voltage (at continuous power)
IO	0.6		A	Power Supply Output Current (corresponding to peak power)
Power			3.00 W	Continuous Output Power
n			0.70	Efficiency Estimate at output terminals. Under 0.7 if no better data available
Z			0.50	Z Factor. Ratio of secondary side losses to the total losses in the power supply. Use 0.5 if no better data available
tC			3.00 ms	Bridge Rectifier Conduction Time Estimate
Add Bias Winding	YES		YES	Choose Yes to add a Bias winding to power the LinkSwitch-II.
CIN	9.4		uF	Input Capacitance

图2. 设计表中的应用变量部分

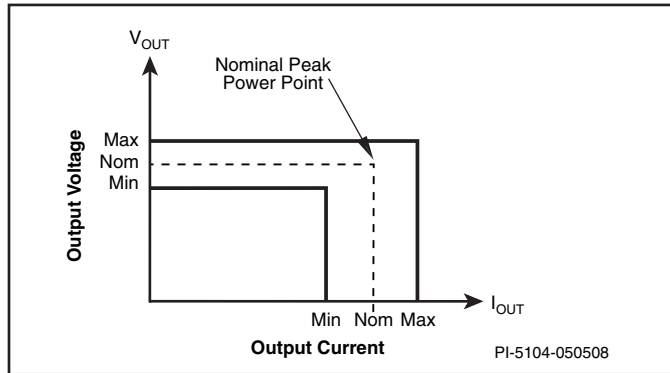


图3 输出特性包络的定义说明

从表2当中确定输入电压范围。

额定输入电压(VAC)	VAC _{MIN}	VAC _{MAX}
100/115	85	132
230	195	265
通用输入	85	265

表2. 标准的全球输入电压范围

注释：对于只有直流输入的设计，在设计数据表的灰色单元格中直接输入直流输入电压的最小值 V_{MIN} 和最大值 V_{MAX} （见图4）。

线电压（输入电压）频率， F_L

对于通用输入电压或单电压110 VAC输入取值50 Hz；对于单电压115 VAC输入取值60 Hz，对于单电压230 VAC输入取值50 Hz。这些值表示典型的线电压频率，而不是最小频率。对于大多数应用，这都预留了足够的整体设计裕量。为绝对最差情况进行设计时，或可根据产品的具体规格，将这些数值降低6%（降到47 Hz或56 Hz）。如果是半波整流，可以使用 $F_L/2$ 。如果是直流输入，直接将电压输入单元格[B55]和[B56]。

DC INPUT VOLTAGE PARAMETERS				
VMIN			89.82 V	Minimum DC bus voltage
VMAX			374.77 V	Maximum DC bus voltage

图4. 设计表格中DC输入电压参数部分

额定输出电压， V_O (V)

对于恒压 / 恒流设计和恒压设计， V_O 是在传输额定输出电流的连接电缆的末端测量的额定输出电压。输出电压的容差为 $\pm 5\%$ （包括初始容差以及数据手册中规定的结温范围）。

额定输出电流， I_O (A)

对于恒压 / 恒流设计， I_O 是额定输出电压下的额定输出电流。对于仅需要恒压的设计，输入比指定输出电流高出10%的值。10%的因子可以确保电源在提供所需输出电流的同时维持在恒压模式，即使受到容差和温度的影响，仍可维持恒压工作。

如果设计的外部适配器，其额定输出电压和电流可能与标称值不一致。标称值通常表示适配器的最小输出电压和电流，这样可以确保测量时，适配器至少可以提供 $V_{O(MIN)}$ 和 $I_{O(MIN)}$ ，以满足相关能效测试要求。有关输出电压和电流的定义请参见图3。

电源效率， η

输入整个电源的估计功率：即在满载及最差的输入电压（一般为最低输入电压）条件下于输出电缆末端（如果适用）测得的效率。对于通用输入电压范围(85-265 VAC)或单电压100/115 VAC (85-132 VAC)输入取值0.7；对于单电压230 VAC (185-265 VAC)输入取值0.75。完成首件工程原型后在峰值功率点、 V_{AC_MIN} 和 V_{AC_MAX} 条件下测量其效率，再相应地调整表格中估计的效率取值。

电源损耗分配因子， Z

此参数表示电源次级侧功耗在初级侧和次级侧总功耗中所占的比例。 Z 参数和计算出的效率决定了功率级要处理的实际功率。例如，功率级（通过变压器传输）不会处理在输入级（EMI滤波

器、整流电路等)的损耗,因此尽管输入级的损耗降低了效率,但不会影响变压器的设计。

$$Z = \frac{\text{次级侧损耗}}{\text{总损耗}}$$

如果没有其它数据,则使用0.5这个值。

桥式二极管的导通时间, t_c (ms)

此参数是AC输入正弦波为输入电容进行充电的时间(此时输入二极管导通)。它用于计算 $V_{AC(MIN)}$ 下输入电容上的最小电压。通过测量电源原型的输入电流波形可以计算出 t_c 的实际值。如果没有其它数据,则使用3ms这个值。

添加偏置绕组, YES/NO

如果需要为LinkSwitch-II添加外部偏置电源,输入YES,并且应将偏置绕组添加到变压器。外部绕组可以提高效率,特别是轻载条件下的效率,通过禁止IC的内部高压供电还可以降低空载输入功耗。如果不需要外部偏置,则输入NO。

使用外部偏置电源时所取得的效率(特别是轻载条件下),将大大提高平均效率,这样可以使使用低成本的PN结型输出二极管来替代高成本的肖特基势垒二极管。使用外部偏置电源时所取得的效率(特别是轻载条件下),将大大提高平均效率,这样可以使使用成本较低的器件。在这种情况下,低成本的PN结型输出二极管可以替代高成本的肖特基势垒二极管,或可以将电缆替换为使用较小直径的绕线构造(提高阻抗)。

总输入电容量 C_{IN} (μF)

参考表3输入总输入电容量。

电容量用于计算大容量电容的最小电压 V_{MIN} 。为 C_{IN} 选择一个值,使 $V_{MIN} > 70V$ 。

每瓦特输出功率应使用的总输入电容量($\mu F/W$)	
AC输入电压(VAC)	全波整流
100/115	3
230	1
85-265	3

表3. 不同的输入电压范围建议的总输入电容量

第2步 - 输入LinkSwitch-II变量: LinkSwitch-II器件和封装, V_{DS} 和 V_D

选择正确的LinkSwitch-II器件。

参考LinkSwitch-II功率表(表4),选择符合所需输出功率和工作条件(密封适配器或开放式)的器件。

选择封装类型

在单元格[B17]中,对于7引脚DIP输入PG,对于7引脚SO8表面贴装输入DG,或者对于7引脚DIP表面贴装(仅限LNK6x6)输入GG。(有关此步骤及后面的四个步骤,请参见图5)。

LinkSwitch-II输出功率表 $T_J \leq 100^\circ C$

产品	85 - 265 VAC	
	适配器	开放式
LNK6X3P/D	2.5 W	3.1 W
LNK6X4P/D	3.5 W	4.1 W
LNK6X5P/D	4.5 W	5.1 W
LNK6X6P/G	5.5 W	6.1 W

表4. 输出功率表

注释: LNK60x器件不提供输出电缆压降补偿。LNK61x器件提供可选的输出电缆压降补偿

选择工作频率, F_S

输入额定工作开关频率 F_S 。 F_S 是电源在额定峰值输出功率点进行工作时的开关频率。在60 kHz和90 kHz之间选择频率范围。最小工作频率和最大工作频率的大小取决于 L_p 的容差和内部电流限流点。如果计算得出的最小或最大频率不在45 kHz到100 kHz的范围内,将出现一个警告。

LinkSwitch-II导通状态漏-源极电压, V_{DS} (V)

此参数为LinkSwitch-II的漏极源极引脚间的平均导通电压。如果没有输入相应的值,PIXIs将使用默认值10V。

输出二极管正向电压降, V_D (V)

输入输出二极管的平均正向电压降。如果没有提供特定二极管数据,则对于肖特基二极管取值0.5,对于PN结型二极管取值为0.7V。 V_D 的默认值为0.5V。

初级MOSFET关断时间与次级二极管导通时间的比例, K_p

为了实现正确调节,LinkSwitch-II要求电源在非连续导通模式下工作。检验 K_p 大于1.3,确保非连续工作。建议取值1.5V或更大的值。 K_p 应始终大于1, K_p 表示非连续导通模式,并且是初级MOSFET关断时间与次级二极管导通时间的比例。

$$K_p \equiv K_{DP} = \frac{(1-D) \times T}{t} = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

反馈绕组参数

反馈绕组参数由PIXIs设计表格计算出。 N_{FB} 是变压器中反馈绕组的圈数。 V_{FLY} 和 V_{FOR} 表示MOSFET在导通(V_{FOR})或关断(V_{FLY})期间反馈绕组上的电压。

偏置绕组参数

如果选择了偏置绕组(在单元格[B12]中输入YES),需为 V_B 输入偏置电压(图7)。电压取值10V,以降低空载输入功耗。

N_B 是叠加在反馈线圈顶部(AC叠加)的额外圈数。

ENTER LinkSwitch-II VARIABLES				
Chosen Device	LNK604		LNK604	Chosen LinkSwitch-II device
Package	PG		PG	Select package (PG, GG or DG)
ILIMITMIN			0.24 A	Minimum Current Limit
ILIMITTYP			0.25 A	Typical Current Limit
ILIMITMAX			0.28 A	Maximum Current Limit
FS			66.00 kHz	Typical Device Switching Frequency at maximum power
VOR			85.25 V	Reflected Output Voltage (VOR < 135 V Recommended)
VDS			10.00 V	LinkSwitch-II on-state Drain to Source Voltage
VD			0.50 V	Output Winding Diode Forward Voltage Drop
KP			2.47	Ensure KDP > 1.3 for discontinuous mode operation

图 5. 输入设计表格的LinkSwitch-II变量部分

FEEDBACK WINDING PARAMETERS				
NFB			5.00	Feedback winding turns
VFLY			4.58 V	Flyback Voltage
VFOR			4.83 V	Forward voltage

图 6. 设计表格的反馈绕组参数部分

BIAS WINDING PARAMETERS				
VB			10.00 V	Bias Winding Voltage. Ensure that VB > VFLY. Bias winding is assumed to be AC-STACKED on top of Feedback winding
NB			7.00	Bias Winding number of turns

图 7. 设计表格的偏置绕组参数部分

第3步 - 选择输出二极管导通时间, D_{CON} (μ s)

D_{CON} 是电源在峰值输出功率点时的输出二极管导通时间。更改 D_{CON} 的值可以用于调节次级和反馈绕组的圈数，从而可以更好地利用骨架绕线窗口。增大 D_{CON} 值将会增加圈数。

将 D_{CON} 的最小值控制到 4.5 μ s，可确保在轻载条件下当对反馈绕组进行采样时，在内部 MOSFET 关断 2.5 μ s 后，输出二极管仍处于导通状态。 D_{CON} 的最大值通常由 K_p 值进行控制。随着 D_{CON} 的增大， K_p 将会减小，直至达到其最小值 1.3。

电阻 R_{UPPER} 和 R_{LOWER} 是计算得出的反馈绕组电阻的初始值（图1）。

第4步 - 根据输出功率选择磁芯和骨架，输入 A_E 、 L_E 、 A_L 、 B_W 及 L

这些符号分别代表磁芯等效截面积 A_E (cm^2)、磁芯等效路径长度 L_E (cm)、无气隙的磁芯等效电感 A_L (nH/Turn^2)、骨架宽度 B_W (mm) 以及初级绕组层数 L 。

在默认情况下，如果磁芯单元格为空，数据表会自动选用最小的磁芯尺寸以满足最大磁通密度限制。用户也可对其进行改变，选用其它容易得到的常用磁芯（如表6所示）。表5提供了对应不同磁芯LinkSwitch-II所能达到的输出功率能力。

磁芯尺寸	输出功率能力
EF12.6	3.3 W
EE13	3.3 W
EE16	6.1 W

表 5. 在LinkSwitch-II设计中常用磁芯尺寸对应的输出功率能力

DESIGN PARAMETERS				
DCON			4.50 μ s	Output diode conduction time
TON			4.20 μ s	LinkSwitch-II On-time (calculated at minimum inductance)
RUPPER			11.80 k-ohm	Upper resistor in Feedback resistor divider
RLOWER			7.91 k-ohm	Lower resistor in resistor divider

图 8. 设计表格中设计参数部分

ENTER TRANSFORMER CORE/CONSTRUCTION VARIABLES				
Core Type				
Core	EE16		EE16	Enter Transformer Core. Based on the output power the recommended core sizes are EE13 or EE16
Bobbin			EE16_BOBBIN	Generic EE16_BOBBIN
AE			19.20 mm^2	Core Effective Cross Sectional Area
LE			35.00 mm^2	Core Effective Path Length
AL			1140.00 nH/turn^2	Ungapped Core Effective Inductance
BW			8.60 mm	Bobbin Physical Winding Width
M			0.00 mm	Safety Margin Width (Half the Primary to Secondary Creepage Distance)
L			3.00	Number of Primary Layers
NS			6.00	Number of Secondary Turns. To adjust Secondary number of turns change DCON

图 9. 在设计表格中输入变压器磁芯 / 结构变量部分

变压器磁芯尺寸

EE10	EF16
EF12.6	EF20
EE13	EF25
EE16	EFD15
EE19	EFD20
EE22	EFD25
EEL16	EFD30
EE16W	EI16
EEL19	EI19
EEL22	EI22
EE25	EI25
EEL25	

表 6. LinkSwitch-II 设计表格中提供的变压器磁芯列表

设计表格中灰色的单元格[B44到B51]内可以直接输入磁芯及骨架的参数。这样当磁芯列表中没有用户使用的磁芯或用户选用特殊的磁芯及骨架参数时，用户可自行输入相应的参数。

对于要求在初级和次级之间进行安全隔离但不使用三层绝缘线的设计，要输入变压器骨架两侧的安全边距宽度（参数M）。通用输入设计通常需要6.2 mm的总边距宽度，因此在设计表格中要输入3.1 mm。对于垂直式的骨架，骨架两端的安全边距可以不

是对称的。例如，即使在实际制作变压器时只在骨架的一边有绝缘间距，但如果所要求的总边距宽度为6.2 mm，还是要输入3.1 mm。

对于使用三层绝缘线的设计，为了满足所要求的安全爬电距离，还是有必要输入一个小的安全边距。通常情况下，对于每个磁芯往往有多种骨架与其相配，而每种骨架有不同的外形尺寸。请参照骨架的数据手册或咨询安规工程师及变压器供应商，确定设计所需的安全边距宽度。由于安全边距减少了绕组绕制的可利用面积，因此对于磁芯较小的变压器并不适合采用安全边距的变压器结构。如果输入安全边距后，初级绕组的层数(L)大于3层，则需使用更大的磁芯，或考虑使用三层绝缘线、安全边距为零的设计。

输入初级绕组层数(L)。推荐的最大初级绕组层数为三层。层数越多，漏感就越大，这样会增大损耗。

N_s 是次级圈数。要想增加圈数，可增大 D_{CON} [B37]的值。

第五步 - 迭代变压器的设计并生成主要变压器设计参数

反复调整设计，使得没有任何告警出现。如果有任何参数超出建议值的范围，右边相应的建议列内会给出消除此告警的指导方法。带有“!!! Info”标记的信息会指导用户进一步优化参数，使其处于可接受范围内。将所有警告清除后，便可使用变压器设计参数来绕制变压器原型，也可以将其发送给供应商来定做样品。

DC INPUT VOLTAGE PARAMETERS				
VMIN		89.82	V	Minimum DC bus voltage
VMAX		374.77	V	Maximum DC bus voltage

图 10. 设计表格中DC输入电压参数部分

CURRENT WAVEFORM SHAPE PARAMETERS				
DMAX		0.28		Maximum duty cycle measured at VMIN
Iavg		0.05	A	Input Average current
IP		0.24	A	Peak primary current
IR		0.24	A	Primary ripple current
IRMS		0.08	A	Primary RMS current

图 11. 设计表格中电流波形参数部分

TRANSFORMER PRIMARY DESIGN PARAMETERS				
LPMIN		1589.61	uH	Minimum Primary Inductance
LPTYP		1766.23	uH	Typical Primary inductance
LP TOLERANCE		10.00		Tolerance in primary inductance
NP		93.00		Primary number of turns. To adjust Primary number of turns change BM_TARGET
ALG		183.79	nH/turn^2	Gapped Core Effective Inductance
BM_TARGET		2500.00	Gauss	Target Flux Density
BM		2472.89	Gauss	Maximum Operating Flux Density (calculated at nominal inductance), BM < 2500 is recommended
BP		2992.19	Gauss	Peak Operating Flux Density (calculated at maximum inductance and max current limit), BP < 3000 is recommended
BAC		1236.44	Gauss	AC Flux Density for Core Loss Curves (0.5 X Peak to Peak)
ur		165.37		Relative Permeability of Ungapped Core
LG		0.11	mm	Gap Length (LG > 0.1 mm)
BWE		25.80	mm	Effective Bobbin Width
OD		0.28	mm	Maximum Primary Wire Diameter including insulation
INS		0.05		Estimated Total Insulation Thickness (= 2 * film thickness)
DIA		0.23	mm	Bare conductor diameter
AWG		32.00		Primary Wire Gauge (Rounded to next smaller standard AWG value)
CM		64.00		Bare conductor effective area in circular mils
CMA		Info	765.31	!!! Info. CMA is on the higher side of recommendation but design will work. Consider reducing primary layers if possible

图 12. 设计表格中变压器初级绕组设计参数部分

TRANSFORMER SECONDARY DESIGN PARAMETERS					
Lumped parameters					
ISP			3.68	A	Peak Secondary Current
ISRMS			1.33	A	Secondary RMS Current
IRIPPLE			1.19	A	Output Capacitor RMS Ripple Current
CMS			266.09		Secondary Bare Conductor minimum circular mils
AWGS			25.00		Secondary Wire Gauge (Rounded up to next larger standard AWG value)

图 13. 设计表格中变压器次级绕组设计参数部分

VOLTAGE STRESS PARAMETERS					
VDRAIN			573.79	V	Maximum Drain Voltage Estimate (Assumes 20% clamping voltage tolerance and an additional 10% temperature tolerance)
PIVS			29.18	V	Output Rectifier Maximum Peak Inverse Voltage

图 14. 设计表格中电压应力参数部分

FINE TUNING					
RUPPER ACTUAL			11.80	k-ohm	Actual Value of upper resistor (RUPPER) used on PCB
RLOWER ACTUAL			7.91	k-ohm	Actual Value of lower resistor (RLOWER) used on PCB
Actual (Measured) Output Voltage (VDC)			5.00	V	Measured Output voltage from first prototype
Actual (Measured) Output Current (ADC)			0.60	Amps	Measured Output current from first prototype
RUPPER FINE			11.80	k-ohm	New value of Upper resistor (RUPPER) in Feedback resistor divider. Nearest standard value is 11.8 k-ohms
RLOWER_FINE			7.91	k-ohm	New value of Lower resistor (RLOWER) in Feedback resistor divider. Nearest standard value is 7.87 k-ohms

图 15. 设计表格中精确调整部分

初级电感量, $L_{P(TYP)}$ 、 $L_{P(MIN)}$ (μH)、 $L_{P(TOLERANCE)}$ (%)

主要的变压器电气参数分别为 $L_{P(TYP)}$ 、 $L_{P(MIN)}$ (μH)以及 $L_{P(TOLERANCE)}$ (%), 表示提供额定峰值输出功率($V_o \times I_o$)所需的最小初级电感量。

电缆压降损耗已包含在了通过效率值(在电缆末端指定)和Z因子进行的计算中。由于通常都是将初级电感量作为含容差的额定值提供给供应商, 因此 $L_{P(TYP)}$ 值可通过以下公式计算得出:

$$L_{P(TYP)} = L_{P(MIN)} \times \left(1 + \frac{L_{P(TOLERANCE)}}{100} \right)$$

其中, $L_{P(TOLERANCE)}$ 是输入的百分比容差。如果没有输入相应的值, PIXIs将使用默认值10, 表示 $L_{P(TOLERANCE)}$ 为 $\pm 10\%$ 。

初级绕组圈数, N_p

此参数表示总的初级绕组圈数。

最大的初级绕组导线外径, OD (mm)

开气隙后的磁芯等效电感量, A_{LG} (nH/T^2)

此参数是 $L_{P(MIN)}$ 的目标磁芯等效电感量, 由 A_{LG} 的典型值乘以 $1 + L_{P(TOLERANCE)}/100$ 计算得出。此参数通常由变压器供应商用于采购合适气隙尺寸的磁芯。

目标磁通密度, B_{M_TARGET} (Gauss)

B_{M_TARGET} 表示工作磁芯磁通密度和AC磁通变化。使用最大值2500(0.25 T)可以降低音频噪音的产生。

磁芯气隙长度, L_g (mm)

L_g 是磁芯气隙长度的估计值。通常不推荐对中心柱气隙磁芯使用小于0.1 mm的值, 因为这样会导致初级电感量容差增大。如果您需要使用小于0.1 mm的 L_g 值, 请咨询变压器供应商以获得指导。

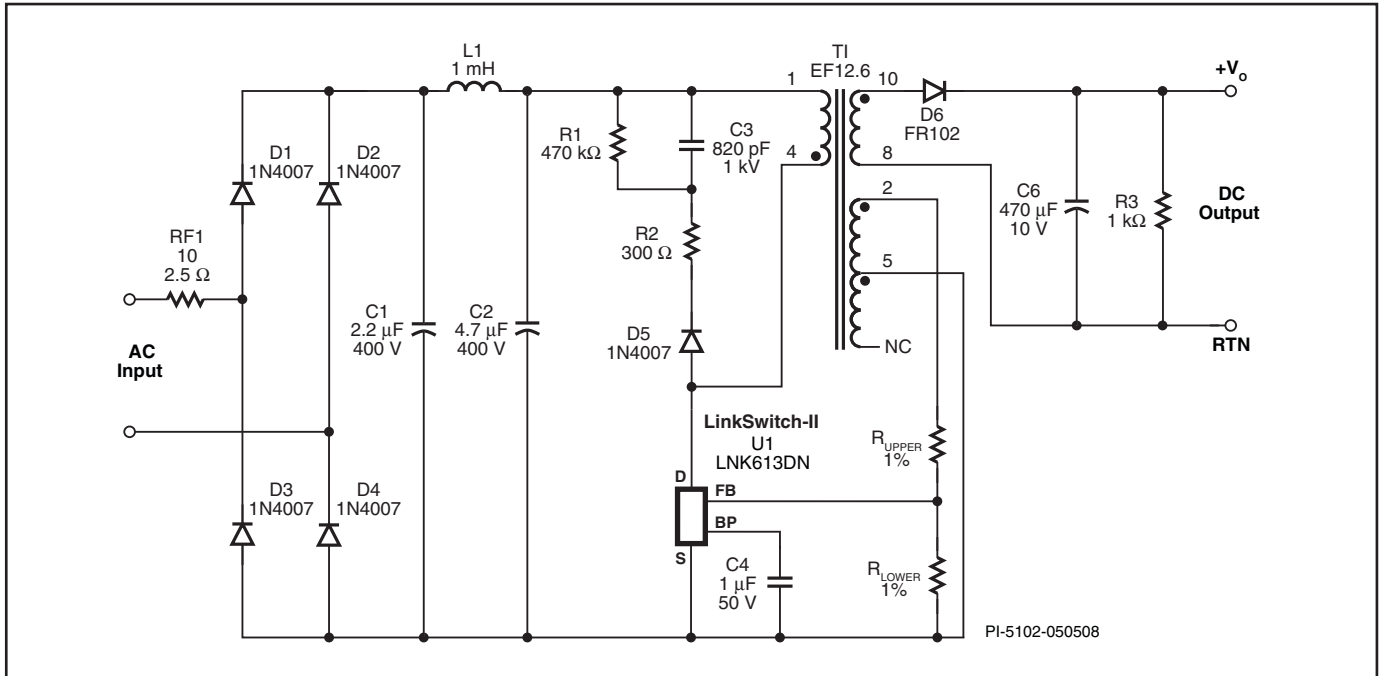


图 16. 典型LinkSwitch-II反激式电源

此参数是计算得出的最大导线外径，用于使初级绕组适合指定的层数。选择导线类型时，应使用双层磁线（而不是单层磁线），以便提高可靠性和降低初级电容容量（降低空载输入功率）。

初级绕组导线的裸线直径，DIA (mm)

初级绕组线规格，AWG

此参数是计算得出的裸线直径，四舍五入取第二小的标准美国线规。

初级绕组裸线等效面积，CM(C_{MILS})

CM是以圆密耳为单位的等效导线面积。

初级绕组导线电流容量，CMA (C_{MILS}/A)

CMA是以圆密耳/安培（1密耳=1/1000英寸）为单位的初级导线面积。如果最差绕组温度得到检验的话，则可以接受取值低于推荐的最小值200。

第6步—输入级的选择

推荐的输入级如表7所示。输入级由熔断元件、输入整流及线滤波器网络组成。

熔断元件可以是可熔电阻，也可以是保险丝。如果选择使用可熔电阻，则电阻要选择阻燃类型的，并根据输入差模雷击测试要求选取绕线类型的电阻。避免使用金属膜或碳膜电阻，因为VAC_{MAX}反复施加至电源时，浪涌电流很容易造成这类电阻损坏。在使用了Y电容的设计中，将EMI滤波器的电感放置在连接Y电容输

入侧的另一侧。例如，将输入电感(L_{IN1})放置在输入电容(C_{IN1}和C_{IN2})的负极之间，其中Y电容连接至DC总线的一端（见图26）。

对于输出功率约为1 W的设计，一般来讲使用半波整流成本更低；而输出功率大于1 W时要采用全波整流。半波整流的设计中在功率返回端增加另外一个二极管可以改善EMI抗干扰性能。此二极管相当于一个EMI“选通门”（EMI电流只有在二极管导通时才可以通过），同时此二极管使得差模雷击的耐受力增加一倍，因为两个二极管分担了雷击电压。

如果电源规范要求进行输出静电放电(ESD)测试，则半波整流可能不太适合。在此类测试期间，将释放出高达±15 kV的固定电能，这些能量将被施加到电源次级（相对于初级）。如果采用半波整流，该电压还会出现于输入二极管，因此会造成故障。如果采用全波整流，二极管应力会箝位至输入电容的电压，从而可避免二极管故障。

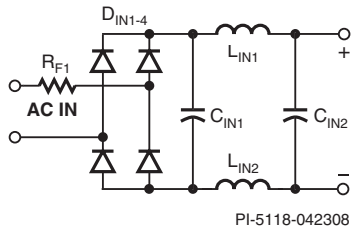
传导EMI滤波由L_{IN1}和L_{IN2}提供，它们与C_{IN1}和C_{IN2}共同形成一个π型滤波器。单电感适用于输出功率低于3 W的设计，或者EMI是通过电源浮动（即没有连接至安全接地端）输出进行测量的设计。尽管3 W以上的设计通常需要使用两个电感，但一个磁珠可能就足够了，特别是电源输出是浮动的设计。

通常，总输入电容容量是在两个输入电容（ C_{IN1} 和 C_{IN2} ）之间进行平分的。但为了降低成本，可能会使用两个不同的电容容量值。在这种情况下，选择 $C_{IN1} \geq 1 \mu\text{F}$ （或根据需要进行选择），可以防止电容在差模浪涌期间出现过压。选择第二个电容值 C_{IN2} ，使两个的总容量（ $C_{IN1} + C_{IN2}$ ）满足 $\geq 2 \mu\text{F/W}$ 输出功率，选择 $3 \mu\text{F/W}$ 输出功率可以在最低输入电压时得到最高效率。

生成差模EMI是 C_{IN2} 的等效串联阻抗的重要功能，因为此电容用于提供初级开关电流。为 C_{IN2} 选择一个较 C_{IN1} 低的ESR电容串联，有助于降低差模（低频率）传导EMI，同时还可优化这两个电容的总体成本。

潮

表7显示了输入滤波器的电路图，给出了选择 $C_{IN1} + C_{IN2}$ 的公式，并说明了在其它输入电压范围内如何选择输入电容的容量。



R_{F1} : 8.2 Ω , 1 W, Fusible, flameproof
 L_{IN1} : 470 μH – 2.2 mH, 0.05 A – 0.3 A
 L_{IN2} : Ferrite bead or 470 μH – 2.2 mH, 0.05 A – 0.3 A
 $C_{IN1} + C_{IN2}$: $\geq 2 \mu\text{F/W}_{OUT}$ 400 V, 85 VAC - 265 VAC
 $\geq 2 \mu\text{F/W}_{OUT}$ 200 V, 100 VAC - 115 VAC
 $\geq 1 \mu\text{F/W}_{OUT}$ 400 V, 185 VAC - 265 VAC
 D_{INX} : 1N4007, 1 A, 1000 V

表 7. 输入级选择推荐

第7步 – 旁路引脚电容、偏置绕组及反馈元件的选择

旁路引脚电容

LinkSwitch-II LNK60x系列器件（不带输出电缆压降补偿）

使用一个额定电压大于7 V的 $1 \mu\text{F}$ 旁路引脚电容（图16中的C4）。电容的电介质材质不太重要。但其绝对最小值（包括容差和温度）必须 $\geq 0.5 \mu\text{F}$ 。电容的物理位置必须靠近LinkSwitch-II旁路引脚。

LinkSwitch-II LNK61x系列器件（带输出电缆压降补偿）

根据旁路引脚电容（图16中的C4）的值来选择输出电缆压降补偿的数量。一个 $1 \mu\text{F}$ 值选择标准电缆压降补偿。一个 $10 \mu\text{F}$ 电容选择增强电缆压降补偿。表8显示了每个LinkSwitch-II器件的补偿压降数量（以输出电压从空载到满载条件下的变化百分比表示）以及旁路电容值。

选择电缆压降补偿以最接近输出电缆中的输出压降百分比。例如，电缆阻抗为 $300 \text{ m}\Omega$ 的5 V、700 mA LNK615设计其电缆压降为-0.21 V。如果所需额定输出电压为5 V（电缆末端），这就表示压降为-4.2%。此时，选择+5%（而不是+7%）的压降补偿，可以将误差降至最小，并可选择 $1 \mu\text{F}$ 的BP引脚电容值。

LinkSwitch-II输出电缆压降补偿

器件	旁路引脚电容值	输出电压变化因数(%)
LNK613	1 μF	3.5
	10 μF	5.5
LNK614	1 μF	4.5
	10 μF	6.5
LNK615	1 μF	5
	10 μF	7
LNK616	1 μF	6
	10 μF	9

表 8. 输出电缆压降补偿所对应的器件和BP引脚电容值

偏置绕组元件

添加偏置电路可以将空载输入功耗从大约200 mW降低到30 mW以下。这样可以大大提高轻载条件下的效率，从而允许使用较低成本的元件，同时仍能满足平均效率要求。PN结型输出二极管可以替代较高成本的肖特基势垒二极管，或可以较小直径的绕线构造替换电缆（提高阻抗）。

图19中的电源设计中使用了偏置电路。二极管D6、电容C5和电阻R4形成偏置电路。如果输出电压低于8 V，需要另外添加变压器绕组，AC叠加在反馈绕组顶部。这样即使在空载模式下以低开关频率工作时，也可以有足够高的电压为旁路引脚供电。

在图19中，添加的偏置绕组（从引脚2到引脚1）叠加在反馈绕组（从引脚4到引脚2）的顶部。二极管D6对输出进行整流，C5为滤波电容。建议使用一个 $10 \mu\text{F}$ 电容，用于维持空载时低频工作期间的偏置电压。电容类型并不重要，但其电压额定值必须高于 V_{BIAS} 的最大值。建议流入BP引脚的电流等于IC供电电流（约0.5 mA）。R4的值根据下式计算得出：

$$(V_{BIAS} - V_{BP})/I_{S2}$$

其中 V_{BIAS} （典型值为10V）为C5的电压， I_{S2} （典型值为0.5mA）为IC供电电流， V_{BP} （典型值为6.2 V）为BP引脚电压。参数 I_{S2} 和 V_{BP} 在LinkSwitch-II数据手册的参数表中有提供。二极管D6可以是低成本二极管，比如FR102、1N4148或BAV19/20/21。二极管电压应力在设计表格中的偏置绕组参数部分给出。

如果反馈绕组电压（设计表格中的 V_{FLY} ）大于7 V，则不需要额外的绕组。在本例中，可以将D6直接连接到变压器引脚2处反馈绕组，并省去引脚1与引脚2之间的偏置绕组。

反馈引脚电阻值

初始值

电阻 R_{UPPER} 和 R_{LOWER} 组成一个电阻分压器网络，用于设定反馈(FB)引脚在内部MOSFET导通和关断期间的电压。

在恒压工作期间，控制器使用开/关状态调节器调节FB引脚电压，使其维持在 V_{FBth} 的水平。在内部MOSFET关断2.5 μ s后，对反馈引脚电压进行采样。轻载条件下，降低电流限流点，从而降低变压器磁通密度。

在恒流工作期间，反馈引脚电压发生变化时，会对开关频率进行调节，以提供恒流输出调节。

在MOSFET导通期间，FB引脚电压用于监测DC输入电压，进而降低整个输入电压范围内的恒流变化。

单元格[D39]和[D40]中提供了 R_{UPPER} 和 R_{LOWER} 的初始值，用于初始原型构建。原型构建完毕后，按照下述微调步骤对其进行测试，以确定最终的电阻值。为达到最佳效果，请使用最接近的1%值。将 R_{UPPER} 和 R_{LOWER} 放置到尽可能接近反馈引脚的位置。

微调

制作好电源原型后，将微调值输入设计数据表（图15）中的微调部分。在单元格[D98]和[D99]中分别输入用于反馈电阻 R_{UPPER} 和 R_{LOWER} 的实际值；在单元格[D100]和[D101]中分别输入

在峰值输出功率点测量的电源输出电压和电流值。PIXIs数据表将精确计算出 $R_{UPPER(FINE)}$ 和 $R_{LOWER(FINE)}$ 的反馈电阻值，以确定输出电压与电流的中心点。

第8步—输出二极管及假负载的选择

输出整流二极管应选择快速或超快速恢复PN结型或肖特基势垒型。

选择对指定的额定电压值(V_R)有足够裕量的二极管。通常 $V_R \geq 1.2 \times PIVs$ ，其中PIVs可以从设计表格的电压应力参数部分得到。制作好原型后，使用示波器测量在 VAC_{MAX} 情况下的实际二极管应力。

选择额定值最接近 $I_D \geq 2 \times I_O$ 的二极管，其中 I_D 为二极管的额定电流， I_O 为输出电流。考虑到二极管自身产生的热量，可根据需要选用较大的二极管，以满足散热或效率要求。

表9列出了LinkSwitch-II设计中可能会采用的适合的肖特基及超快恢复二极管类型。

当在开关频率下对输出电压进行采样时，空载时将保持最小开关频率，以提供可接受的瞬态负载性能。因此，如果电源能够在空载状态下运行，则可以使用假负载电阻来防止输出电压在负载极轻(< 25 mW)或空载（见图16中的电阻R3）条件下出现上升的情况。

对于在零负载时必须保持输出电压稳压的设计，刚开始选择的电阻值应能代表在额定输出电压下大约25 mW的负载值。比如，对于5 V的输出，应选用1 k Ω 的假负载电阻值。

序列号	类型	VR 范围	I_F	封装	制造商
		V	A		
1N5817 to 1N5819	肖特基	20-40	1	引脚	Vishay
SB120 to SB1100	肖特基	20-100	1	引脚	Vishay
11DQ50 to 11DQ60	肖特基	50-60	1	引脚	Vishay
1N5820 to 1N5822	肖特基	20-40	3	引脚	Vishay
MBR320 to MBR360	肖特基	20-60	3	引脚	Vishay
SS12 to SS16	肖特基	20-60	1	SMD	Vishay
SS32 to SS36	肖特基	20-60	3	SMD	Vishay
UF4002 to UF4006	超快速	100-600	1	引脚	Vishay
UF5401 to UF5408	超快速	100-800	3	引脚	Vishay
ES1A to ES1D	超快速	50-200	1	SMD	Vishay
ES2A to ES2D	超快速	50-200	2	SMD	Vishay
SL12 to SL23	肖特基 (低 V_F)	20-30	1	SMD	Vishay
SL22 to SL23	肖特基 (低 V_F)	20-30	2	SMD	Vishay
SL42 to SL44	肖特基 (低 V_F)	20-30	4	SMD	Vishay

表 9. LinkSwitch-II 设计中建议使用的二极管列表

对于在空载条件下输出电压会上升的设计，应选择恰当的假负载电阻值，以将输出电压控制在最大输出电压规格范围内。将空载条件下的电压上升最大值控制在低于正常输出电压的50%，可以降低因初级箝位及偏置绕组耗散增加而引起的输出功率增加。

由于假负载电阻同时也会增大空载功耗，在规格表中允许的情况下，选取其电阻值时要综合考虑空载输入功率及空载输出电压是否满足要求。

步骤9 - 选择输出电容和可选后级滤波器

选择电容的电压值 $\geq 1.2 \times V_{O(MAX)}$

使用以下最大允许的等效串联阻抗(ESR)表达式来选择初始电容的值：

$$ESR_{MAX} = \frac{V_{RIPPLE(MAX)}}{I_{SP}}$$

其中， $V_{RIPPLE(MAX)}$ 是最大指定的输出纹波和噪声； I_{SP} 是从设计数据表“变压器次级参数”部分得到的次级峰值电流。

绝对最小电容容量（不受ESR影响）由以下表达式计算得出：

$$C_{OUT(MIN)} = \frac{I_{O(MAX)} \left(\frac{1}{F_S} - D_{CON} \right)}{V_{RIPPLE(MAX)}}$$

其中， $I_{O(MAX)}$ 是最大输出电流； F_S 是开关频率； D_{CON} 是输出二极管导通时间； $V_{RIPPLE(MAX)}$ 是允许的最大输出纹波电压。确认电容的纹波电流额定值 $\geq I_{RIPPLE}$ 值（从设计数据表“变压器次级参数”部分获得该值）。如果小于 I_{RIPPLE} 值，请选择符合该要求的最小电容值。当电容工作温度低于其数据手册规定的最大值时，很多厂家会提供纹波电流的增加系数。这样用户可以利用这些信息，确保没有选用过大的电容尺寸。

要减少输出电容的物理尺寸，可以使用一个输出LC后级滤波器来降低与开关噪声有关的ESR。在这种情况下，选择一个额定电流 $\geq I_O$ 、电感值范围在1 μ H到3.3 μ H之间的电感，或选择一个铁氧体磁珠用于 $I_O < 500$ mA的设计。次级侧电容通常为100 μ F或220 μ F，并且ESR较低，具有良好的瞬态响应。次级侧纹波电流不会经过此电容，因此对ESR或纹波电流无特别要求。

输出电容也可分为两个物理电容。本设计中，总的纹波额定电流值等于各单个电容额定电流值的总和。

第10步 - 初级箝位元件的选择

表10中所示的三种常用箝位布局适合于LinkSwitch-II设计。

对于RCD和RCDZ型电路，降低 C_{C1} 的值并增大 R_{C2} 的值，同时应将峰值漏极电压保持在 <680 V。如果 C_{C1} 的值较大，则箝位电压（影响反馈绕组采样电压）的稳定时间会更长，从而可能导致更高的输出纹波电压。

一般初级箝位配置

RCD	RCDZ (二极管泄放)	RDZ (Zener)
PI-5107-110308	PI-5108-110308	PI-5109-041308
D_{C1} : 1N4007, 1 A, 1000 V R_{C1} : 100 Ω - 300 Ω , 1/4 W C_{C1} : 470 pF - 1000 pF R_{C2} : 330 k Ω - 680 k Ω , 1/2 W	D_{C1} : 1N4007, 1 A, 1000 V D_{C2} : BZY97Cxxx (xxx = 90 V to 120 V) R_{C1} : 100 Ω - 300 Ω , 1/4 W R_{C2} : 47 k Ω - 150 k Ω , 1/2 W C_{C1} : 470 pF - 1000 pF	D_{C1} : 1N4007, 1 A, 1000 V R_{C1} : 100 Ω - 300 Ω , 1/4 W C_{C1} : 470 pF - 1000 pF (optional) D_{C2} : BZY97Cxxx (xxx = 150 V to 200 V)

表 10. 适合LinkSwitch-II设计的初级箝位配置

对于RDZ配置，可以选用 C_{C1} 帮助恢复部分漏感能量。电阻 R_{C1} 可以衰减振荡，应对其进行调谐以降低下冲（见设计部分的设计技巧）和降低传导EMI。RCD配置成本最低。RCDZ电路保持RCD配置的低EMI特性，并可降低空载输入功耗。RDZ配置空载功耗最低，但却产生较高的EMI。

采用E-Shields™的变压器绕组布局实例

完成PIXs设计表格后，即可获得创建变压器设计所需的所有信息。本部分列出有关绕组顺序以及应用Power Integrations E-Shield专利技术的一些实用设计技巧。采用屏蔽绕组，不仅可省去共模扼流圈，而且可降低初级侧和次级侧之间连接的Y级电容的值，甚至无需Y级电容，从而提高传导EMI性能并简化输入滤波级。参见图17和18以了解基准绕组编号(WDx)。

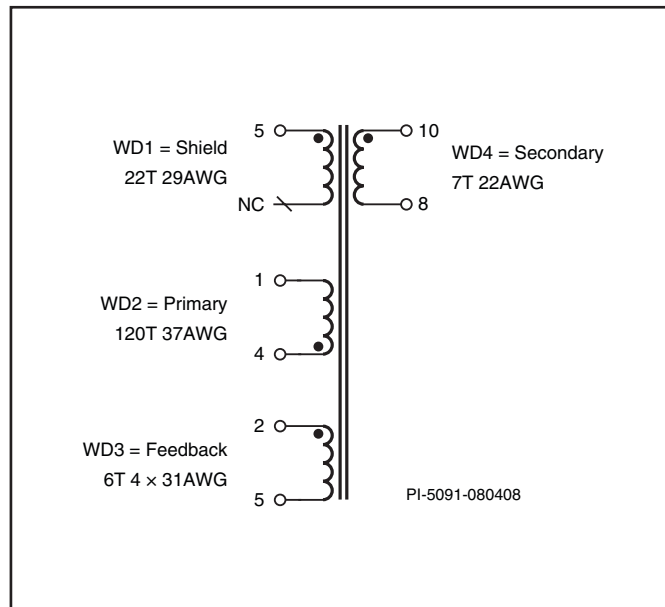


图 17. 典型的变压器电路图

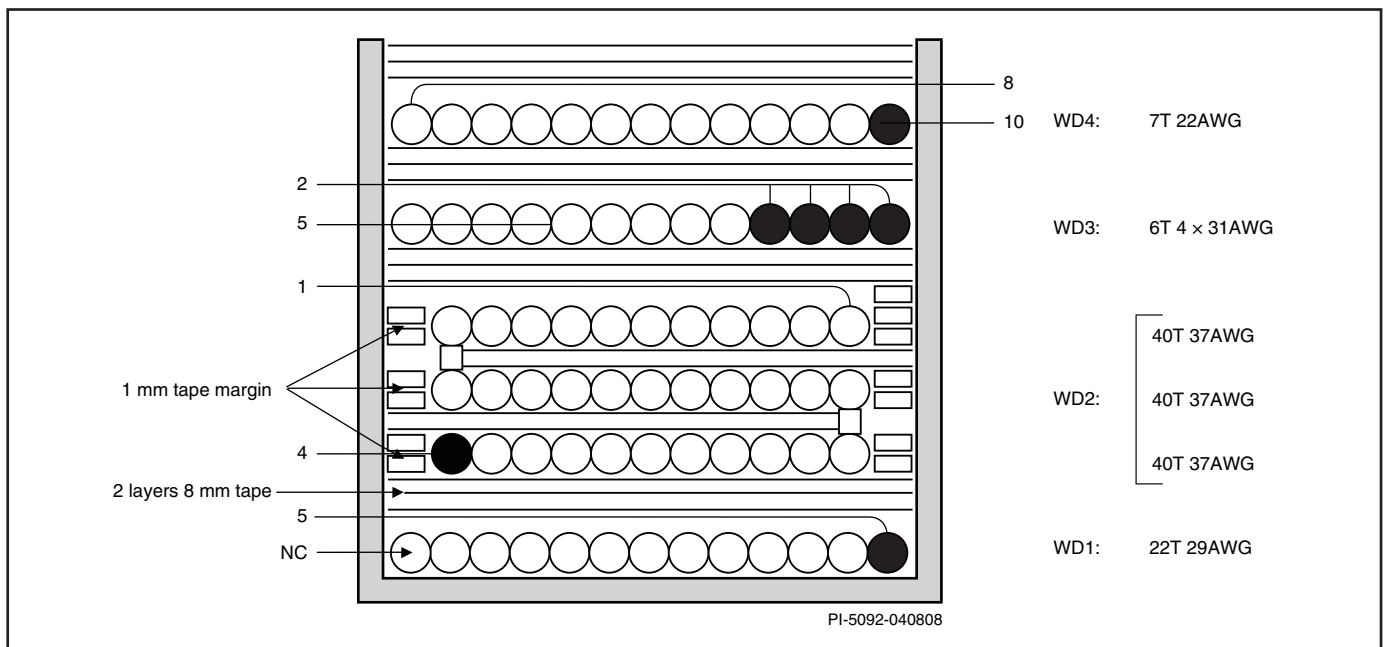


图 18. 典型的LinkSwitch-II变压器的机械构造

屏蔽绕组

变压器的第一层是屏蔽层(WD1)。从PIXIs获得初级绕组圈数 N_p [D69]，然后除以层数L[D51]，得出圈数。将得出的圈数再除以 $2(N_{\text{SHIELD}} = 0.5 \times (N_p/L))$ 。将得出一个起始值，可能需要对该值进行调整，以降低传导EMI干扰。请注意，屏蔽绕组的起始点（黑点）位于从初级绕组起始的骨架的另一侧。屏蔽绕组的末端是浮动的。选择与骨架宽度完全吻合的线规。

初级绕组

第二个绕组(WD2)是初级侧。从PIXIs中分别找到绕组圈数 N_p [D69]、层数L [D51]以及线规AWG [D81]。如图18所示，初级侧的起始处位于从屏蔽层起始的骨架的另一侧。可选用1 mm的胶带，通过降低变压器设计对生产变化的敏感性来改善EMI的重复性。要将胶带宽度计算在内，请将1 mm的宽度值输入PIXIs设计表的[B50]单元格中。

反馈绕组

反馈绕组是骨架上的第三层绕组(WD3)。从PIXIs找到圈数 N_{FB} [D28]。要降低传导EMI干扰，此绕组必须完全覆盖骨架宽度。采用多股并绕绕组可实现上述目的，不过要想获得最佳线规和并绕数（并绕股数），可能还需进行一些试验。出于可制造性方面的考虑，一般建议并绕股数不超过4股，因为多股并绕绕组是同时连接在单个骨架引脚上的。

次级绕组

最后一层绕组是次级绕组(WD4)。从PIXIs找到次级绕组圈数 N_s [D52]。在骨架一侧开始次级侧绕组，与反馈绕组的起始处在同一侧。选择与骨架绕组窗口宽度完全吻合的线规。建议次级绕组使用三层绝缘线，这样就无需使用胶带挡墙即可符合安全间距要求（通常为6 mm到6.2 mm），还可减小所需的变压器磁芯尺寸。

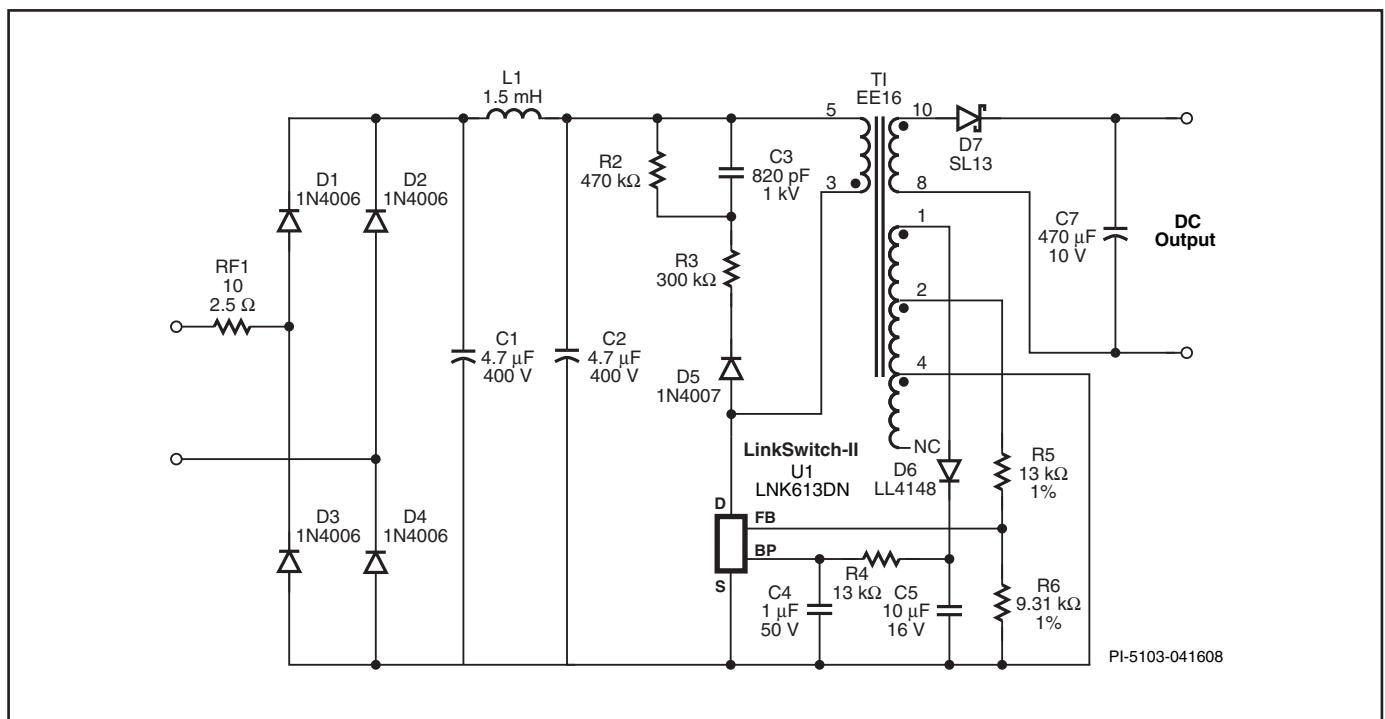


图 19. 带偏置电路的LinkSwitch-II反激式电源，空载输入功率低且轻载效率更高

带额外偏置绕组的变压器的示例

图20和21分别给出了需要偏置绕组的变压器的设计原理图和制作图表。

此类变压器，除其偏置绕组是插入初级绕组层与反馈绕组层之间外，其结构技术与不带偏置绕组的变压器是相同的。PIXIs的[D34]单元格中显示的数字(N_b)是添加到反馈绕组上的额外线圈数。

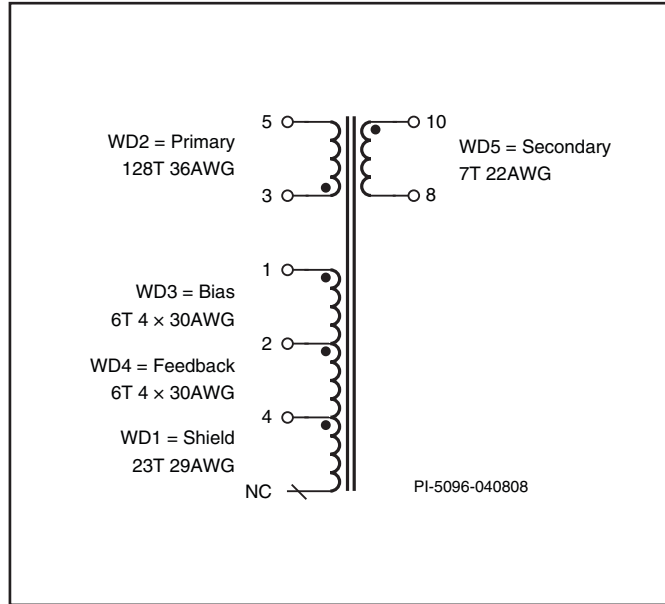


图 20. 带偏置绕组的变压器电路

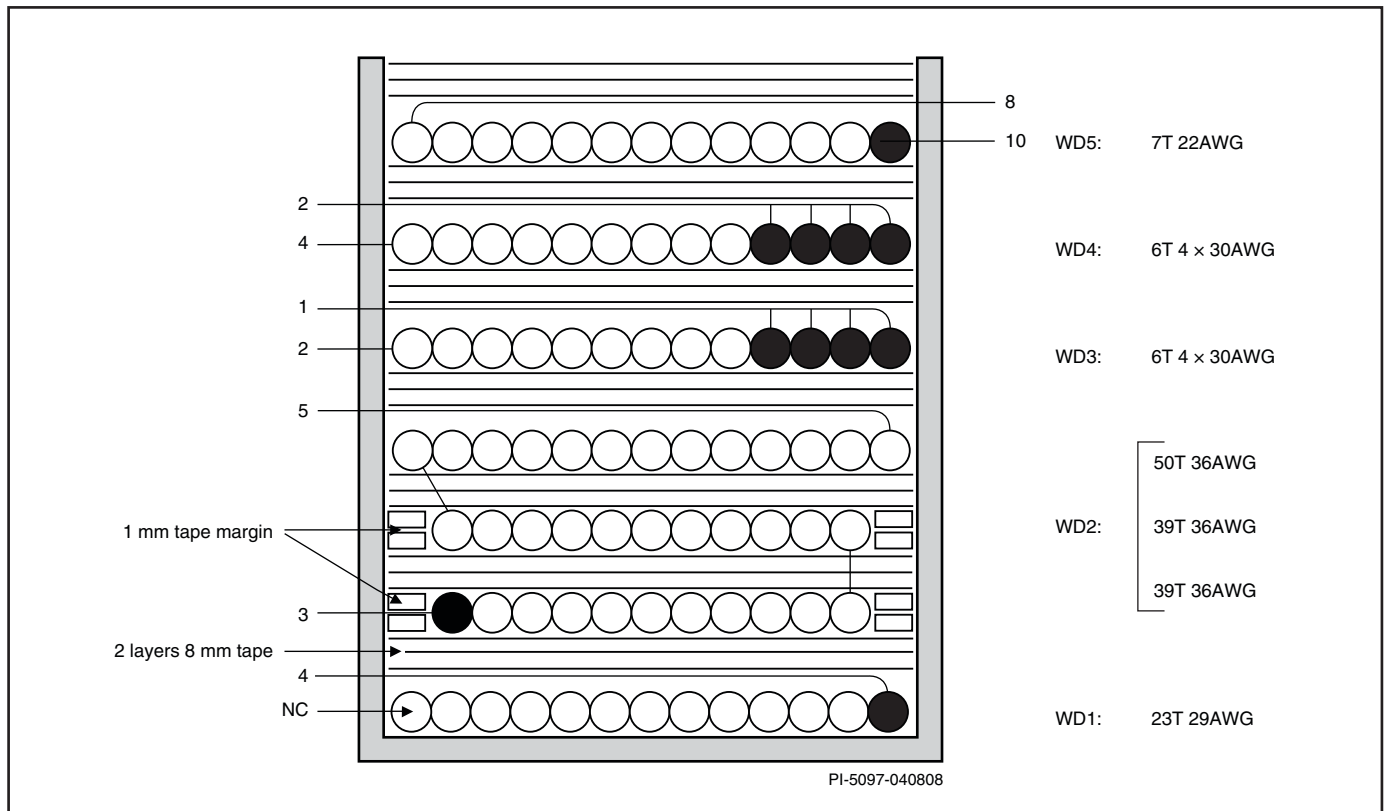


图 21. 使用额外偏置绕组的变压器电路

设计技巧

反射输出电压(V_{OR})调整

使用Power Integrations其他器件系列的设计数据表的用户可能会注意到这样一个问题：一些参数 (V_{OR} 、 N_S 和 N_P) 无法在LinkSwitch-II数据表中直接更改。要更改这些参数，请使用如下所列的关系：

V_{OR} ：增大 D_{CON} 或 F_S 将减少 V_{OR} 的值

N_S ：增大 D_{CON} 将减少 N_S

N_P ：由 $B_{M(TARGET)}$ 确定

输出容差

每个LinkSwitch-II器件都使用具有代表性的电源测试模块进行了工厂预校，以确保将它们初始恒流容差控制在 $\pm 2.5\%$ 范围内（参见LinkSwitch-II数据手册的图21）。这在数据手册中用参数 I_o （归一化输出电流）表示。

在恒压工作期间，反馈引脚电压的严格容差(V_{FBIN})和小温度系数(TC_{VFB})可以提供严格的输出电压调整。

在P/G封装中，LinkSwitch-II能够在恒压工作下对输出电压提供 $\pm 5\%$ 的整体输出容差（包括输入电压、元件变化和温度）；

在 $0\text{ }^{\circ}\text{C}$ 至 $100\text{ }^{\circ}\text{C}$ 的结温范围内时，则可提供 $\pm 10\%$ 的输出电流容差。

由于制造工艺（如锡波浸焊或红外线重熔）产生的应力影响，D封装(SO8)可能会发生其它恒流变化。因此建议制作一个电源样本，以检验每个设计的生产容差。

设计建议

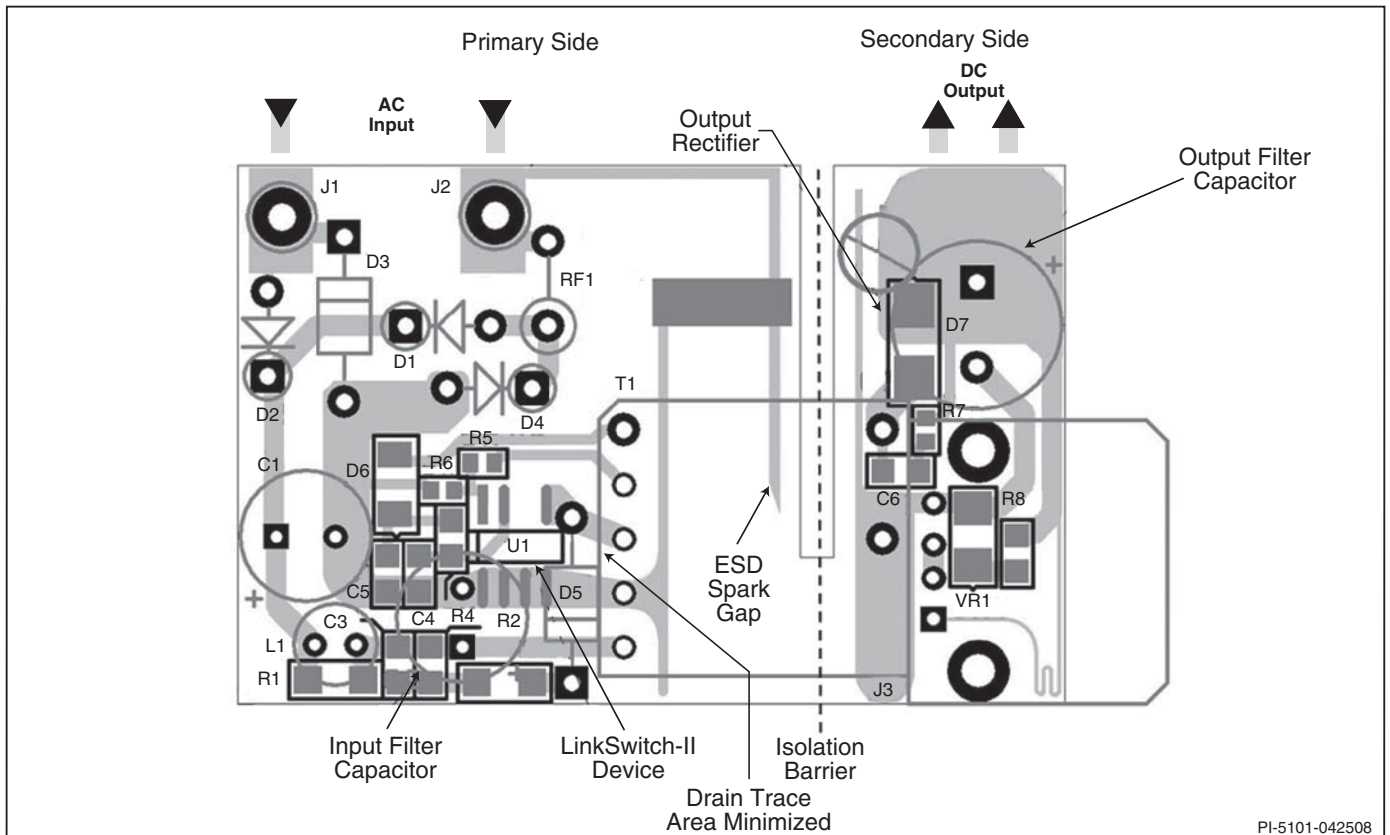
电路板布局

LinkSwitch-II采用高集成电源解决方案，将控制器和高压MOSFET同时集成到单晶片上。高开关电流、高开关电压以及模拟信号的存在可以确保电源稳定、正常的工作，因此遵循出色的PCB设计做法显得尤为重要。参见图22和23了解LinkSwitch-II的推荐电路板布局。

在设计LinkSwitch-II电源的印刷电路板时，请务必遵循以下指南：

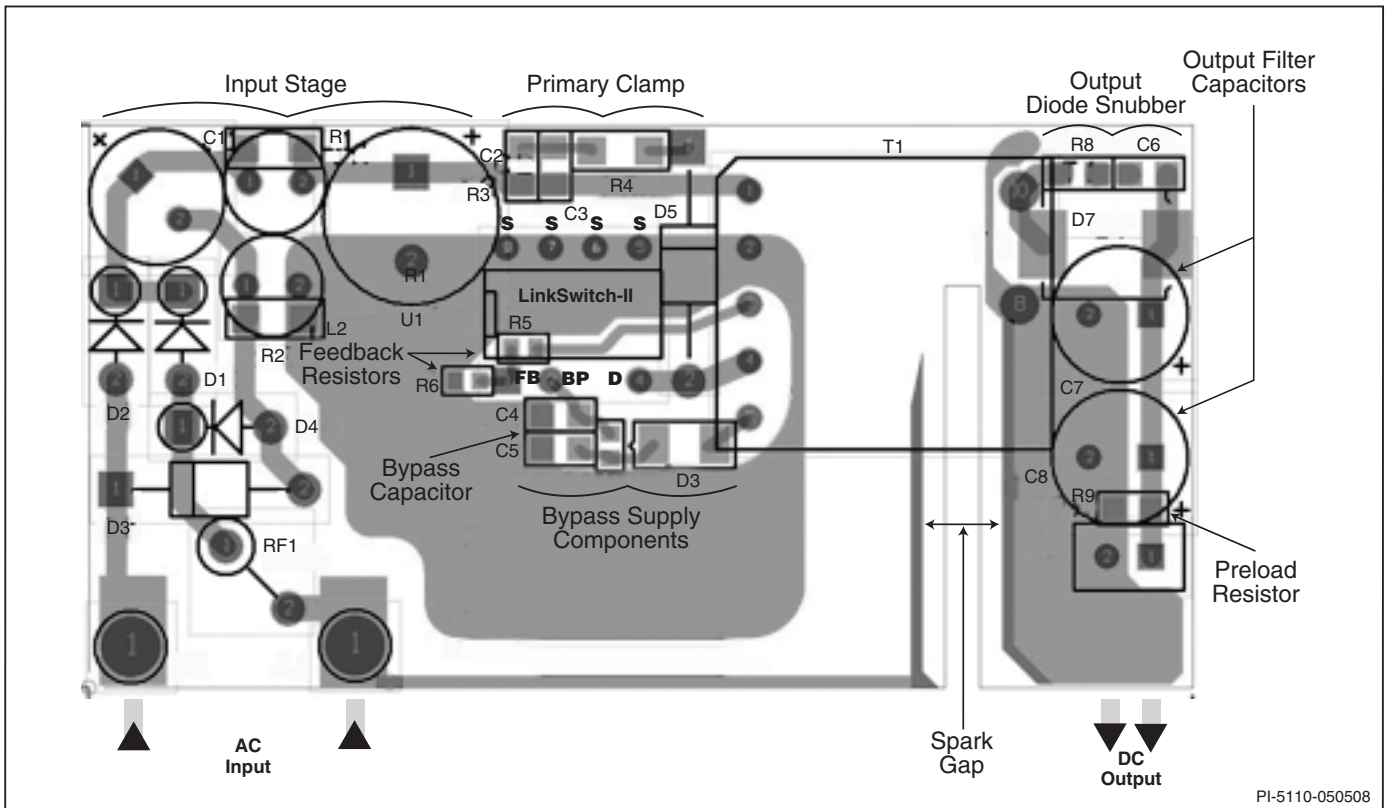
单点接地

LinkSwitch-II源极引脚的输入滤波电容的负极端采用单点(Kelvin)连接到偏置绕组的回路。使电涌电流从偏置绕组直接返回输入滤波电容，增强了浪涌的承受力。



PI-5101-042508

图 22. 使用SO8封装的PCB布局范例，2.5 W输出功率



PI-5110-050508

图 23. 使用P封装的PCB布局范例, 5.1 W输出功率

旁路电容

旁路引脚电容应放置在距离源极引脚和旁路引脚最近的地方。

反馈电阻

直接将反馈电阻放在LinkSwitch-II器件的反馈引脚处。这样可以降低噪声耦合。

散热考量

与源极引脚相连的铺铜区域为LinkSwitch-II提供散热。根据比较准确的估算, LinkSwitch-II将耗散10%的输出功率。预留足够的铺铜区域, 可以使源极引脚温度保持在90 °C以下。在设计中, 只有在输出电流(CC)容差高于±10%可以接受时, 才能容许更高的温度。在本例中, 建议最高源极引脚温度低于110 °C, 以便为元件间的 $R_{DS(ON)}$ 变化提供裕量。

次级环路面积

要最大程度降低反射走线电感和EMI, 连接次级绕组、输出二极管及输出滤波电容的环路区域面积应最小。此外, 与二极管的阴极和阳极连接的铜铂区域面积应足够大, 以使用来散热。在安静的阴极留有更大的铜铂区域。阳极铺铜区域过大会增加高频辐射EMI。

静电放电火花隙

沿着绝缘带有一条引线, 用于形成火花隙的一个电极。次级侧的另一个电极由输出返回节点形成。火花隙直接将ESD能量从次级引回AC输入。从AC输入到火花隙电极的引线应与其它引线保持一定的间距, 以免对其他节点引起不必要的电弧以及可能的电路损坏。

漏极箝位优化

LinkSwitch-II检测初级侧的反馈绕组来调节输出。当内部MOSFET关闭时, 反馈绕组上的电压是次级绕组电压的反射。因此, 漏感引起的任何振荡都会影响对输出的调节。优化漏极箝位以降低高频振荡, 能够实现最佳调节性能。图24所示为要求的漏极电压波形。与图24相比, 图25中的波形则因为漏感引起的振荡呈现较大下冲。此振荡及影响将降低输出电压调节性能。要减少此振荡(及其可能引起的下冲), 可调节与箝位二极管并联的电阻的值。

快速设计校验

对于任何使用LinkSwitch-II的电源设计, 都应经过全面测试以确保在最差条件下元件的规格没有超过规定范围。

建议至少进行如下测试：

1. 最大漏极电压 – 检验峰值 V_{DS} 在最高输入电压和最大输出功率时是否超过680 V。
2. 最大漏极电流 – 在最高环境温度、最高输入电压和最大输出负载情况下，观察启动时的漏极电流波形，检验是否出现变压器饱和的征兆和过多的前沿电流尖峰。LinkSwitch-II的前沿消隐时间为170 ns，可以防止接通周期过早地终止。

3. 热检查 – 在最大输出功率、最小和最大输入电压以及最高环境温度条件下，检验LinkSwitch-II、变压器、输出二极管和输电容是否超过温度指标。应有足够的温度裕量以保证LinkSwitch-II不会因为零件与零件间 $R_{DS(ON)}$ 的差异而引起过热问题出现，参见数据手册中关于 $R_{DS(ON)}$ 的说明。要确保获得10%的恒流容差，建议最大源极引脚温度为90 °C。

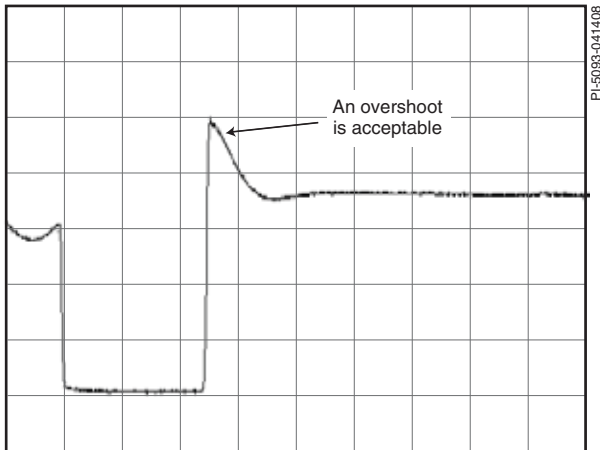


图 24. 要求的漏极电压波形

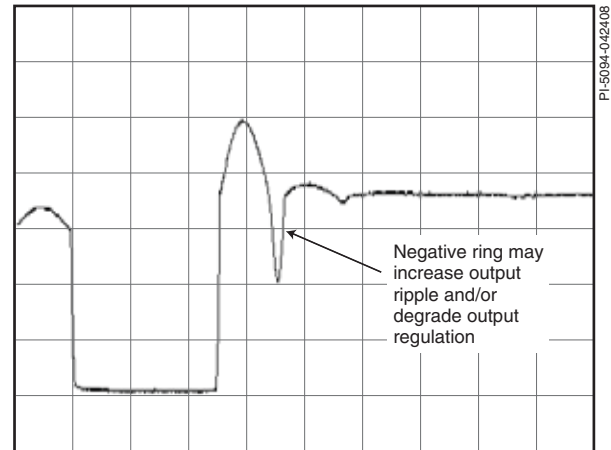


图 25. 不需要的漏极电压波形

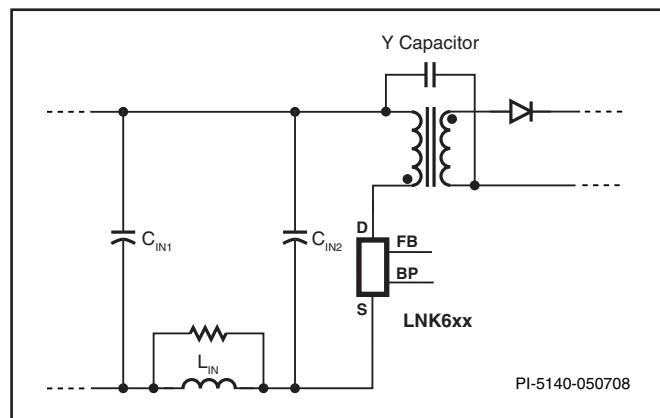


图 26. 使用Y电容时输入电感的正确位置

注释

注释

版本注释	注释	日期
A	初始版本	5/08
B	4、7、12页有所修改	7/08
C	更新图17及表10	01/09

了解最新信息，请访问我们的网站：www.powerint.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.powerint.com. Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.powerint.com/ip.htm>.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, LinkSwitch, DPA-Switch, PeakSwitch, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies.

©2008, Power Integrations, Inc.

全球销售支持网络

全球总部
5245 Hellyer Avenue
San Jose, CA 95138, USA.
Main: +1-408-414-9200
Customer Service:
Phone: +1-408-414-9665
Fax: +1-408-414-9765
e-mail: usasales@powerint.com

中国（上海）
Rm 807-808A
Pacheer Commercial Centre,
555 Nanjing Rd. West
Shanghai, P.R.C. 200041
Phone: +86-21-6215-5548
Fax: +86-21-6215-2468
e-mail: chinasales@powerint.com

中国（深圳）
Rm A, B & C 4th Floor, Block C,
Electronics Science and
Technology Bldg., 2070
Shennan Zhong Rd,
Shenzhen, Guangdong,
China, 518031
Phone: +86-755-8379-3243
Fax: +86-755-8379-5828
e-mail: chinasales@powerint.com

德国
Rueckertstrasse 3
D-80336, Munich
Germany
Phone: +49-89-5527-3910
Fax: +49-89-5527-3920
e-mail: eurosales@powerint.com

印度
#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
Fax: +91-80-4113-8023
e-mail: indiasales@powerint.com

意大利
Via De Amicis 2
20091 Bresso MI
Italy
Phone: +39-028-928-6000
Fax: +39-028-928-6009
e-mail: eurosales@powerint.com

日本
Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
Phone: +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@powerint.com

韩国
RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
Fax: +82-2-2016-6630
e-mail: koreasales@powerint.com

新加坡
51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
Fax: +65-6358-2015
e-mail: singaporesales@powerint.com

台湾
5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
Phone: +886-2-2659-4570
Fax: +886-2-2659-4550
e-mail: taiwansales@powerint.com

欧洲总部
1st Floor, St. James' s House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
Phone: +44 (0) 1252-730-141
Fax: +44 (0) 1252-727-689
e-mail: eurosales@powerint.com

技术支持热线
World Wide +1-408-414-9660

技术支持传真
World Wide +1-408-414-9760