

高精度均流控制器芯片设计

冀学美,赵梦恋,吴晓波,陈海,章丹艳,严晓浪

(浙江大学 超大规模集成电路设计研究所,浙江 杭州 310027)

摘要:为解决在并行电源系统中电源模块之间电流和热应力的不均衡问题,提出一种高精度均流控制器芯片设计.该均流控制器采用主从式自动控制结构,能够对并行电源模块进行控制协调,实现负载电流和热应力的平衡.该均流控制器还具有若干新功能,如均流负载总线短路出错保护和芯片启动时的使能功能等.此外,通过引入定制的启动控制逻辑,使并行电源系统的启动响应得到改善.仿真结果表明,所设计的均流控制器芯片已达到预期设计目标,满负载运行时的均流误差控制在 1% 以内.电路采用 1.5 μm BCD (Bipolar-CMOS-DMOS) 工艺设计实现,面积为 3.6 mm^2 .

关键词:均流控制器;均流负载总线;并行电源系统

中图分类号: TN433

文献标识码: A

文章编号: 1008-973X(2007)08-1288-05

Design of novel precise load share controller integrated circuit

Ji Xue-mei, ZHAO Meng-lian, WU Xiao-bo, CHEN Hai, ZHANG Dan-yan, YAN Xiao-lang

(Institute of Very Large Scale Integrated Circuit Design, Zhejiang University, Hangzhou 310027, China)

Abstract: A precise load share controller integrated circuit (IC) was proposed to solve uneven distribution of currents and thermal stresses among the power modules in paralleled power systems such as parallel multiple independent power supplies or dc-to-dc modules. By using automatic master-slave control (MSC) technique, the functions necessary to these systems such as even current and thermal stress distribution controlling were achieved. Some new functions including bus short fault protection and Enable function were added to the chip. Start-up timing was obviously improved by introducing special start-up control logic. Simulation showed that the main expectation for the controller was realized, and that the current share error at full load was controlled within 1%. The chip was designed and realized by 1.5 μm Bipolar-CMOS-DMOS (BCD) technology with an area of 3.6 mm^2 .

Key words: load share controller; load share bus; paralleled power system

与传统的中心电源供电模式相比,采用多个并行的独立电源或 DC-DC 模块供电对提高电源系统的可靠性,实现系统的可扩展性与设计标准化均十分有利^[1].然而,此种供电模式需要精密均流技术的支持,才能实现电流及热应力的均衡分配.实践表明,系统中各模块输出电压微小的不均衡即可导致其输出电流的明显差异^[2].

在众多均流技术中,主从控制(master-slave

control, MSC)自动均分电流法是目前较为流行的方式^[3].其基本工作原理简述如下:输出电流最大的模块自动成为主模块,其电流则作为其他模块(此时皆视作从模块)的基准.当电流不均衡情况发生变化时,从模块中电压误差放大器的基准电压 V_e 随之变化,以控制电流重新达到均衡.

基于上述 MSC 自动均分电流法,本文提出一个均流控制器芯片的设计,目标是控制多个并行独

立电源实现负载电流的均衡分配.为改善启动阶段的电流与热应力均衡,增加了启动控制逻辑电路,并对系统的保护功能等予以充分考虑.

1 均流控制器结构设计

1.1 均流控制器的主要设计目标

- 1) 高均流精度;
- 2) 高端电流检测;
- 3) 超低失调电流检测放大器;
- 4) 工作电源范围 4.375~14.000 V;
- 5) 单线式均流负载总线;
- 6) 待机状态下自动与均流负载总线分离;
- 7) 短路时的均流负载总线保护功能.

1.2 模块定义

针对上述功能目标,设计的芯片结构框图如图 1 所示.

主要模块功能描述如下.

1) 基准电压和电流偏置模块:能除基准源提供基准电压和一系列的偏置电流,同时还产生一个稳定电压用来监测电源正端电压(VDD)的值.

2) 电流检测放大器:电流检测放大器通过测量一个小阻值电流敏感电阻两端的电压来检测负载电流.该放大器是一个高增益精度放大器,其电流增益可由用户设定.

3) 使能模块:负责给系统发出使能信号.在正常工作状态下, $V_{CS+} \approx V_{CS-}$,使能比较器反相端的电压为 0.5 V,控制器处于可正常工作状态.当电流检测放大器(CS)反相输入端电压升高,大约比 CS 正相输入端高出 0.5 V 以上时,控制器进入禁止状态,从均流负载总线断开,调整电流归零.

4) 均流总线驱动模块:主要由一个单位增益缓冲放大器构成,用以分离均流负载总线和电流检测放大器的输出电压.

5) 均流总线接收模块:主要由一单位增益的缓冲放大器构成,用来监控均流负载总线电压,防止总线因接入低阻抗电路等原因而过载.

6) 误差放大器和误差放大器输出钳位模块(error amplifier output, EAO):用以对各模块的输出电流与均流负载总线上的基准电流进行比较.EAO 钳位即是当有出错信号时,把信号传到 EAO 脚的外部补偿器件上.

7) 出错保护模块:当均流负载总线与地或控制器的正偏压端短路时,可能导致错误的调整输出电压,此时窗口比较器监控总线电压的出错保护模块会输出 FAULT 信号,避免出错.

8) 80%LS、CSO 比较器:该比较器模块的反相输入端为均流总线接收器输出信号的 80%,即 80%LS;正相输入端为电流检测放大器输出信号 CSO,一旦 V_{CSO} 信号超过信号 V_{LS} 的 80%,就得到一个标

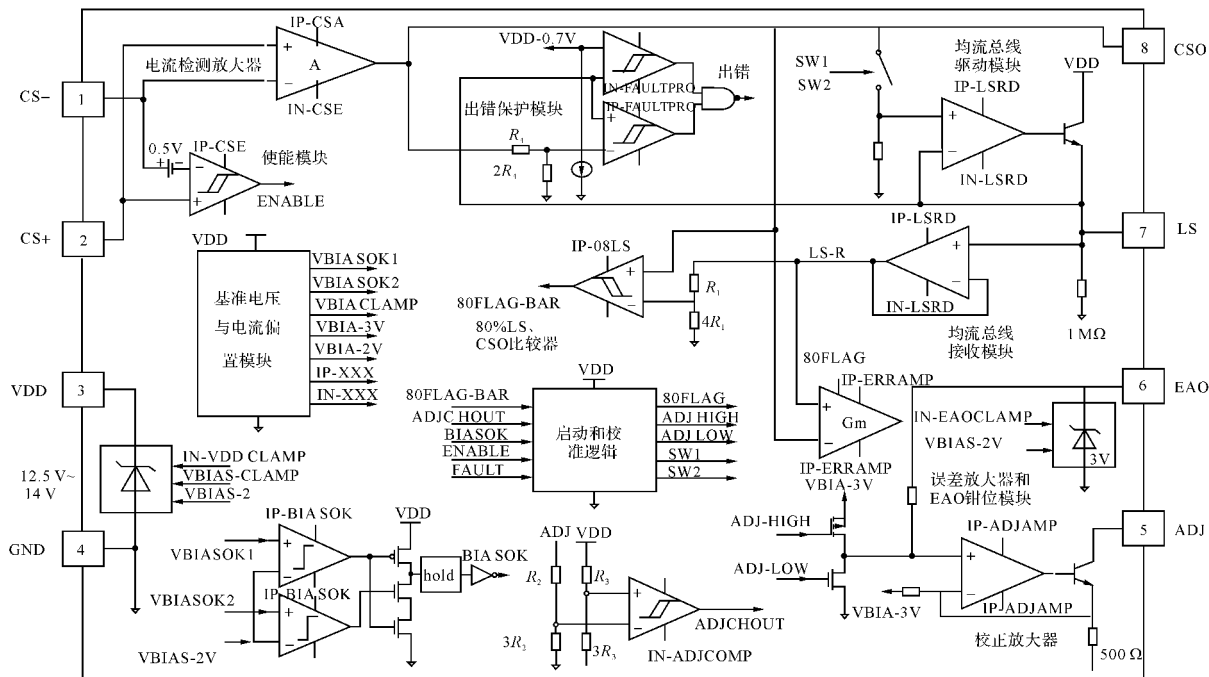


图 1 负载共享控制器结构框图
Fig. 1 Functional blocks of load share controller

志性信号使均流驱动器和校准放大器进入正常工作状态。

9) 启动和校准逻辑:用以控制管理电路的正常启动。启动时,若从模块的电流低于主模块 80% 时则均流驱动放大器不工作,调整放大器驱使峰值电流通过调整电阻,从而保证从模块对均流作出迅速响应。当均流总线发生短路出错时,均流总线驱动模块和调整放大器不工作。

2 电路设计

2.1 电流敏感放大器的设计

这是一个高增益高精度的放大器,通过测量小阻值电流敏感电阻两端的电压变化对电源模块实施监控。其电路原理如图 2 所示。

由于放大器的两个输入端电位接近电源电压,对正共模输入电压指标要求很高。电路实现时在三极管差分对管基础上加了一级二极管接法的三极管,以提高检测放大器的共模输入电平。同时,为了适应高压应用场合,共源共栅结构的偏置采用高压 MOS 管。

为保证获得低输入失调电压,放大器使用了共集电极组态的双极型输入级,后接一个相同结构的放大器作为增益提升。负载电流镜采用 cascode 结构。输出级采用了 AB 类放大器,输出缓冲级使用了有 Miller 补偿的共源结构^[4]。

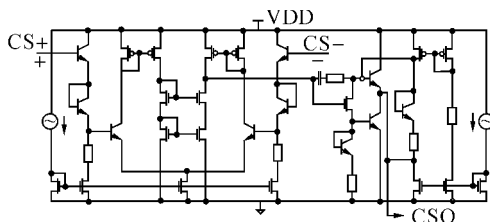


图 2 电流检测放大器的原理图

Fig. 2 Schematic of current sense amplifier

2.2 误差放大器

误差放大器的电路原理如图 3 所示。其功能是将各模块的输出电流与均流负载总线提供的基准电流进行比较,其差值放大后作为误差控制信号。误差放大器的正相端接总线接收器经缓冲器后的输出 $V_{LS,R}$,反相输入端接电流检测放大器的输出 V_{CSO} 。当总线电流(即并行系统中各个电源模块的平均电流)高于模块本身的输出电流时,由该放大器产生的误差信号通过校准放大器反馈到所连接的电源模块的检测端,对其输出电压进行必要的调整,控制减小其输出电流与系统平均电流的差值。

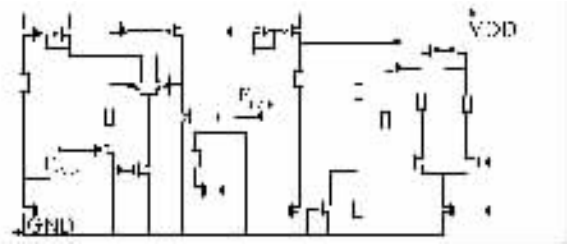


图 3 误差放大器的原理图

Fig. 3 Schematic of error amplifier

当与均流控制器相连的电源模块作为系统中的主模块运行,或者控制器被连接到一单独电源上时,电流检测放大器输出电压 V_{CSO} 与反映总线电流的电压 $V_{LS,R}$ 的值几乎相等,这将导致误差放大器输出电压的误调整。为避免产生误调整,误差放大器输入端设置一 25 mV 的失调电压,以确保误差放大器反相输入端的内部偏置电压始终高于正相输入端。当两个外部输入信号相等时,放大器不会发生误调整,同时原先的均流控制器的输出电压保持不变。

2.3 校准放大器模块设计

校准放大器是一个源极跟随器。图 4 所示为其电路原理图。

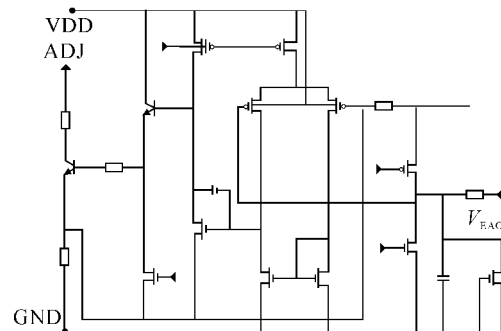


图 4 校准放大器原理图

Fig. 4 Schematic of adjust amplifier

调整(ADJ)引脚中流过的电流与误差放大器的输出电压 V_{EAO} 成正比。该电流流过外部的调整电阻 R_{ADJ} 反馈到芯片所控制电源模块的检测端,控制调整电源模块的输出电压。电流值由一 500 Ω 的内部电阻设置,得到的校准电流值如公式(1)所示:

$$I_{ADJ} = \frac{V}{R} = \frac{V_{EAO}}{500}. \quad (1)$$

主模块的 V_{EAO} 是 0 V,因此调整电流也是 0。这就使得主模块的输出电压一直保持在它的初始设置值。此外,在偏压不够,如出错或者当芯片失去功能时,校准放大器的正相输入端被拉低至地,以防止均流控制器对电源模块的输出电压进行误调整。

2.4 启动和校准逻辑

该部分为芯片的控制核心,根据检测到的各种

状态控制其他模块的运行,如启动时,控制逻辑将该模块的总线接收器与前级电流检测放大器断开,同时通过设置调整放大器输入端的值,使得流过外部调整电阻 R_{ADJ} 的电流达到最大值,让均流控制器控制的电源模块能够尽快参与均流;当模块的输出电流超过总线上基准电流值的 80% 时,均流驱动器和调整放大器都开始正常工作.当均流总线与地或与控制器的正相输入端短路时,控制断开调整放大器.同样,当均流控制器在主模块模式下工作时,或误差电压值小于调整放大器的失调电压值 60 mV 时,调整放大器也处于不工作状态.图 5 为启动和校准逻辑的框图.

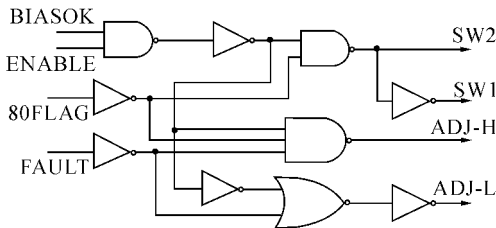


图 5 启动和校准逻辑电路框图

Fig. 5 Schematic of start up and adjust logic

3 系统仿真和版图设计

3.1 并行系统的描述

为验证设计的均流控制器的功能,构成一并行电源系统进行了系统仿真^[5-7].该系统包含两部分:压控模式的功率转换器和均流控制器.

转换器模块的开关频率为 300 kHz,它将 48 V 的直流电源转换后向负载提供 12 V、24 A 的输出.所设计的电压环路能提供 60° 的相位裕度(单位增益带宽为 1.6 kHz).

由于转换器的工作频率较高,采用电路级仿真速度较慢.为了提高仿真速度,对 PWM 电源模块进行建模,用等效模型取代每个转换器中的有源和无

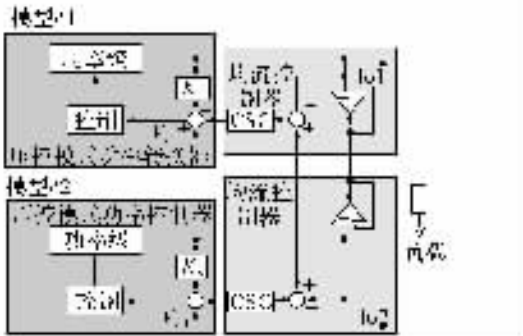


图 6 并行系统方框图

Fig. 6 Block diagram of parallel system

源开关.所建立的大信号模型可方便地应用于系统的频域响应和时域响应的仿真.

3.2 均流控制器设计和动态分析

均流控制器给并行系统的动态特性增加了复杂度.若均流环路设计不当,系统将会不稳定,性能降低.文献[1]提出了一种系统稳定性分析和均流环路补偿的方法,同时提供了系统控制设计和动态分析的方法.

仿真所得的功率模块、均流环路和系统环路的波特图如图 7 所示,从图中可以看到系统环路具有良好的稳定性,25 Hz 单位增益带宽的相位裕度为 45°.

对控制器设计进行了时域验证.根据仿真结果,3 个并行模块中的一个输出电流为标称值,另两个模块与之有微量偏差.图 8 给出了系统对负载从 50% 跃升到 100% 的响应.由图可知控制环路设计是成功的,且在全负载情况下系统的均流误差小于 1%.

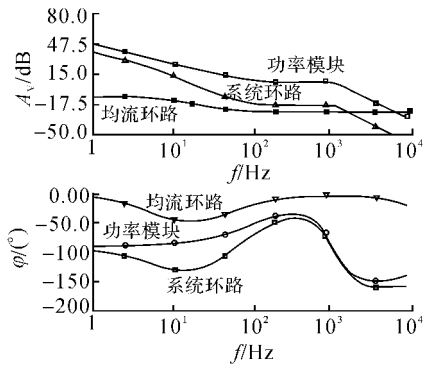


图 7 功率模块、均流环路、系统环路波特图

Fig. 7 Bode plots of power modules, load share loops and system loop

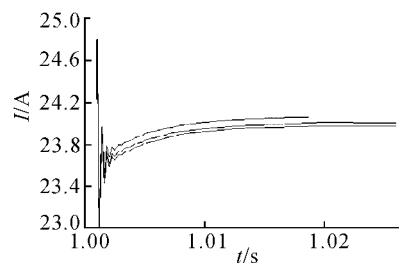


图 8 系统对负载从 50% 到 100% 的响应

Fig. 8 System response to a load step from 50% to 100%

3.3 系统启动

引入的启动顺序控制逻辑有效地改善了系统启动阶段的电流和热应力均衡.在正常情况下,系统的启动波形如图 9 所示.可以看到,当 100 ms 时从模块的校准电流达到期望值,两个起始电流不等的功率模块实现了均流;而在 100 ms 之前从模块的输出电流被控制在主模块电流的 80% 以内.这样,系统的热应

力分布即使在启动期间亦实现了较好的均衡。

作为对比,将 80% LS、CSO 比较器模块与均流控制器分离。由前述原理可知,80% LS vs CSO 模块是用以监测主模块和从模块的输出电流的差异。将其分离后启动阶段的控制失效,此时系统的启动波形如图 10 所示。可以看到, T_1 时模块 3 启动完毕, T_2 时两个起始电流不等的功率模块已实现均流, T_3 时 3 个模块已实现均流。但 T_3 之前 3 个模块提供的电流有明显差别,这将导致启动期间热应力分布的不均衡。

由上面的仿真结果表明,均流控制器的设计改良了并行系统的启动特性。

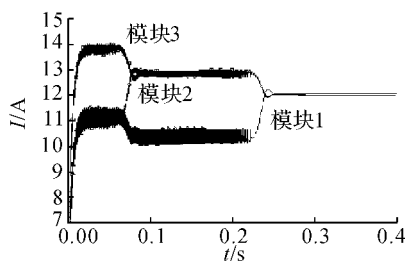


图 9 带启动控制逻辑的系统启动波形

Fig. 9 Start-up timing of parallel system with start-up control logic

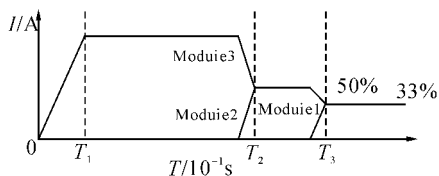


图 10 不带启动控制逻辑的系统启动波形

Fig. 10 Start up timing of parallel system using load share controller without start up control logic

3.4 版图设计

本文提出的均流控制器芯片采用 $1.5 \mu\text{m}$ BCD 工艺设计实现,最终完成的总芯片总面积是 3.6 mm^2 。图 11 为所得芯片的显微照片。

4 结 语

本文讨论并给出了一个基于主从式自动控制结构的均流控制器芯片的设计。介绍了设计芯片的功能和原理。其特点是具备多种保护和控制功能,如均流总线短路保护、使能功能、校准功能等。尤其是提出和实现了启动控制逻辑模块的设计,提高了并行系统启动阶段的电流与热应力均衡效果。系统仿真

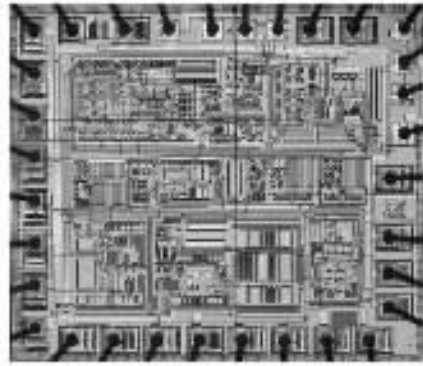


图 11 均流控制器芯片

Fig. 11 Chip of load share controller

结果表明,所设计的均流控制器具有良好的系统协调和负载电流与热应力均衡性能。

参考文献 (References):

- [1] PANOV Y, RAJAGOPALAN J, LEE F C. Analysis and design of N paralleled DC-DC converters with master-slave current-sharing control [C]// **IEEE APEC'97**. Atlanta, Georgia:IEEE, 1997: 436 - 442.
- [2] JORDAN M. UC3907 Load Share IC Simplifies Parallel Power Supply Design [C]// **IEEE HFPC'91**. Toronto: IEEE, 1991: 65 - 76.
- [3] BAKER R J, LI Harry W, BOYCE D E. **CMOS: circuit design, layout, and simulation** [M]. Beijing: China Machine Press, 2003.
- [4] VORPERIAN V. Simplified analysis of PWM converters using model of PWM switch Parts I (CCM) and II (DCM) [J]. **IEEE Transactions on Aerospace and Electronic Systems**, 1990, 26(3): 490 - 505.
- [5] RAJAGOPALAN J. Modeling and dynamic analysis of paralleled DC/DC converters with master-slave current sharing control [C]// **IEEE APEC'96**. San Jose, California:IEEE, 1996: 436 - 442.
- [6] 程荣仓. 基于自主均流法模块并联的小信号分析[J]. 电力电子技术, 2001, 35(2): 36 - 38.
CHENG Rongcang. Small-signal analysis of module parallel on basis of automatic current sharing [J]. **Power Electronics**, 2001, 35(2): 36 - 38.
- [7] 章丹艳, 赵梦恋, 吴晓波, 等. 一种热插拔控制芯片及其控制策略的设计[J]. 浙江大学学报: 工学版, 2006, 40(7): 1137 - 1142.
ZHANG Dan-yan, ZHAO Meng-lian, WU Xiao-bo, et al. Hot swap controller integrated circuit and its control strategy design [J]. **Journal of Zhejiang University: Engineering Science**, 2006, 40(7): 1137 - 1142.