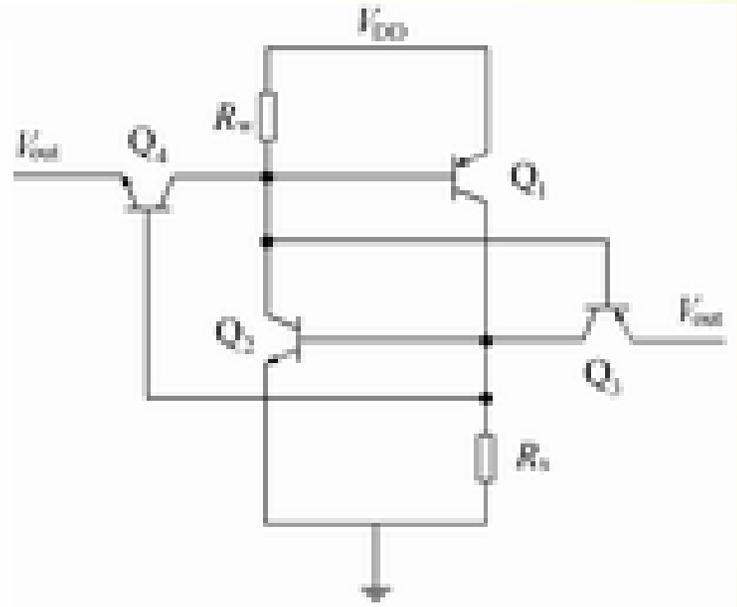
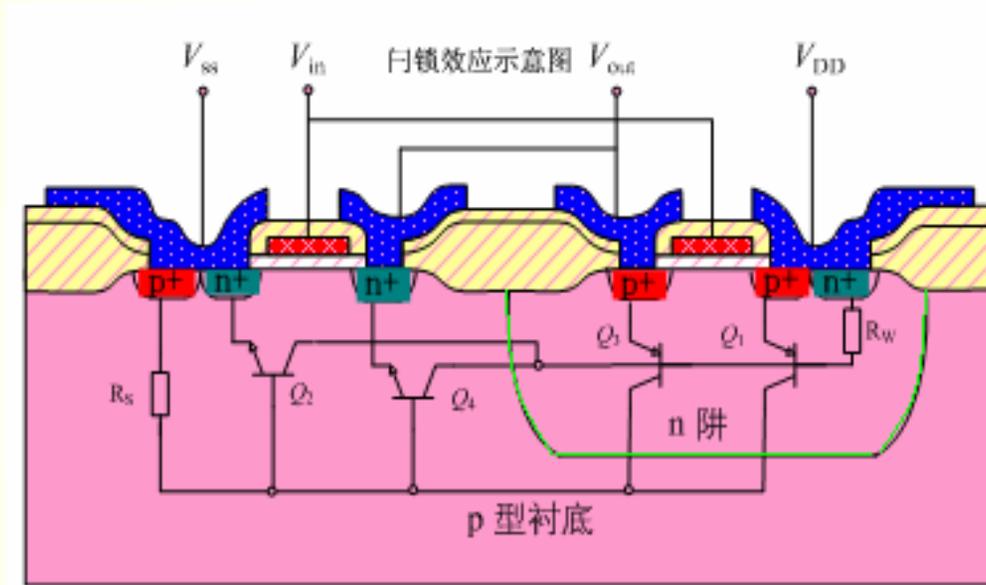


第2章 集成电路制作工艺



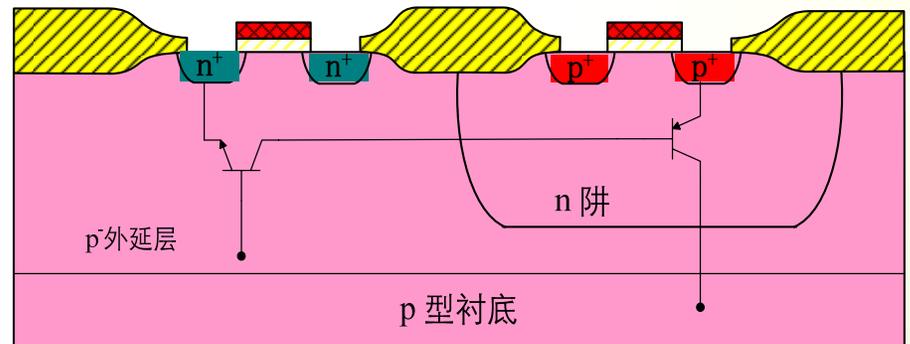
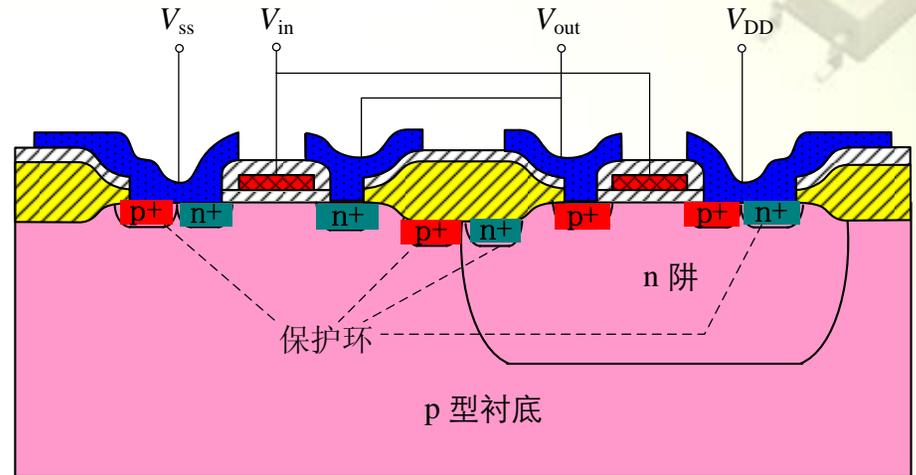
- 体硅CMOS中的闩锁效应
- SOI CMOS结构和工艺
- BiCMOS结构和工艺
- CMOS版图设计规则

体硅CMOS中的闩锁效应



防止闩锁效应的措施

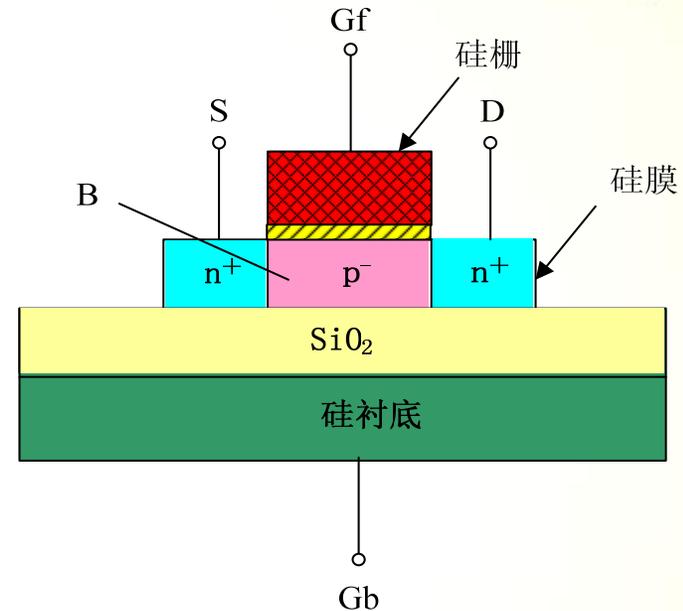
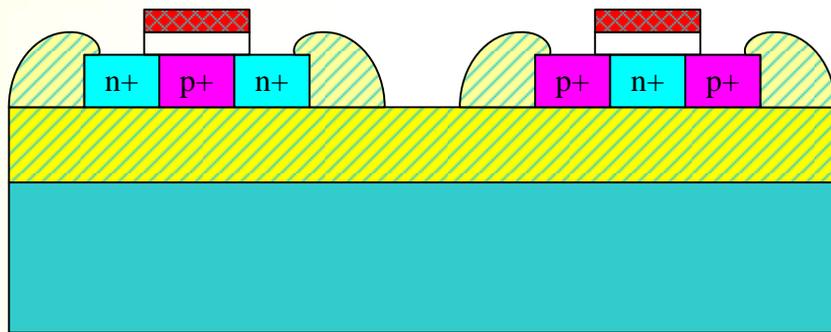
1. 减小阱区和衬底的寄生电阻
2. 降低寄生双极晶体管的增益
3. 使衬底加反向偏压
4. 加保护环（右上）
5. 用外延衬底（右下）
6. 采用SOICMOS技术



2.4 SOI CMOS结构和工艺

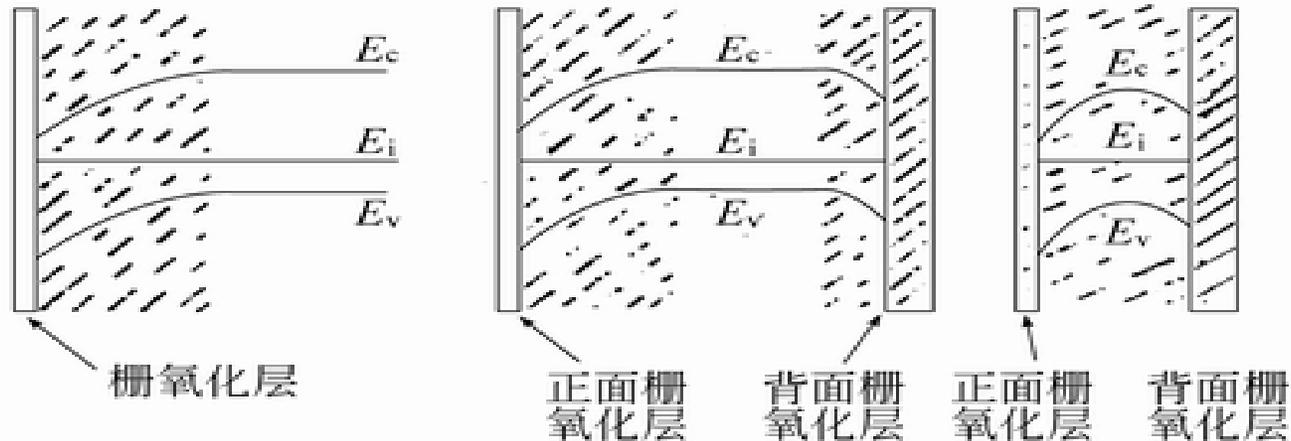
- 常规CMOS结构的闩锁效应严重地影响电路的可靠性, 解决闩锁效应最有效的办法——**SOI CMOS**
- 注氧隔离和硅片键合等技术的发展使**SOI CMOS**得到迅速发展
- **薄膜全耗尽 (FD) SOI CMOS**因其多方面的优势受到研究者重视
 - 消除常规**CMOS**中的闩锁效应
 - 极大减小了寄生电容, 有利于提高速度、降低功耗
 - 便于实现浅结, 有利于抑制短沟效应

SOI CMOS结构



1. 体区和衬底隔离。体电位是浮空会引起浮体效应。需专门设计体区的引出端。
2. 衬底相对沟道区也相当于一个MOS结构，因此也把SOI MOSFET的衬底又叫做背栅，是五端器件。

SOI MOSFET的性能



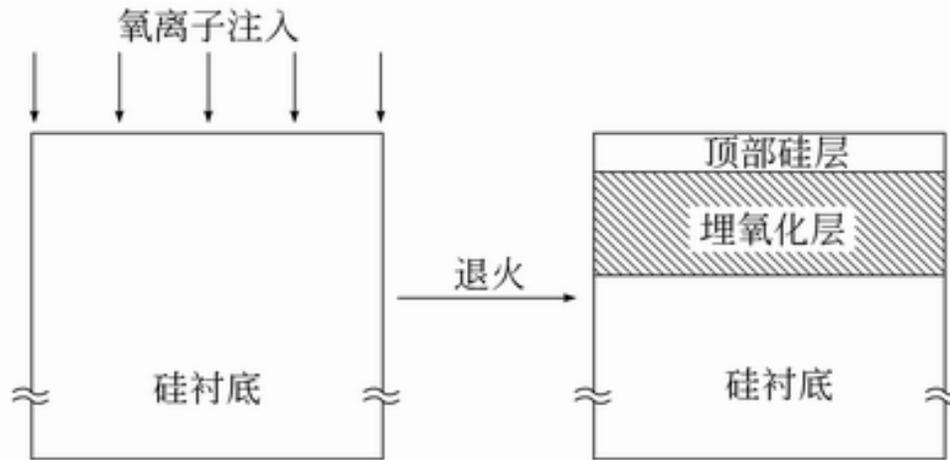
■ 厚膜器件

- $t_{si} > 2x_{dm}$ 。背栅对MOSFET性能基本没有影响，和体硅MOS器件基本相同

■ 薄膜器件

- $t_{si} < x_{dm}$ 。在栅电压的作用下可以使顶层硅膜全部耗尽
- 可以通过减薄硅膜抑制短沟道效应

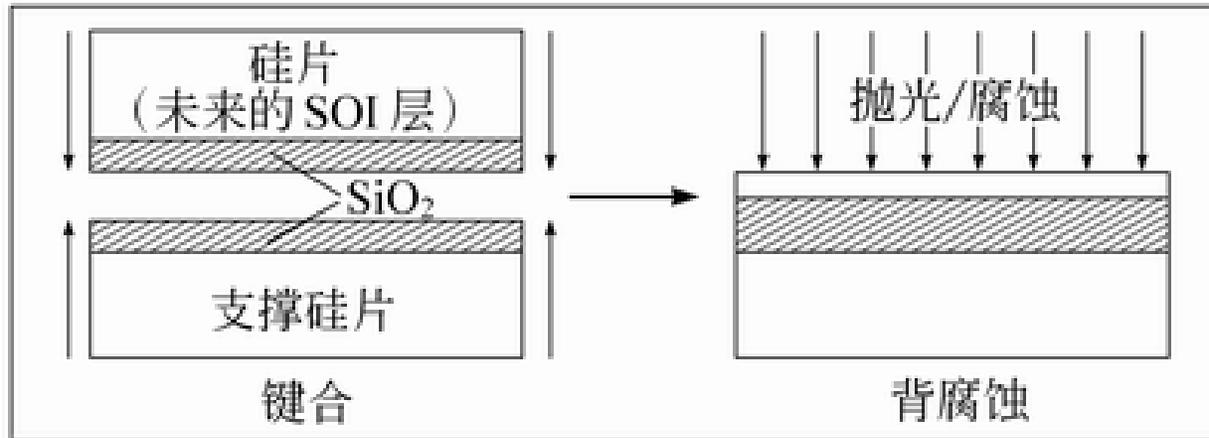
形成SOI硅片的基本工艺(1)



■ 注氧隔离技术 (SIMOX)

- 通过高能量、大剂量注氧在硅中形成埋氧化层. O^+ 的剂量在 $1.8 \times 10^{18} \text{cm}^{-2}$ 左右; 能量~200keV
- 埋氧化层把原始硅片分成2部分, 上面的薄层硅用来做器件, 下面是硅衬底

形成SOI 硅片的基本工艺 (2)



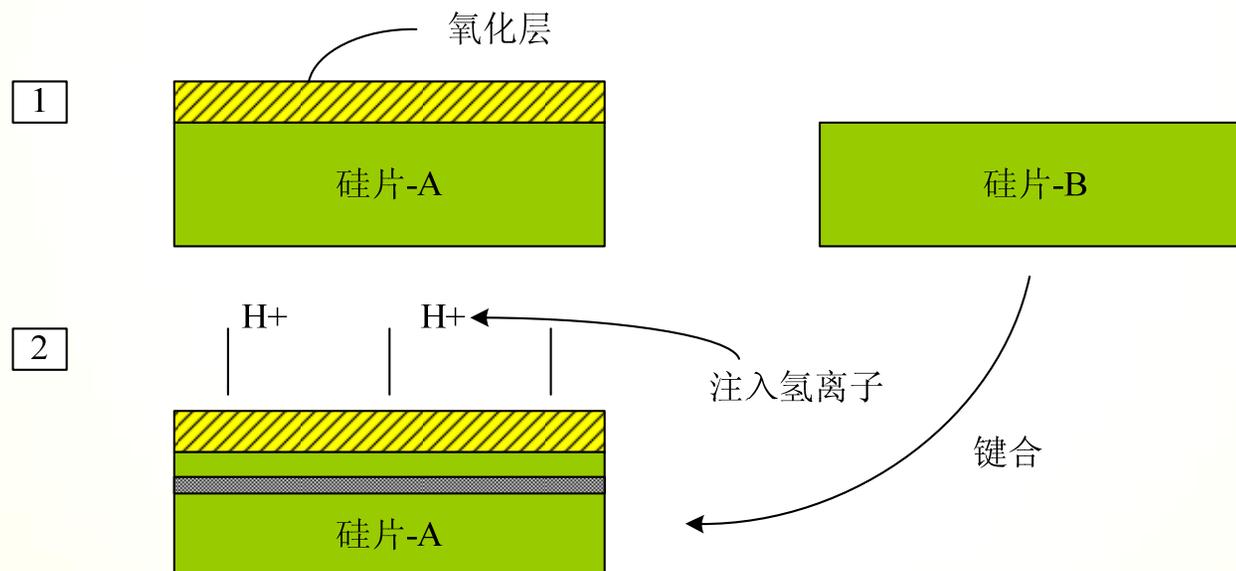
■ 键合减薄技术 (BE)

- 把2个生长了氧化层的硅片键合在一起，两个氧化层通过键合粘在一起成为埋氧化层
- 其中一个硅片腐蚀抛光减薄成为做器件的薄硅膜，另一个硅片作为支撑的衬底

形成SOI硅片的基本工艺(3)

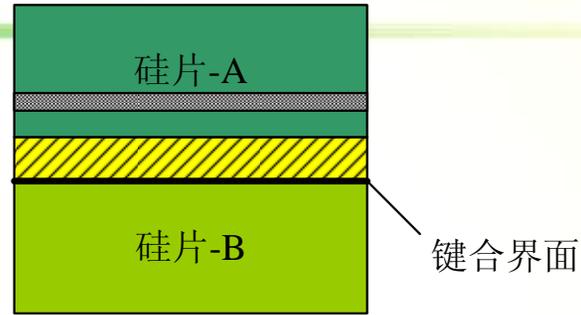
■ 智能剥离技术 (smart cut)

- 解决了如何用键合技术形成薄膜SOI材料
- 可以形成高质量的薄硅膜SOI材料

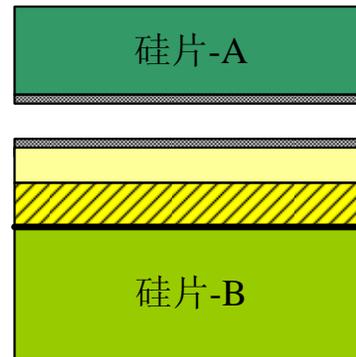




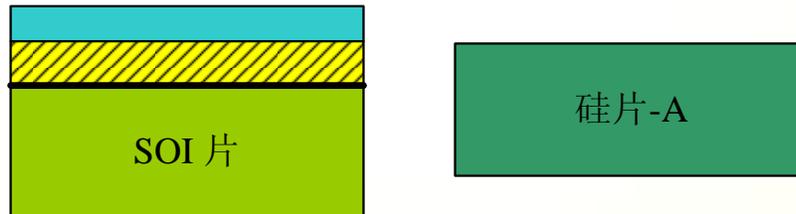
3 低温退火；注氢处微空腔内氢气发泡；硅片剥离



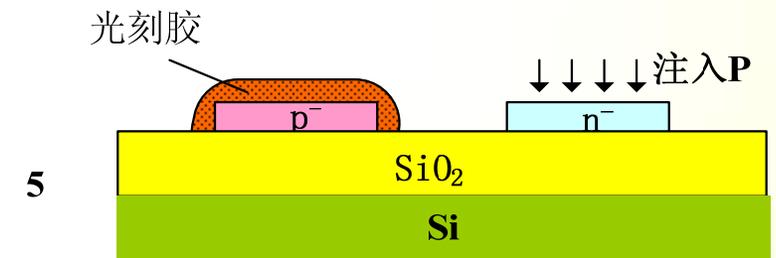
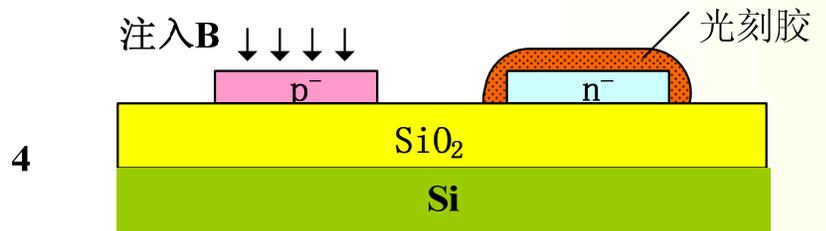
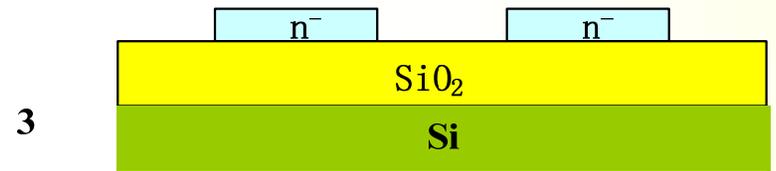
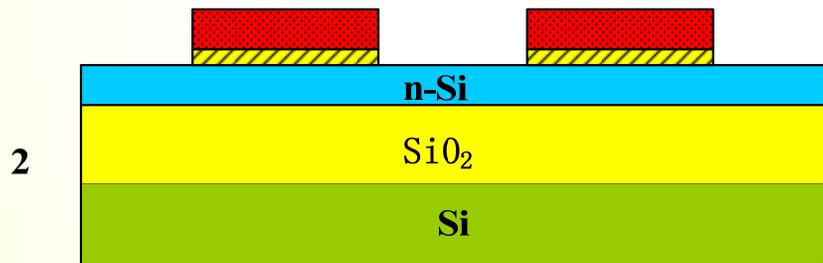
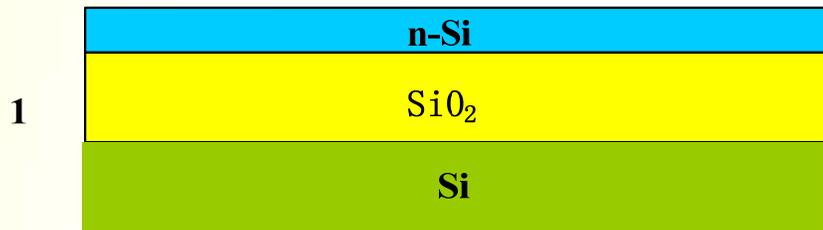
4 高温退火，增加键合强度，恢复顶层硅膜中引起的损伤；CMP抛光使表面平整

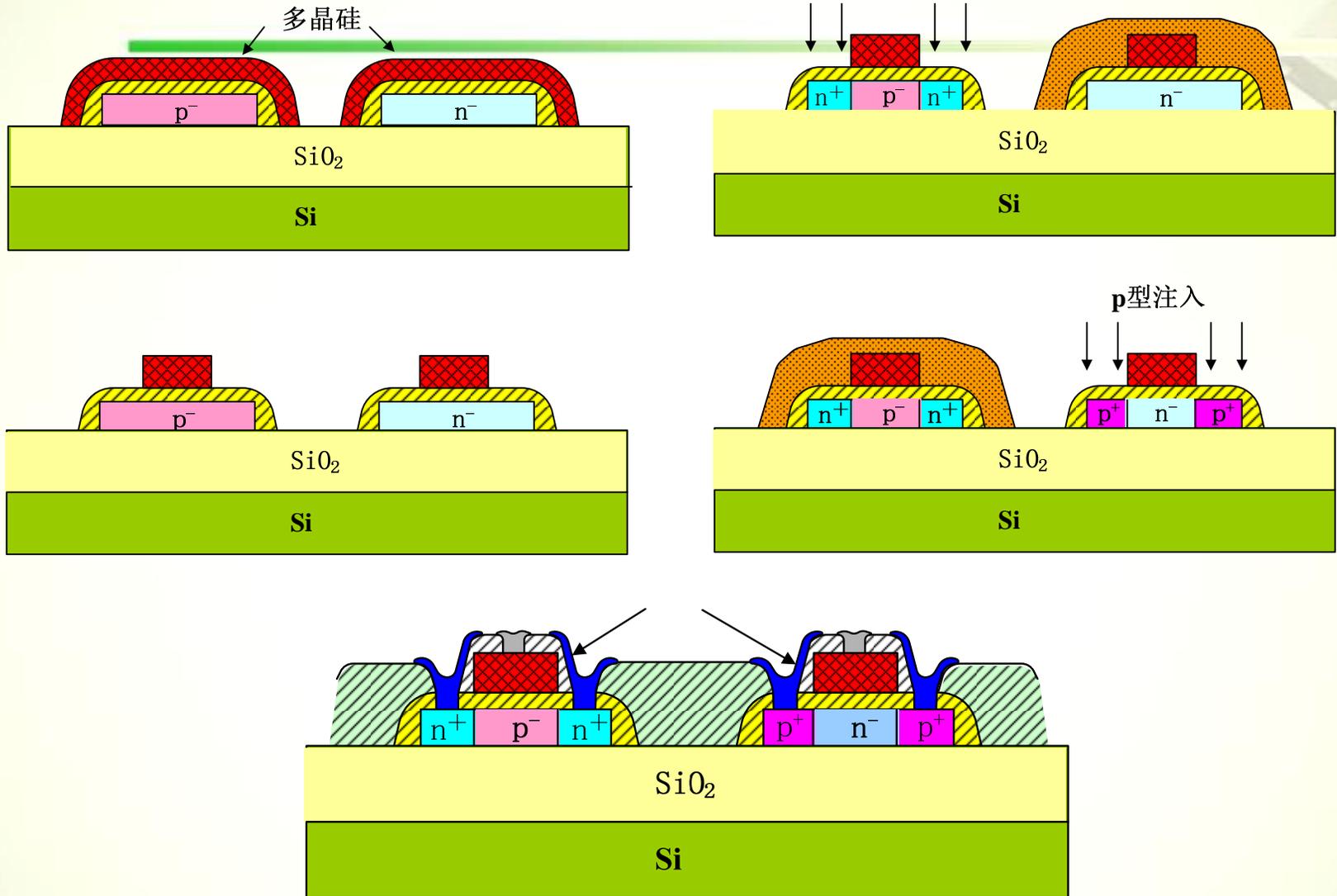


5 形成SOI片



基于台面隔离的SOI CMOS基本工艺流程





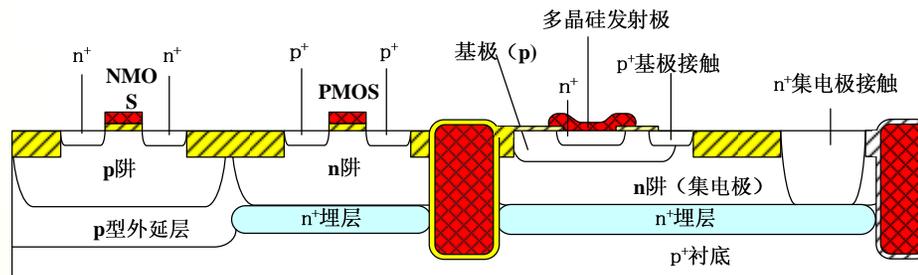
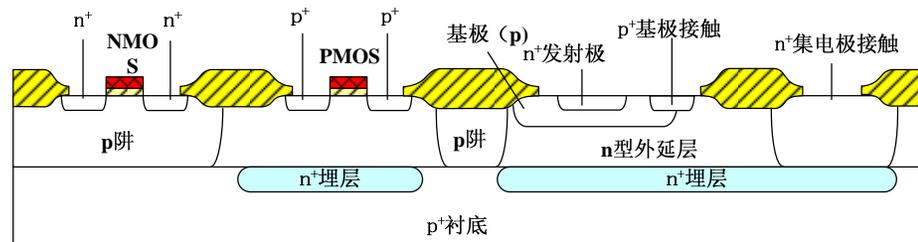
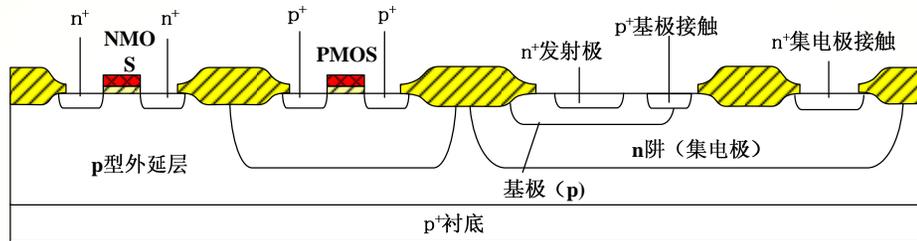
SOI CMOS的优越性

1. 每个器件都被氧化层包围，完全与周围的器件隔离，从根本上消除了闩锁效应；
2. 减小了pn结电容和互连线寄生电容；
3. 不用做阱，简化工艺，减小面积；
4. 极大减小了源、漏区pn结面积，从而减小了pn结泄漏电流；
5. 有利于抑制短沟效应；
6. 有很好的抗辐照性能；
7. 实现三维立体集成。

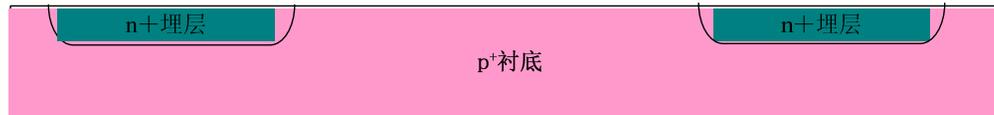
2.8 BiCMOS结构和工艺

- 双极器件比起MOS器件具有增益高、噪声小、能提供大的驱动电流等优点；但又具有结构复杂、占用面积大、功耗大等缺点
- **BiCMOS技术**——把CMOS集成电路高密度、低功耗的优点和双极器件高速度的优点结合起来

三种不同的BiCMOS结构



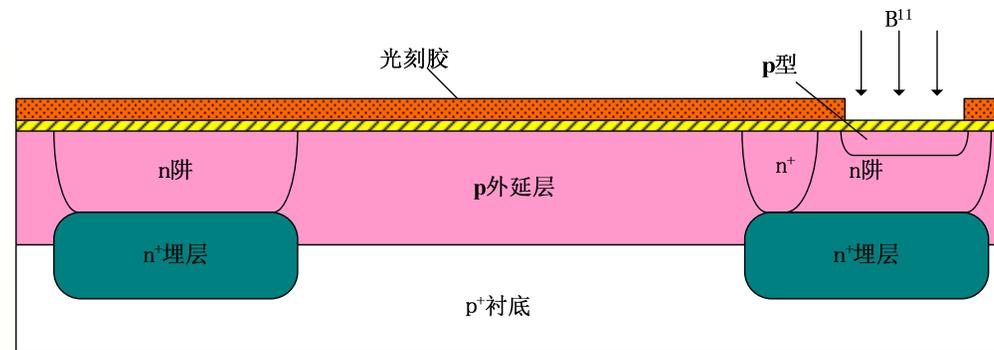
标准埋层集电极结构BiCMOS的基本工艺流程



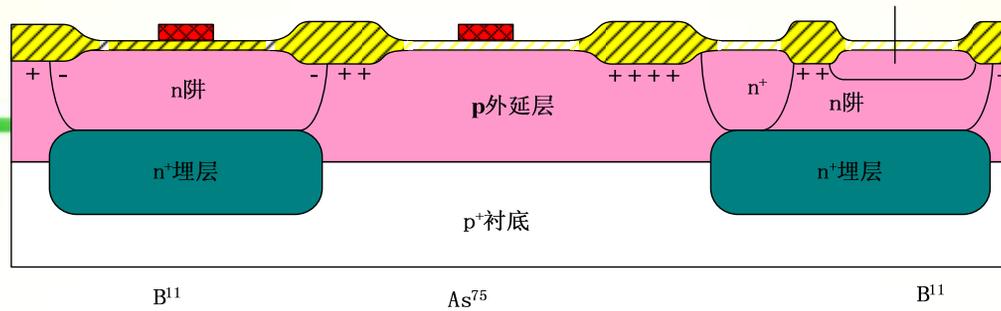
1. 初始氧化-光刻确定埋层区域-形成n+埋层-去掉表面的氧化层



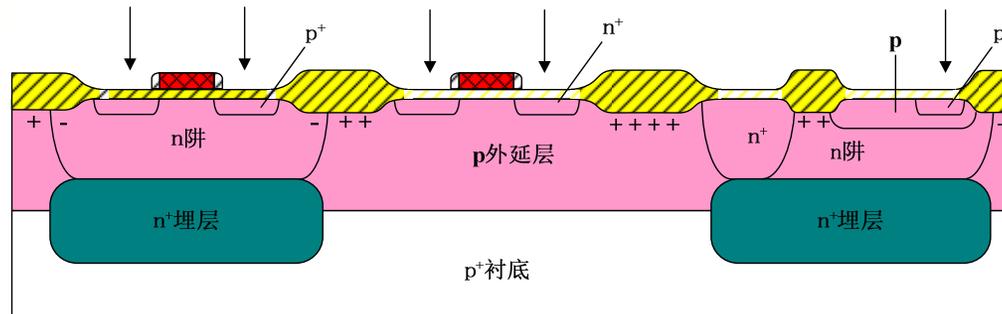
2. 硅片表面去除缺陷-生长p型外延层-形成n阱-形成n+集电极深接触



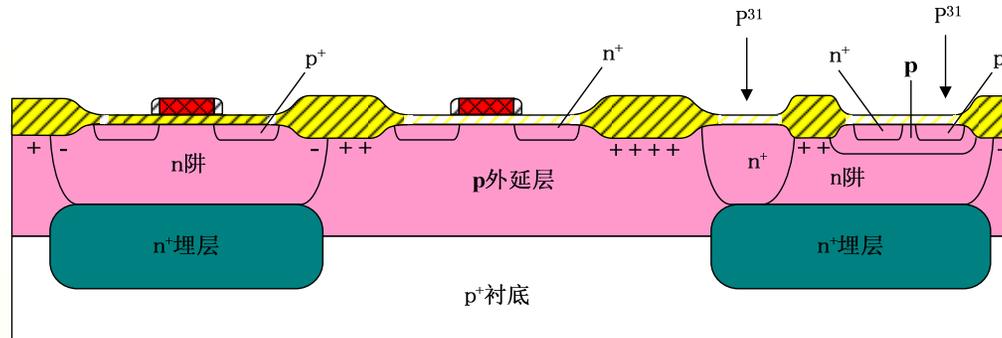
3. 基区光刻和硼注入



4. 场区注入和LOCOS隔离-生长MOS晶体管的栅氧化层-淀积多晶硅-光刻定义栅电极图形



5. 沟道区注入-NMOS和PMOS的源、漏区注入-形成NPN晶体管的基极引出



6. 再一次光刻和磷注入形成NPN晶体管的发射区和集电极接触

CMOS版图设计规则

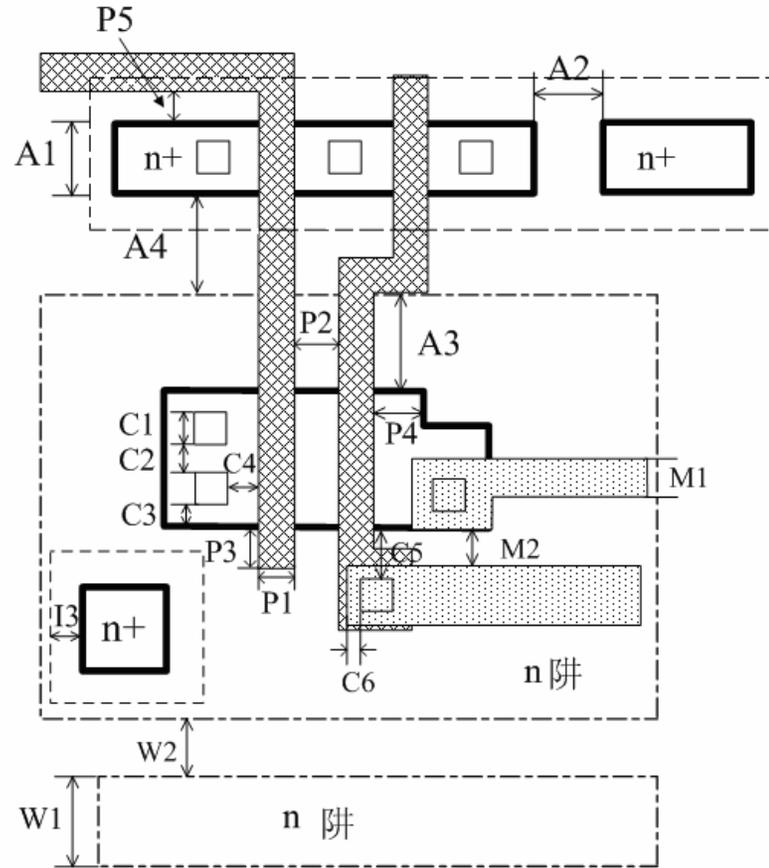


- 版图设计规则由生产厂家根据其工艺加工水平制定，给出了三种尺寸限制：
 - 各层图形的最小尺寸即最小线宽
 - 同一层次图形之间的最小间距
 - 不同层次图形之间的对准容差，或叫套刻间距

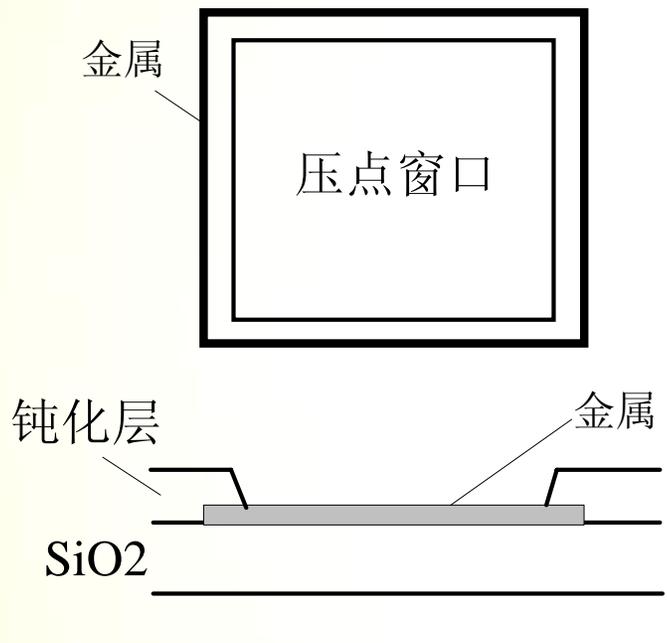
版图设计规则的两种形式

- 微米规则——直接以微米为单位给出各种图形尺寸的要求
 - 灵活性大，更能针对实际工艺水平；缺点是通用性差
- λ 规则——以 λ 为单位给出各种图形尺寸的相对值
 - λ 是工艺中能实现的最小尺寸，一般是用套刻间距作为 λ 值，或者取栅长的一半为 λ
 - 最大优点是通用性强，适合CMOS按比例缩小的发展规律

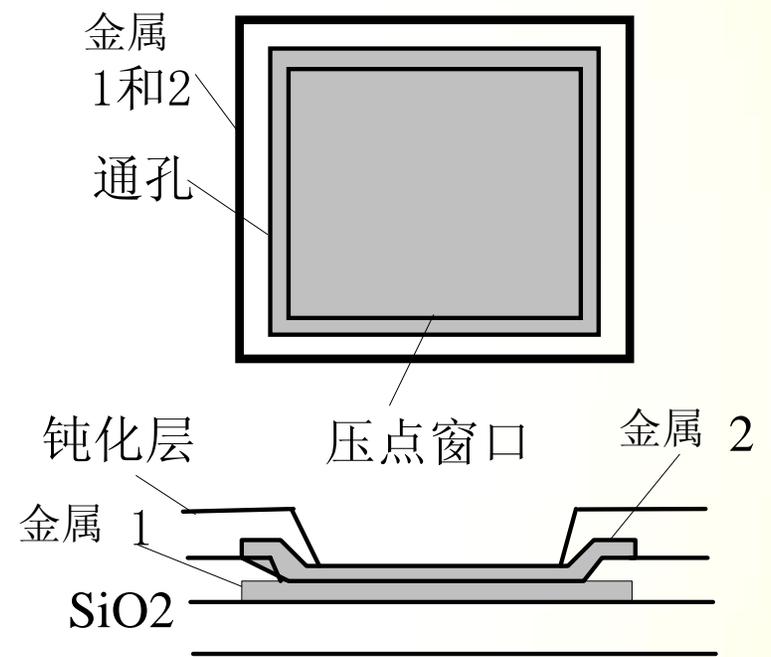
版图设计规则说明



压点图形

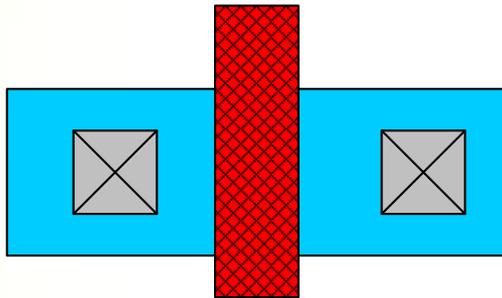


单层金属

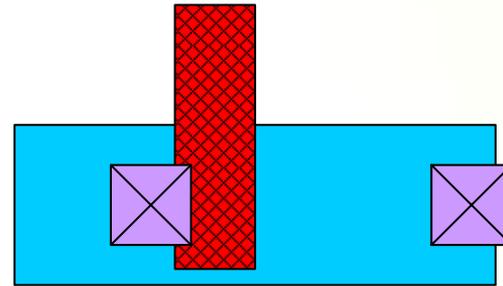


双层金属

违背版图设计规则的影响



设计的图形



加工误差的影响

0.25um工艺水平的微米设计规则

图形层次	设计规则内容	要求 (um)
有源区	A——最小宽度	0.3
	B——最小间距	0.5
N阱	C——最小宽度	1.2
	D——最小间距	1.2
	E——对p ⁺ 有源区的最小覆盖	0.6
	F——n ⁺ 有源区与n阱最小间距	0.6
多晶硅	G——最小宽度	0.25
	H——最小间距	0.4
	I——到有源区外的最小延伸	0.3
	J——与有源区的最小内间距	0.4
	K——与有源区的最小外间距	0.2

0.25um工艺水平的微米设计规则

注入框	L——最小宽度	0.5
	M——最小间距	0.5
	N——对有源区的最小覆盖	0.25
引线孔	O——最小引线孔面积	0.3×0.3
	P——最小间距	0.5
	Q——有源区对引线孔的最小覆盖	0.1
	R——多晶硅引线孔的最小覆盖	0.1
	S——金属对引线孔的最小覆盖	0.1
	T——有源区接触孔到硅栅的最小间距	0.25
金属	U——最小线宽	0.4
	V——最小间距	0.4
压焊点	W——最小面积	100×100

一个n阱CMOS工艺的 λ 设计规则

1. n 阱		
W_1	最小宽度	10λ
W_2	最小间距 (等电位)	6λ
	(不等电位)	9λ
2. 有源区		
A_1	最小宽度	3λ
A_2	最小间距	3λ
A_3	阱内 p^+ 有源区到阱边最小间距	5λ
A_4	阱外 n^+ 有源区与 n 阱最小间距	5λ

一个n阱CMOS工艺的 λ 设计规则

3. 多晶硅		
P_1	最小宽度	2λ
P_2	最小间距	2λ
P_3	伸出有源区外的最小长度	2λ
P_4	硅栅到有源区边的最小距离	3λ
P_5	与有源区的最小外间距	1λ
4. 注入框		
I_1	最小宽度	5λ
I_2	最小间距	2λ
I_3	对有源区的最小覆盖	2λ

一个n阱CMOS工艺的 λ 设计规则

5. 引线孔		
C_1^2	最小引线孔面积	$2\lambda \times 2\lambda$
C_2	最小引线孔间距	2λ
C_3	有源区或多晶硅对引线孔的最小覆盖	1.5λ
C_4	有源区引线孔到多晶硅栅的最小间距	2λ
C_5	多晶硅引线孔到有源区最小间距	2λ
C_6	金属或注入框对引线孔的最小覆盖	1λ
6. 金属连线		
M_1	最小线宽	3λ
M_2	最小间距	3λ

90nm CMOS技术主要版图设计规则

图形	线宽 (um)	间距 (um)
有源区	0.12	0.14
多晶硅	0.10	0.14
引线孔	0.12	0.14
金属1	0.12	0.12
通孔1-6	0.13	0.15
金属2-7	0.14	0.14
通孔7-8	0.36	0.34
金属8-9	0.42	0.42
n ⁺ /p ⁺		0.44